

Κεφάλαιο 17. Έλεγχος Ψηφιακών κυκλωμάτων και σχεδιασμός για δοκιμαστικότητα

Το Κεφάλαιο αυτό αποτελεί μια εισαγωγή στο αντικείμενο του ελέγχου ψηφιακών κυκλωμάτων καθώς και στις τεχνικές σχεδίασης για εύκολη δοκιμαστικότητα. Θα παρουσιάσουμε θέματα που αφορούν στα ψηφιακά Κυκλώματα MOS, στις σύγχρονες τάσεις στην τεχνολογία ολοκληρωμένων κυκλωμάτων στις αιτίες μη ορθής λειτουργίας ολοκληρωμένων κυκλωμάτων, Ελαττώματα και Μοντέλα Ελαττωμάτων και στον έλεγχο ορθής λειτουργίας ολοκληρωμένων κυκλωμάτων. Στη συνέχεια θα ασχοληθούμε με τις τεχνικές ενσωματωμένης αυτοδοκιμής και θα παρουσιάσουμε μια σειρά από τεχνικές οι οποίες παρουσιάζουν μια σειρά από πλεονεκτήματα που αφορούν στο κόστος υλοποίησης και στο χρόνο που χρειάζεται για την ολοκλήρωση του ελέγχου.

17.1 Εισαγωγή

Η τελευταία πεντηκονταετία έχει γίνει μάρτυρας μιας εντυπωσιακής μείωσης του κόστους κατασκευής, αγοράς και λειτουργίας των ηλεκτρονικών συσκευών καθώς επίσης και μιας σημαντικής αύξησης της ταχύτητας λειτουργίας τους. Σαν αποτέλεσμα της μεταβολής των παραμέτρων αυτών, ηλεκτρονικές συσκευές χρησιμοποιούνται σε ένα ευρύτερο φάσμα εφαρμογών.

Μια ηλεκτρονική συσκευή αποτελείται από ηλεκτρονικά κυκλώματα ή ολοκληρωμένα κυκλώματα (integrated circuits, ICs) που τοποθετούνται πάνω σε τυπωμένα κυκλώματα ή πλακέτες (Printed Circuit Boards, PCBs) και διασυνδέονται με αγωγούς. Ένα ολοκληρωμένο κύκλωμα αποτελείται από ένα κομμάτι υποστρώματος (substrate) το οποίο έχει υποστεί κατάλληλη επεξεργασία και στη συνέχεια έχει συσκευαστεί σε μια πλαστική ή κεραμική θήκη (package). Η επικοινωνία με τα περιβάλλοντα στοιχεία γίνεται μέσω μεταλλικών ακροδεκτών (pins).

Τα ηλεκτρονικά κυκλώματα διακρίνονται σε ψηφιακά (digital) και αναλογικά (analog). Τα αναλογικά κυκλώματα εκμεταλλεύονται όλη την περιοχή των τιμών της τάσης του ρεύματος και χρησιμοποιούνται σε εφαρμογές στις οποίες απαιτείται η αλληλεπίδραση με το φυσικό περιβάλλον (επεξεργασία φωνής, αναλογικο-ψηφιακοί μετατροπείς). Τα ψηφιακά κυκλώματα εκμεταλλεύονται δύο τιμές της τάσης (υψηλή και χαμηλή) και χρησιμοποιούνται σε εφαρμογές που έχουν σχέση με υπολογιστικά συστήματα, όπως περιφερειακά και εξαρτήματα, σε ηλεκτρονικά παιχνίδια, σε εφαρμογές ψηφιακής επεξεργασίας σήματος και (βεβαίως) στον πανταχού παρόντα μικροεπεξεργαστή (microprocessor).

Στη δεκαετία του 1950 τα ψηφιακά ολοκληρωμένα κυκλώματα κατασκευάζονταν από διακριτά στοιχεία, δηλαδή κάθε διακόπτης ή λογική πύλη αποτελούσε ένα ξεχωριστό ολοκληρωμένο κύκλωμα. Βασικός παράγοντας για την τεχνολογική ώθηση ήταν η κατασκευή του **τρανζίστορ** στα εργαστήρια της AT&T από τους Brattin, Bardeen και Schockley το 1949. Ένα τρανζίστορ είναι ένα ενεργό στοιχείο (active element) το οποίο κατασκευάζεται πάνω σε ένα κομμάτι υποστρώματος με χημικές διαδικασίες και έχει τρεις ακροδέκτες οι οποίοι ονομάζονται πηγή (source) καταβόθρα (drain) και πύλη (gate).

Ο επόμενος κρίκος στην αλυσίδα των τεχνολογικών επιτευγμάτων στο χώρο της μικροηλεκτρονικής, ήταν η ολοκλήρωση περισσότερων του ενός τρανζίστορ σε ένα υπόστρωμα ημιαγωγού το 1954 από τον Jack Kilby της Texas Instruments. Η χιονοστιβάδα των εξελίξεων είχε ξεκινήσει. Τα πρώτα εμπορικά ολοκληρωμένα κυκλώματα εμφανίζονται στις αρχές του 1960 και αποτελούνται από λίγα τρανζίστορ. Στα κυκλώματα αυτά, για το υπόστρωμα χρησιμοποιείται το γερμάνιο (germanium). Λίγο αργότερα, τη θέση του παίρνει το πυρίτιο (silicon). Σήμερα, η συντριπτική πλειοψηφία των κατασκευαζόμενων ολοκληρωμένων κυκλωμάτων χρησιμοποιούν τρανζίστορ που βασίζονται στο πυρίτιο και σύμφωνα με τους ειδικούς αυτό θα εξακολουθήσει να ισχύει για τουλάχιστο μια δεκαετία ακόμη. Ένα άλλο υλικό που έχει χρησιμοποιηθεί είναι το αρσενικούχο γάλιο (Galium Arsenide), κυρίως σε εφαρμογές με απαιτήσεις

για υψηλές ταχύτητες, όμως το υψηλό κόστος κατασκευής κυκλωμάτων που στηρίζονται στο υλικό αυτό τείνει να εμποδίσει την εξάπλωση της χρήσης του.

Τα πρώτα τρανζίστορ πυριτίου που κατασκευάστηκαν ήταν τα τρανζίστορ διπολικής επαφής (bipolar junction transistors, BJT) βασικό μειονέκτημα των οποίων είναι η υψηλή κατανάλωση ρεύματος. Η υψηλή κατανάλωση ρεύματος αποτελεί περιοριστικό παράγοντα για το πλήθος των ενεργών στοιχείων που μπορούν να ολοκληρωθούν σε ένα ολοκληρωμένο κύκλωμα εξαιτίας της πεπερασμένης θερμοχωρητικότητας της συσκευασίας. Υψηλή κατανάλωση θα είχε σαν αποτέλεσμα αύξηση της θερμοκρασίας λειτουργίας του ολοκληρωμένου και συνεπώς πιθανή καταστροφή του. Λύση στο πρόβλημα έδωσε η υλοποίηση του Τρανζίστορ Επίδρασης Πεδίου Μετάλλου-Οξειδίου-Ημιαγωγού (Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET, ή απλά FET), το οποίο έχει χαμηλότερη κατανάλωση και καταλαμβάνει μικρότερο εμβαδό, περίπου το 1/5 της επιφάνειας που καταλαμβάνει το τρανζίστορ διπολικής επαφής. Η τεχνολογία που βασίστηκε στη χρήση του FET ονομάστηκε MOS. Κατασκευάστηκαν FET δύο τύπων, το n-τύπου (n-FET) και το p-τύπου (p-FET). Ανάλογα με το είδος του FET που χρησιμοποιείται αναπτύχθηκαν τρία είδη διαδικασιών MOS (MOS processes), η pMOS που στηρίχτηκε στη χρήση p-FET, η nMOS στην οποία χρησιμοποιούνται n-FET και η CMOS (Complementary MOS) στην οποία χρησιμοποιούνται και τα δύο είδη FET. Το κύριο χαρακτηριστικό της τεχνολογίας CMOS είναι η πολύ χαμηλή κατανάλωση ισχύος ρεύματος ανά τρανζίστορ, και αυτός είναι ο λόγος για τον οποίο έχει επικρατήσει έναντι των υπολοίπων τεχνολογιών κατασκευής.

Ο βασικός παράγοντας που επηρεάζει την εξέλιξη των τεχνολογιών MOS είναι ο ταχύς ρυθμός μείωσης της γεωμετρίας υλοποίησης (minimum feature size) των ολοκληρωμένων κυκλωμάτων. Η γεωμετρία υλοποίησης καθορίζεται από τις διαστάσεις της πύλης (gate) των τρανζίστορ του ολοκληρωμένου κυκλώματος, δηλαδή από το μήκος και το πλάτος της και είναι της τάξης των μικρόμετρων (1 μικρόμετρο, micron ή μ ισούται με 10^{-6} m). Στη δεκαετία του 1970 οι διαστάσεις αυτές ήταν της τάξης των 10 μ . Στο τέλος της δεκαετίας του 1970 το μέγεθος αυτό είχε πέσει στα 5 μ , στα μέσα του 1980 ήταν γύρω στα 2 μ ενώ στη δεκαετία του 1990 εμφανίστηκαν τεχνολογίες submicron (0.75 μ) και deep submicron (0.15 μ). Όσο μικρότερη είναι η γεωμετρία υλοποίησης ενός κυκλώματος τόσο περισσότερα τρανζίστορ μπορεί να περιέχει. Για παράδειγμα, ένα ολοκληρωμένο κύκλωμα υλοποιημένο σε τεχνολογία των 0.5 μ μπορεί να περιέχει περίπου 100 φορές περισσότερα τρανζίστορ από ένα ολοκληρωμένο κύκλωμα ίδιου εμβαδού υλοποιημένου σε τεχνολογία των 5 μ .

Η κλίμακα ολοκλήρωσης (scale of integration) ενός ολοκληρωμένου κυκλώματος καθορίζεται από το πλήθος των τρανζίστορ που περιλαμβάνει. Τα πρώτα κυκλώματα μπορούσαν να περιλαμβάνουν μερικές δεκάδες τρανζίστορ και για το λόγο αυτό ονομάστηκαν κυκλώματα Μικρής Κλίμακας Ολοκλήρωσης (Small Scale Integration circuits, SSI). Καθώς οι γεωμετρίες κατασκευής μειώνονταν, έγινε δυνατή η ολοκλήρωση εκατοντάδων (Medium Scale Integration, MSI), χιλιάδων (Large Scale Integration, LSI) ή και εκατοντάδων χιλιάδων (Very Large Scale Integration, **VLSI**) ενεργών στοιχείων (τρανζίστορ) σε ένα μόνο κύκλωμα. Ένα σύγχρονο VLSI κύκλωμα μπορεί να περιέχει εκατομμύρια τρανζίστορ σε ένα υπόστρωμα. Για παράδειγμα, ο επεξεργαστής Alpha AXP 21164 της εταιρείας DEC περιέχει πάνω από 9.000.000 τρανζίστορ, ενώ ο επεξεργαστής Pentium Pro της εταιρείας Intel ξεπερνά τα 15.000.000 τρανζίστορ.

Η μείωση της γεωμετρίας υλοποίησης είχε ακόμη σαν αποτέλεσμα την αύξηση της ταχύτητας λειτουργίας των ολοκληρωμένων κυκλωμάτων. Ενώ στις αρχές της δεκαετίας του 1980 τυπικές συχνότητες λειτουργίας δεν ξεπερνούσαν τα 10 MHz, τα σύγχρονα ολοκληρωμένα κυκλώματα λειτουργούν σε ταχύτητες της τάξης των εκατοντάδων MHz. Αξίζει να σημειωθεί ότι η ταχύτητα λειτουργίας των ηλεκτρονικών συσκευών προμοδοτείται από την αύξηση της κλίμακας ολοκλήρωσης των ολοκληρωμένων κυκλωμάτων. Όσο αυξάνει η κλίμακα ολοκλήρωσης, το πλήθος των ολοκληρωμένων κυκλωμάτων που απαιτούνται για την υλοποίηση μιας ηλεκτρονικής συσκευής μειώνεται. Η

ταχύτητα λειτουργίας των ολοκληρωμένων κυκλωμάτων είναι μερικές τάξεις μεγέθους υψηλότερη από την ταχύτητα λειτουργίας των τυπωμένων κυκλωμάτων. Επομένως, εφόσον όσο λιγότερα ολοκληρωμένα κυκλώματα περιλαμβάνει μια ηλεκτρονική συσκευή, τόσο λιγότερες είναι οι συνδέσεις μεταξύ τους, η αύξηση της κλίμακας ολοκλήρωσης οδηγεί σε αύξηση της ταχύτητας λειτουργίας των ηλεκτρονικών συσκευών. Χαρακτηριστικό παράδειγμα αποτελεί η ολοκλήρωση της κρυφής (cache) μνήμης στο ολοκληρωμένο κύκλωμα του μικροεπεξεργαστή, η οποία επιφέρει αύξηση της ταχύτητας λειτουργίας του ηλεκτρονικού υπολογιστή περίπου κατά 20%. Η αύξηση της κλίμακας ολοκλήρωσης οδηγεί ακόμη σε μείωση του κόστους υλοποίησης των ηλεκτρονικών συσκευών, εφόσον όσο η κλίμακα ολοκλήρωσης αυξάνεται τόσο λιγότερα ολοκληρωμένα κυκλώματα και τυπωμένες πλακέτες απαιτούνται για την υλοποίηση μιας συσκευής. Κατά συνέπεια, αύξηση της κλίμακας ολοκλήρωσης έχει σαν αποτέλεσμα μείωση του κόστους κατασκευής των ηλεκτρονικών συσκευών.

Εξαιτίας της μείωσης του κόστους κατασκευής και της αύξησης της ταχύτητας λειτουργίας τους, οι ηλεκτρονικές συσκευές έχουν φτάσει να αποτελούν αναπόσπαστο στοιχείο της καθημερινής ζωής, η δε χρήση τους εκτείνεται από ανώδυνες εφαρμογές (ηλεκτρονικά παιχνίδια) μέχρι κρίσιμες για την ανθρώπινη ζωή (συστήματα φρένων αυτοκινήτων, ελεγκτές σε πυρηνικά εργοστάσια κλπ). Εξαιτίας του εύρους των εφαρμογών αυτών, προβάλλει εντελώς φυσικά το αίτημα για υψηλή αξιοπιστία (reliability) των ηλεκτρονικών συσκευών. Μια συσκευή χαμηλής αξιοπιστίας είναι εν γένει χειρότερη από μια άλλη υψηλής αξιοπιστίας, για κρίσιμες δε εφαρμογές είναι εντελώς ακατάλληλη.

Πλημμελής έλεγχος ηλεκτρονικών συσκευών που χρησιμοποιούνται σε κρίσιμες εφαρμογές θα είχε σα συνέπεια να τεθούν σε κίνδυνο, ή ακόμη και να χαθούν ανθρώπινες ζωές, ή, στην ακραία περίπτωση, να προκληθούν ανεπανόρθωτες περιβαλλοντικές καταστροφές. Για την κατασκευάστρια εταιρεία, μια βλάβη σε μια ηλεκτρονική συσκευή η οποία έχει πουληθεί και τεθεί σε λειτουργία σημαίνει πέρα από την αντικατάσταση της αντικαταστάσιμης μονάδας (field replaceable unit) που μπορεί ανάλογα με την περίπτωση να είναι ένα ολοκληρωμένο κύκλωμα, ολόκληρη η πλακέτα ή το σύστημα, έχει σαν αποτέλεσμα πτώση της αξιοπιστίας της. Η οικονομική ζημία που προέρχεται από αυτή την πτώση της αξιοπιστίας, δεν είναι εύκολα υπολογίσιμη.

Μια ηλεκτρονική συσκευή είναι αξιόπιστη όταν έχει ελεγχθεί διεξοδικά στο εργοστάσιο κατασκευής και σε χρονικά διαστήματα όσο το δυνατό πιο μικρά πραγματοποιείται έλεγχος προκειμένου να διαπιστωθεί εάν λειτουργεί κανονικά. Η μη ορθή λειτουργία μιας ηλεκτρονικής συσκευής μπορεί να οφείλεται στη μη ορθή λειτουργία είτε των ολοκληρωμένων κυκλωμάτων, είτε των διασυνδέσεων σε επίπεδο πλακέτας.

Ο έλεγχος ορθής λειτουργίας των διασυνδέσεων σε επίπεδο πλακέτας είναι εύκολο να πραγματοποιηθεί, εφόσον οποιοδήποτε σημείο μιας πλακέτας είναι πρακτικά προσβάσιμο, πχ. με ένα βολτόμετρο. Από την άλλη μεριά όμως, οι διασυνδέσεις είναι ιδιαίτερα ευάλωτες σε επιδράσεις από εξωτερικούς παράγοντες όπως ακτινοβολία, δονήσεις, σωματίδια, θερμοκρασία. Συνεπώς, όσο λιγότερες διασυνδέσεις υπάρχουν, τόσο πιο αξιόπιστη είναι η ηλεκτρονική συσκευή. Κατά συνέπεια, αύξηση του βαθμού ολοκλήρωσης των ηλεκτρονικών κυκλωμάτων οδηγεί σε μείωση της πιθανότητας να συμβεί κάποιο σφάλμα στη λειτουργία που να οφείλεται σε σύνδεση πλακέτας.

Τα ολοκληρωμένα κυκλώματα επηρεάζονται πολύ λιγότερο από εξωτερικούς παράγοντες από ότι οι συνδέσεις σε επίπεδο πλακέτας, εφόσον βρίσκονται προστατευμένα σε πλαστικές ή κεραμικές συσκευασίες. Από την άλλη μεριά όμως, τα μοναδικά σημεία πρόσβασης σε ένα ολοκληρωμένο κύκλωμα είναι οι ακροδέκτες εισόδου εξόδου. Επομένως ο έλεγχος μιας εσωτερικής γραμμής σε ένα κύκλωμα είναι μια διαδικασία υπολογιστικά δυσκολότερη από τον έλεγχο ορθής λειτουργίας μιας πλακέτας. Όσο αυξάνει η κλίμακα ολοκλήρωσης των ολοκληρωμένων κυκλωμάτων, ο έλεγχός τους γίνεται πιο απαραίτητος, ταυτόχρονα όμως και πιο πολύπλοκος.

Η οικονομική ζημία εξαιτίας ενός ελαττωματικού ολοκληρωμένου κυκλώματος αυξάνεται όσο περισσότερο καθυστερήσει η ανίχνευση της βλάβης. Αν η ανίχνευση γίνει όταν το ολοκληρωμένο κύκλωμα βρίσκεται πάνω στο δίσκο πυριτίου, απλώς αχρηστεύεται το ελαττωματικό ολοκληρωμένο. Αν η ανίχνευση γίνει μετά τη συσκευασία του ολοκληρωμένου, αχρηστεύεται και η συσκευασία (package). Αν το ελαττωματικό ολοκληρωμένο τοποθετηθεί σε μια τυπωμένη πλακέτα, πρέπει να πραγματοποιηθεί διάγνωση (diagnosis). Η διάγνωση συνίσταται στην ανίχνευση του ελαττωματικού ολοκληρωμένου ανάμεσα στα υπόλοιπα, τα οποία υποθέτουμε ότι είναι μη ελαττωματικά, και είναι πιο πολύπλοκη διαδικασία από ότι ο έλεγχος. Γενικά, καθώς ένα κύκλωμα περνάει τα διάφορα βήματα της διαδικασίας ανάπτυξης, από την προσομοίωση της λειτουργίας μέχρι την ολοκλήρωση σε επίπεδο συστήματος και την εγκατάσταση στο χώρο λειτουργίας, το κόστος αυξάνεται περίπου κατά μία τάξη μεγέθους από το ένα επίπεδο στο άλλο. Έτσι αν για παράδειγμα ένα ελαττωματικό ολοκληρωμένο σε επίπεδο δίσκου (wafer) κοστίζει στην εταιρεία κατασκευής 50 δραχμές, ένα ελαττωματικό ολοκληρωμένο σε επίπεδο πλακέτας κοστίζει στην εταιρεία 750 δραχμές ενώ σε επίπεδο συστήματος το κόστος αυτό μπορεί να φθάνει τις 15.000 δραχμές. Συνεπώς, ένα θέμα κατά τη λήψη των αποφάσεων που αφορούν τον έλεγχο είναι η ανίχνευση μιας βλάβης σε ένα κύκλωμα όσο το δυνατό πιο νωρίς στο κύκλο παραγωγής (production cycle).

Ο έλεγχος ορθής λειτουργίας ενός ολοκληρωμένου κυκλώματος είναι ένα πείραμα κατά τη διάρκεια του οποίου εφαρμόζεται στις εισόδους του ολοκληρωμένου κυκλώματος μια ακολουθία διανυσμάτων δοκιμής ενώ η ακολουθία διανυσμάτων εξόδου παρατηρείται και συγκρίνεται με μια αναμενόμενη ακολουθία διανυσμάτων. Αν η πραγματική ακολουθία εξόδου συμπίπτει με την προσδοκώμενη (ορθή) ακολουθία διανυσμάτων εξόδου συμπεραίνουμε ότι το ολοκληρωμένο κύκλωμα λειτουργεί ορθά.

Η μη ορθή λειτουργία ενός ολοκληρωμένου κυκλώματος οφείλεται σε πλήθος παραγόντων, οι οποίοι ποικίλουν από σχεδιαστικά λάθη (του σχεδιαστή ή του εργαλείου λογισμικού) εως κατασκευαστικά λάθη (ατέλειες υλικών ή συσκευών), ή ακόμη και στο περιβάλλον (θερμοκρασία, πίεση, ακτινοβολία, δονήσεις) ή σε φαινόμενα γήρανσης των στοιχείων του (με την πάροδο του χρόνου, οι αγωγοί φθίνουν εξαιτίας της διαρκούς διόδου ηλεκτρονίων). Αν από τις παραπάνω αιτίες εξαιρεθούν τα σχεδιαστικά λάθη, η μη ορθή λειτουργία ενός κυκλώματος οφείλεται στην ύπαρξη ενός ή περισσότερων φυσικών ελαττωμάτων (βλαβών) στο κύκλωμα. Η ύπαρξη ενός ελαττώματος σε ένα κύκλωμα γίνεται αντιληπτή μέσω μιας λανθασμένης ακολουθίας διανυσμάτων εξόδου. Στην περίπτωση αυτή λέμε ότι εμφανίστηκε ένα λάθος στις εξόδους του κυκλώματος, ή ότι ανιχνεύθηκε ένα ελάττωμα στο υπό έλεγχο ολοκληρωμένο κύκλωμα.

Τα φυσικά ελαττώματα μπορούν να είναι μόνιμα (permanent), τα οποία από τη στιγμή που θα εμφανιστούν επηρεάζουν διαρκώς τη λειτουργία του κυκλώματος, ή παροδικά (temporary). Αξίζει να σημειωθεί ότι ένα πολύ μεγάλο ποσοστό των ελαττωμάτων που εμφανίζονται σε πραγματικά VLSI κυκλώματα που φτάνει το 90% των φυσικών ελαττωμάτων είναι παροδικά.

Αν ένα ελάττωμα μπορεί να ανιχνευθεί με την εφαρμογή ενός διανύσματος στις εισόδους του ολοκληρωμένου κυκλώματος, το ελάττωμα ονομάζεται συνδυαστικό (combinational fault). Αντιθέτως, αν για την ανίχνευση ενός ελαττώματος απαιτείται η εφαρμογή μιας ακολουθίας (sequence) διανυσμάτων στις εισόδους του υπό έλεγχο κυκλώματος, το ελάττωμα ονομάζεται ακολουθιακό (sequential). Τα τελευταία χρόνια, έχει εκδηλωθεί έντονο ενδιαφέρον για τα ακολουθιακά ελαττώματα τόσο από την επιστημονική όσο και από τη βιομηχανική κοινότητα. Δύο είναι οι κυριότεροι λόγοι που συντείνουν σε αυτό. Ο πρώτος λόγος είναι ότι στην κυρίαρχη τεχνολογία CMOS λόγω του τρόπου με τον οποίο διασυνδέονται τα τρανζίστορ προκειμένου να σχηματιστούν οι λογικές πύλες, παρουσιάζονται ελαττώματα τα οποία δεν είναι δυνατό να ανιχνευθούν με την εφαρμογή ενός απλού διανύσματος στις εισόδους του υπό έλεγχο κυκλώματος. Τα ελαττώματα αυτά εμπίπτουν στην κατηγορία των ακολουθιακών ελαττωμάτων. Ο δεύτερος λόγος είναι ότι στα σύγχρονα κυκλώματα, ειδικά σε εκείνα τα οποία λειτουργούν σε σε

υψηλές ταχύτητες, υπάρχει η πιθανότητα η λογική τιμή της εξόδου να είναι μεν σωστή, αλλά τα σήματα να μη διαδίδονται από τις εισόδους στις εξόδους του κυλώματος μέσα στα προκαθορισμένα χρονικά όρια. Τα ελαττώματα αυτά ονομάζονται ελαττώματα καθυστέρησης (delay faults) και εμπίπτουν και αυτά στην κατηγορία των ακολουθιακών ελαττωμάτων. Έχει αποδειχθεί ότι στη συντριπτική πλειοψηφία των περιπτώσεων για την ανίχνευση ενός ακολουθιακού ελαττώματος αρκεί η εφαρμογή ενός ζεύγους διανυσμάτων στις εισόδους της υπό έλεγχο μονάδας.

Λόγω του μεγάλου πλήθους των φυσικών ελαττωμάτων στα σύγχρονα κυκλώματα δεν είναι δυνατό να ανιχνεύσουμε όλα τα δυνατά φυσικά ελαττώματα. Για το λόγο αυτό στον έλεγχο ορθής λειτουργίας ολοκληρωμένων κυκλωμάτων χρησιμοποιούνται τα μοντέλα ελαττωμάτων (fault models). Όταν χρησιμοποιούμε ένα μοντέλο ελαττωμάτων υποθέτουμε ότι μια συγκεκριμένη κατηγορία φυσικών ελαττωμάτων μπορούν να εμφανιστούν σε ένα κύκλωμα (για παράδειγμα γραμμές του κυκλώματος να βρίσκονται μόνιμα σε μια λογική τιμή, 0 ή 1) και εφαρμόζουμε στο κύκλωμα κατάλληλες ακολουθίες διανυσμάτων εισόδου ώστε να ανιχνευθούν τα ελαττώματα τα οποία εμπίπτουν στη συγκεκριμένη κατηγορία. Πρακτικά, ανιχνεύοντας τα ελαττώματα ενός συγκεκριμένου μοντέλου, ανιχνεύεται επίσης και ένα μεγάλο μέρος των ελαττωμάτων που δεν εμπίπτουν στην κατηγορία αυτή, και συνεπώς ένα ικανοποιητικό ποσοστό φυσικών ελαττωμάτων.

Η περιεκτικότητα (comprehensiveness) ενός μοντέλου ελαττωμάτων ορίζεται σαν το κλάσμα των φυσικών ελαττωμάτων που μπορούν να ανιχνευθούν με τη βοήθεια του συγκεκριμένου μοντέλου σε ένα ολοκληρωμένο κύκλωμα, προς το πλήθος των δυνατών φυσικών βλαβών που μπορούν να εμφανιστούν στο συγκεκριμένο ολοκληρωμένο κύκλωμα. Εν γένει, όσο πιο περιεκτικό είναι ένα μοντέλο, τόσο περισσότερα διανύσματα δοκιμής απαιτούνται για την ανίχνευση των ελαττωμάτων του μοντέλου αυτού.

Ο έλεγχος που πραγματοποιείται στο ολοκληρωμένο κύκλωμα αμέσως μετά την κατασκευή του ονομάζεται έλεγχος στον τόπο παραγωγής (production testing, ή manufacturing testing). Ακόμη όμως και αφού το κύκλωμα τεθεί σε λειτουργία πραγματοποιείται έλεγχος σε τακτά χρονικά διαστήματα προκειμένου να αυξηθεί η αξιοπιστία του ολοκληρωμένου και κατά συνέπεια ολόκληρης της ηλεκτρονικής συσκευής. Ο έλεγχος αυτός ονομάζεται έλεγχος στον τόπο λειτουργίας (field testing). Αν ο έλεγχος στον τόπο λειτουργίας πραγματοποιείται κατά τη διάρκεια της κανονικής λειτουργίας του κυκλώματος τότε ονομάζεται έλεγχος σε κανονική λειτουργία (on-line testing). Αντίθετα, αν προκειμένου να πραγματοποιηθεί ο έλεγχος πρέπει το κύκλωμα να τεθεί εκτός λειτουργίας, ονομάζεται έλεγχος εκτός κανονικής λειτουργίας (off-line testing).

Ο έλεγχος μπορεί να πραγματοποιηθεί είτε στην ταχύτητα λειτουργίας του ολοκληρωμένου κυκλώματος (at-speed testing), είτε σε μικρότερη ταχύτητα από αυτή, οπότε ονομάζεται στατικός έλεγχος (static testing). Ο στατικός έλεγχος χρησιμεύει στο να διαπιστωθεί αν το κύκλωμα ανταποκρίνεται στην προσδοκώμενη λογική συμπεριφορά. Ο έλεγχος στην ταχύτητα λειτουργίας (at-speed testing) χρησιμεύει στο να διαπιστωθεί αν το κύκλωμα μπορεί να λειτουργήσει στην προσδοκώμενη ταχύτητα και εάν οι χρόνοι απόκρισης είναι οι αναμενόμενοι. Στην πράξη, μια από τις απαιτήσεις που θέτουν οι εταιρείες σχεδίασης ολοκληρωμένων κυκλωμάτων στις εταιρείες κατασκευής είναι να πραγματοποιείται ο έλεγχος κατά την παραγωγή στην ταχύτητα λειτουργίας, εφόσον μόνο έτσι είναι δυνατό να διασφαλιστεί ότι το προς διάθεση ολοκληρωμένο θα λειτουργεί ορθά στην επιθυμητή ταχύτητα.

Ο έλεγχος ορθής λειτουργίας των κυκλωμάτων μικρής κλίμακας ολοκλήρωσης της δεκαετίας του 1970, ήταν αρκετά απλός. Για συνδυαστικά κυκλώματα με λίγες εισόδους, η εφαρμογή όλων των δυνατών συνδυασμών εισόδου και η παρατήρηση των αποκρίσεων έδινε μια λύση στο πρόβλημα. Αντίστοιχα, σε ένα ακολουθιακό κύκλωμα με λίγες καταστάσεις, ήταν εύκολο να οδηγηθεί το κύκλωμα μέσω όλων των δυνατών συνδυασμών καταστάσεων και να επαληθευθούν αντίστοιχα οι αποκρίσεις. Ο έλεγχος αυτός ονομάζεται εξαντλητικός (exhaustive) και μπορεί να ανιχνεύσει οποιοδήποτε συνδυαστικό ελάττωμα. Με την αύξηση της κλίμακας ολοκλήρωσης η λύση αυτή έπαψε να είναι πρακτικά εφαρμόσιμη.

Καθώς η κλίμακα ολοκλήρωσης αυξάνεται, το πλήθος των εισόδων του ολοκληρωμένου κυκλώματος μεγαλώνει, οπότε δεν είναι πια δυνατή η εξαντλητική εφαρμογή όλων των δυνατών συνδυασμών εισόδων. Για παράδειγμα, σε ένα κύκλωμα 30 εισόδων με συχνότητα λειτουργίας στα 100 MHz, για την εξαντλητική εφαρμογή όλων των δυνατών συνδυασμών εισόδων απαιτείται περίπου ένα δευτερόλεπτο. Σε ένα κύκλωμα 40 εισόδων, για την εφαρμογή όλων των δυνατών συνδυασμών εισόδου θα απαιτούνταν περίπου 3 ώρες. Επιπλέον, όσο η κλίμακα ολοκλήρωσης μεγαλώνει, ακολουθιακές μονάδες (sequential modules) και συνδυαστικές μονάδες (combinational modules) αναπόφευκτα ολοκληρώνονται σε ένα κύκλωμα. Αυτό έχει σαν αποτέλεσμα το πλήθος των διανυσμάτων εισόδου που απαιτούνται για εξαντλητικό έλεγχο όλων των καταστάσεων να αυξάνεται ακόμη περισσότερο. Για παράδειγμα, ο εξαντλητικός έλεγχος ενός ακολουθιακού κυκλώματος που λειτουργεί στα 100 MHz, με 40 εισόδους και εσωτερικές καταστάσεις των 10 ψηφίων (1000 καταστάσεις) θα απαιτούσε 125 ημέρες.

Εφόσον δεν είναι δυνατός ο εξαντλητικός έλεγχος ενός σύγχρονου ολοκληρωμένου κυκλώματος, απαιτείται η εξαγωγή ενός μικρού και αποτελεσματικού συνόλου διανυσμάτων δοκιμής (test vectors). Με τον όρο σύνολο διανυσμάτων δοκιμής εννοούμε ένα σύνολο διανυσμάτων εισόδου των οποίων η εφαρμογή θα έχει σαν αποτέλεσμα την ανίχνευση ελαττωμάτων στο κύκλωμα. Για το σκοπό αυτό απαιτείται η χρήση κατάλληλων αλγόριθμων, οι οποίοι εκτελούνται σε γρήγορους και ισχυρούς Η/Υ. Λόγω της πολυπλοκότητας και του πλήθους των στοιχείων από τα οποία αποτελούνται τα σημερινά κυκλώματα, ένας τέτοιος αλγόριθμος μπορεί να τρέχει για ημέρες ή και εβδομάδες προκειμένου να εξαχθεί ένα σύνολο διανυσμάτων δοκιμής για ένα VLSI κύκλωμα μέτριας πολυπλοκότητας. Συνεπώς, το κόστος του ελέγχου ολοκληρωμένων κυκλωμάτων επηρεάζεται σημαντικά.

Ο έλεγχος των ολοκληρωμένων κυκλωμάτων πραγματοποιείται από ειδική συσκευή η οποία ονομάζεται ελεγκτής ολοκληρωμένων κυκλωμάτων (integrated circuit tester). Η συσκευή αυτή εφαρμόζει τα διανύσματα δοκιμής και παρακολουθεί τα διανύσματα εξόδου του υπό δοκιμή ολοκληρωμένου κυκλώματος προκειμένου να πιστοποιηθεί αν η απόκριση του κυκλώματος στην ακολουθία εισόδου είναι σύμφωνη με τις προδιαγραφές του κυκλώματος. Συνεπώς, ο έλεγχος του ολοκληρωμένου επιβαρύνεται από το κόστος της αγοράς του ελεγκτή και της χρήσης του ανά ολοκληρωμένο (pay-per-use cost). Αξίζει να σημειωθεί ότι το κόστος ενός ελεγκτή που μπορεί να λειτουργήσει σε μέτριες ταχύτητες (40MHz), ανέρχεται σε μερικές εκατοντάδες εκατομύρια δραχμές.

Για τους παραπάνω λόγους, στο σχεδιασμό VLSI κυκλωμάτων χρησιμοποιούνται τεχνικές που έχουν σα σκοπό να μειώσουν την πολυπλοκότητα του ελέγχου αυξάνοντας τη δοκιμαστικότητα (testability) δηλαδή την ευκολία με την οποία μπορεί να πραγματοποιηθεί ο έλεγχος του κυκλώματος. Οι τεχνικές αυτές αναφέρονται με τον όρο τεχνικές σχεδίασης για δοκιμαστικότητα (design for testability techniques, DFT).

Η γενική φιλοσοφία που διέπει της τεχνικές σχεδίασης για δοκιμαστικότητα είναι η τμηματοποίηση (partitioning) του κυκλώματος σε μονάδες υπό έλεγχο ή μονάδες υπό δοκιμή (circuits under test). Κάθε μονάδα υπό έλεγχο ελέγχεται χωριστά. Στην πράξη, ο διαμερισμός του κυκλώματος γίνεται έτσι ώστε οι μονάδες υπό έλεγχο να είναι συνδυαστικές, επειδή μια συνδυαστική μονάδα υπό έλεγχο ελέγχεται ευκολότερα από ότι μια ακολουθιακή μονάδα. Με τη χρήση των τεχνικών σχεδίασης για δοκιμαστικότητα η διαδικασία εξαγωγής διανυσμάτων δοκιμής απλοποιείται σημαντικά, απαιτείται όμως πάντα η χρήση εξωτερικού ελεγκτή, και συνεπώς το κόστος του ελέγχου παραμένει υψηλό.

Στο σημείο αυτό αξίζει να τονισθεί ότι ένας πολύ σημαντικός παράγοντας που λαμβάνεται υπόψη κατά την ανάπτυξη ενός ολοκληρωμένου κυκλώματος είναι ο χρόνος που απαιτείται προκειμένου να διατεθεί το κύκλωμα στην αγορά (time-to-market cost). Όσο περισσότερο καθυστερήσει η διάθεση ενός ολοκληρωμένου κυκλώματος, τόσο μικρότερο είναι το μερίδιο της αγοράς στο οποίο στοχεύει, εφόσον ένα κομμάτι της αγοράς έχει καλυφθεί από κάποιο άλλο προϊόν το οποίο βγήκε νωρίτερα. Οι παράγοντες που μπορούν να καθυστερήσουν τη διάθεση ενός προϊόντος και οι οποίοι σχετίζονται με τον έλεγχο είναι

(α) η διαδικασία της σχεδίασης του κυκλώματος με τρόπο ώστε να είναι εύκολα ελέγξιμο (β) η διαδικασία εξαγωγής διανυσμάτων δοκιμής και (γ) η εφαρμογή των διανυσμάτων δοκιμής στο ολοκληρωμένο κύκλωμα (έλεγχος).

Εξαιτίας όλων των παραγόντων που αναφέρθηκαν, το κόστος του ελέγχου ενός σύγχρονου ολοκληρωμένου κυκλώματος ξεπερνά το 30% του συνολικού κόστους ανάπτυξης, ενώ δεν είναι σπάνιο να φτάσει ακόμη και το 70%.

Μια πρακτική λύση στο πρόβλημα του ελέγχου ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων θα ήταν το ίδιο το κύκλωμα να ελέγχει τον εαυτό του. Η ιδέα αυτή υλοποιείται με τη χρήση τεχνικών ενσωματωμένης αυτοδοκιμής (*Built-In Self Test, BIST techniques*). Στις τεχνικές ενσωματωμένης αυτοδοκιμής η παραγωγή των διανυσμάτων που απαιτούνται για τον έλεγχο κάθε μονάδας υπό έλεγχο και η συμπίεση των αποκρίσεων πραγματοποιούνται από μονάδες που βρίσκονται πάνω στο ίδιο το ολοκληρωμένο κύκλωμα.

Το πρόβλημα της ενσωματωμένης αυτοδοκιμής αναλύεται σε δύο συνιστώσες. Την παραγωγή των διανυσμάτων δοκιμής και τη συμπίεση των ακολουθιών διανυσμάτων εξόδου μιας μονάδας υπό έλεγχο. Κατά τον έλεγχο με μια τεχνική ενσωματωμένης αυτοδοκιμής τα διανύσματα δοκιμής, τα οποία παράγονται από μια μονάδα παραγωγής διανυσμάτων δοκιμής (Test Generator, TG) εφαρμόζονται στις εισόδους της μονάδας υπό έλεγχο. Ταυτόχρονα, οι αποκρίσεις της μονάδας υπό έλεγχο συμπιέζονται στη μονάδα αξιολόγησης ή συμπίεσης αποκρίσεων εξόδου (Response Verifier, RV). Όταν ολοκληρωθεί η εφαρμογή των διανυσμάτων δοκιμής από τη μονάδα παραγωγής διανυσμάτων δοκιμής, εξετάζεται η συμπεριεσμένη απόκριση που βρίσκεται στη μονάδα συμπίεσης των αποκρίσεων και αποφασίζεται αν έχει ανιχνευθεί ένα ελάττωμα στη μονάδα υπό δοκιμή.

Μια τεχνική ενσωματωμένης αυτοδοκιμής στην οποία ο έλεγχος μπορεί να πραγματοποιηθεί χωρίς να διακοπεί η κανονική λειτουργία της μονάδας υπό έλεγχο ονομάζεται τεχνική ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία (on-line BIST technique). Στην αντίθετη περίπτωση, αν δηλαδή προκειμένου να ελεγχθεί το κύκλωμα πρέπει να διακοπεί η κανονική λειτουργία, πρόκειται για μια τεχνική ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας (off-line BIST technique).

Η χρήση τεχνικών ενσωματωμένης αυτοδοκιμής στη σχεδίαση ολοκληρωμένων κυκλωμάτων παρουσιάζει μια σειρά από σημαντικά πλεονεκτήματα. Αφού η παραγωγή των διανυσμάτων δοκιμής και η αξιολόγηση των αποκρίσεων εξόδου πραγματοποιείται από το ίδιο το ολοκληρωμένο κύκλωμα δεν απαιτείται η χρήση ακριβών testers, το κόστος αγοράς των οποίων είναι, όπως αναφέρθηκε, αρκετά υψηλό.

Ακόμη, σε μεγάλα VLSI κυκλώματα όπου εκατομμύρια τρανζίστορ έχουν ολοκληρωθεί σε ένα υπόστρωμα, είναι πολύ συνηθισμένη η ύπαρξη μονάδων για τις οποίες ο εξωτερικός έλεγχος καθίσταται εξαιρετικά δύσκολος λόγω του ότι είναι δύσκολο να εφαρμοστούν στις μονάδες αυτές τα επιθυμητά διανύσματα δοκιμής από τις κύριες εισόδους (primary inputs) του κυκλώματος. Οι μονάδες αυτές ονομάζονται βαθιά ενσωματωμένες μονάδες (deeply embedded modules), πιο συνηθισμένα παραδείγματα των οποίων αποτελούν οι μνήμες ανάγνωσης εγγραφής, οι μνήμες ROM και οι διάδρομοι δεδομένων (datapaths). Με τις τεχνικές ενσωματωμένης αυτοδοκιμής ο έλεγχος τέτοιων μονάδων πραγματοποιείται μέσα στο ολοκληρωμένο κύκλωμα.

Ένα ακόμη πλεονέκτημα των τεχνικών ενσωματωμένης αυτοδοκιμής είναι το ότι εφόσον η παραγωγή της ακολουθίας διανυσμάτων δοκιμής και η αξιολόγηση των διανυσμάτων εξόδου πραγματοποιούνται από μονάδες που βρίσκονται μέσα στο ίδιο το ολοκληρωμένο κύκλωμα, ο έλεγχος μπορεί να πραγματοποιηθεί στην ταχύτητα λειτουργίας του ολοκληρωμένου κυκλώματος (at-speed testing). Έτσι, μπορούμε να είμαστε βέβαιοι ότι το κύκλωμα λειτουργεί ορθά στην ταχύτητα λειτουργίας. Αξίζει να σημειωθεί ότι αυτό και μόνο το χαρακτηριστικό προσδίδει πρακτική αξία στις τεχνικές ενσωματωμένης αυτοδοκιμής.

Ακόμη, εφόσον ο έλεγχος πραγματοποιείται από το ίδιο το ολοκληρωμένο, πολλά ολοκληρωμένα κυκλώματα μπορούν να ελέγχονται παράλληλα και ταυτόχρονα πολλές μονάδες υπό έλεγχο μέσα στο ίδιο ολοκληρωμένο μπορούν να ελέγχονται παράλληλα. Επομένως, περισσότερος χρόνος μπορεί να αφιερωθεί για τον έλεγχο κάθε ολοκληρωμένου, μεγαλύτερο πλήθος διανυσμάτων δοκιμής μπορεί να εφαρμοστεί σε κάθε κύκλωμα και άρα να επιτευχθεί υψηλότερο ποσοστό κάλυψης ελαττωμάτων.

Εξαιτίας των παραπάνω σημαντικών πλεονεκτημάτων, οι τεχνικές ενσωματωμένης αυτοδοκιμής, χρησιμοποιούνται ευρύτατα στην πράξη. Είναι χαρακτηριστικό ότι το 50% (ή και παραπάνω) της επιφάνειας των σύγχρονων επεξεργαστών ελέγχεται με τη χρήση τεχνικών ενσωματωμένης αυτοδοκιμής. Επιπλέον, πολλά προγράμματα σχεδίασης ολοκληρωμένων κυκλωμάτων έχουν πλέον τη δυνατότητα αυτόματης εισαγωγής δομών ενσωματωμένης αυτοδοκιμής (automatic BIST insertion) ή ακόμη και εισαγωγής μονάδων με έτοιμη δυνατότητα ενσωματωμένης αυτοδοκιμής (pre-BISTed modules).

Οι κυριότερες απαιτήσεις από μια τεχνική ενσωματωμένης αυτοδοκιμής είναι ο μικρός χρόνος δοκιμής και το χαμηλό κόστος υλοποίησης. Ο χρόνος δοκιμής μετριέται σε πλήθος κύκλων ρολογιού του ολοκληρωμένου κυκλώματος. Το κόστος υλοποίησης μετριέται είτε σε ισοδύναμες λογικές πύλες είτε σε πλήθος τρανζίστορ και σε πρακτικές εφαρμογές δεν μπορεί να υπερβαίνει το 10% του κόστους υλοποίησης της μονάδας υπό έλεγχο.

Όπως αναφέρθηκε, τα ελαττώματα που είναι δυνατό να εμφανιστούν στα σύγχρονα ολοκληρωμένα κυκλώματα διακρίνονται σε συνδυαστικά (combinational) και ακολουθιακά (sequential). Οι τεχνικές που έχουν προταθεί για την παραγωγή διανυσμάτων δοκιμής σε περιβάλλον ενσωματωμένης αυτοδοκιμής χωρίζονται σε δύο κατηγορίες, ανάλογα με το αν επιδιώκεται η ανίχνευση συνδυαστικών ή ακολουθιακών ελαττωμάτων. Στην πρώτη περίπτωση χρησιμοποιείται μια τεχνική παραγωγής διανυσμάτων δοκιμής (one-pattern generators) ενώ στη δεύτερη χρησιμοποιείται μια τεχνική παραγωγής ζευγών διανυσμάτων δοκιμής (two-pattern generators). Εφόσον τα ακολουθιακά μοντέλα ελαττωμάτων είναι πιο περιεκτικά από τα συνδυαστικά μοντέλα, με τη χρήση μονάδων παραγωγής ζευγών διανυσμάτων δοκιμής επιτυγχάνεται υψηλότερη κάλυψη φυσικών ελαττωμάτων. Οι μονάδες παραγωγής διανυσμάτων δοκιμής που χρησιμοποιούνται για την ανίχνευση συνδυαστικών ελαττωμάτων δε μπορούν να χρησιμοποιηθούν για την ανίχνευση ακολουθιακών ελαττωμάτων επειδή δεν επιτυγχάνουν ικανοποιητική κάλυψη για ακολουθιακά ελαττώματα.

Τα διανύσματα που εφαρμόζονται στις εισόδους της μονάδας υπό έλεγχο μπορούν να παραχθούν είτε εξαντλητικά είτε ψευδοεξαντλητικά. Κατά τον εξαντλητικό έλεγχο, εφαρμόζονται στις εισόδους της μονάδας υπό έλεγχο όλοι οι δυνατοί συνδυασμοί διανυσμάτων εισόδου (ή όλοι οι πιθανοί συνδυασμοί ζευγών διανυσμάτων στην περίπτωση της παραγωγής ζευγών διανυσμάτων). Ο εξαντλητικός έλεγχος επιτυγχάνει πλήρη (100%) κάλυψη ελαττωμάτων, αλλά το πλήθος των διανυσμάτων που εφαρμόζονται στις εισόδους της μονάδας είναι μεγάλο. Μια λύση στο πρόβλημα αυτό αποτελεί ο ψευδοτυχαίος έλεγχος. Κατά τον ψευδοτυχαίο έλεγχο εφαρμόζεται στις εισόδους της μονάδας υπό έλεγχο μια ακολουθία διανυσμάτων και πραγματοποιείται προσομοίωση ελαττωμάτων προκειμένου να αποφασιστεί αν η κάλυψη ελαττωμάτων έχει φθάσει σε μια επιθυμητή τιμή. Αν η κάλυψη δεν έχει φθάσει την τιμή αυτή, τότε η διαδικασία συνεχίζεται. Το μειονέκτημα της εφαρμογής ψευδοτυχαίων διανυσμάτων είναι η ανάγκη προσομοίωσης ελαττωμάτων, η οποία είναι διαδικασία υπολογιστικά πολύπλοκη.

Κατά τον ψευδοεξαντλητικό έλεγχο εφαρμόζονται όλοι οι δυνατοί συνδυασμοί k ψηφίων σε κατάλληλα υποσύνολα k ψηφίων των εισόδων. Η χρησιμότητα του ψευδοεξαντλητικού ελέγχου έγκειται στο γεγονός ότι κάθε έξοδος μιας μονάδας υπό έλεγχο n εισόδων μπορεί να εξαρτάται από συγκεκριμένο πλήθος εισόδων (μέχρι k , $k < n$). Το πλήθος των εισόδων που οδηγούν μια έξοδο είναι ο κώνος (cone) της εξόδου αυτής. Στην περίπτωση των διαδρόμων δεδομένων (datapaths) έχει δειχθεί ότι οι κώνοι των εξόδων αποτελούνται από διαδοχικά ψηφία εισόδου. Κατά συνέπεια, στην περίπτωση που η μονάδα υπό

έλεγχο είναι ένας διάδρομος δεδομένων, χρησιμοποιείται ο (n,k) -ψευδοεξαντλητικός έλεγχος διαδοχικών ψηφίων, κατά τον οποίο εφαρμόζονται όλοι οι συνδυασμοί διανυσμάτων (ή ζευγών διανυσμάτων) σε όλες τις διαδοχικές ομάδες k ψηφίων. Ο αριθμός k ονομάζεται απόσταση της μονάδας υπό έλεγχο. Ο ψευδοεξαντλητικός έλεγχος παρέχει όπως και ο εξαντλητικός έλεγχος πλήρη (100%) κάλυψη ελαττωμάτων χωρίς την ανάγκη προσομοίωσης ελαττωμάτων, ενώ το πλήθος των ελαττωμάτων που απαιτούνται είναι σημαντικά μικρότερο.

Η έρευνα που παρουσιάζεται εδώ εντοπίζεται στο ερευνητικό πεδίο των τεχνικών ενσωματωμένης αυτοδοκιμής για τον έλεγχο VLSI κυκλωμάτων και συνεισφέρει σε δύο κατευθύνσεις: την ανάπτυξη τεχνικών ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία (on-line BIST) για την ανίχνευση συνδυαστικών ελαττωμάτων και την ανάπτυξη τεχνικών ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας (off-line BIST) για την ανίχνευση ακολουθιακών ελαττωμάτων.

Οι τεχνικές ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία μπορούν να χρησιμοποιηθούν για έλεγχο της μονάδας υπό δοκιμή κατά τη διάρκεια της κανονικής λειτουργίας της. Κατά συνέπεια, κατά τον περιοδικό έλεγχο ο οποίος εφαρμόζεται στο κύκλωμα όταν αυτό βρίσκεται στον τόπο λειτουργίας, δεν είναι απαραίτητο να τεθεί το κύκλωμα εκτός λειτουργίας προκειμένου να ελεγχθεί, και συνεπώς δεν υποβαθμίζεται η λειτουργία του κυκλώματος. Επιπλέον, εφόσον το κύκλωμα ελέγχεται κατά τη διάρκεια της κανονικής λειτουργίας του, είναι δυνατό να ανιχνευθούν παροδικά ελαττώματα που εμφανίζονται κατά τη διάρκεια της κανονικής λειτουργίας του κυκλώματος και τα οποία αποτελούν όπως αναφέρθηκε σημαντικό ποσοστό των φυσικών ελαττωμάτων που εμφανίζονται στα σύγχρονα κυκλώματα.

Οι τεχνικές ταυτόχρονης ενσωματωμένης αυτοδοκιμής με παρακολούθηση των διανυσμάτων εισόδου (input vector monitoring concurrent BIST techniques), είναι μια κατηγορία τεχνικών ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία, που παρέχουν πλήρη (100%) κάλυψη ελαττωμάτων για απλά και πολλαπλά συνδυαστικά ελαττώματα και μπορούν να εφαρμοστούν σε οποιαδήποτε συνδυαστική μονάδα υπό έλεγχο. Επιπλέον μπορούν να χρησιμοποιηθούν τόσο για έλεγχο στον τόπο λειτουργίας (field testing), όσο και για έλεγχο εκτός κανονικής λειτουργίας στον τόπο κατασκευής (manufacturing testing).

Στις τεχνικές ενσωματωμένης αυτοδοκιμής με παρακολούθηση των διανυσμάτων εισόδου, τα διανύσματα που εμφανίζονται στις εισόδους της μονάδας υπό έλεγχο κατά την κανονική λειτουργία του κυκλώματος παρακολουθούνται και συγκρίνονται με ένα σύνολο ενεργών διανυσμάτων. Όταν το διάνυσμα εισόδου συμπίπτει με κάποιο από τα διανύσματα που ανήκουν στο σύνολο ενεργών διανυσμάτων, το διάνυσμα αφαιρείται από το σύνολο ενεργών διανυσμάτων, ενώ η απόκριση της μονάδας υπό έλεγχο συμπίπτει στη μονάδα συμπίεσης των αποκρίσεων. Όταν όλα τα διανύσματα ελέγχου έχουν εμφανιστεί στις εισόδους του κυκλώματος, ελέγχεται η (συμπιεσμένη) απόκριση του κυκλώματος και συγκρίνεται με την ορθή απόκριση. Έτσι αποφασίζεται αν στο υπό έλεγχο κύκλωμα έχει παρουσιαστεί κάποιο ελάττωμα. Μια τεχνική ταυτόχρονης ενσωματωμένης αυτοδοκιμής με παρακολούθηση των διανυσμάτων εισόδου αξιολογείται σύμφωνα με το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου ενώ η μονάδα υπό έλεγχο λειτουργεί κανονικά. Ο χρόνος αυτός ονομάζεται χρόνος ολοκλήρωσης της αυτοδοκιμής (concurrent test latency).

Παρουσιάζεται μια τεχνική ταυτόχρονης ενσωματωμένης αυτοδοκιμής με το όνομα ταυτόχρονη ενσωματωμένη αυτοδοκιμή με παρακολούθηση παραθύρου διανυσμάτων (windowed Comparative Concurrent BIST, w-CBIST). Η τεχνική αυτή είναι πιο αποδοτική από τις τεχνικές ταυτόχρονης αυτοδοκιμής με παρακολούθηση των διανυσμάτων εισόδου που έχουν προταθεί στη διεθνή βιβλιογραφία όσον αφορά το χρόνο ολοκλήρωσης του σύγχρονου ελέγχου και το κόστος υλοποίησης.

Στη συνέχεια παρουσιάζεται μια νέα τεχνική ταυτόχρονης ενσωματωμένης αυτοδοκιμής, η ταυτόχρονη ενσωματωμένη αυτοδοκιμή με τη χρήση μνήμης RAM (RAM-based comparative concurrent BIST, R-BIST). Η τεχνική αυτή είναι ακόμη πιο αποδοτική από την τεχνική w-CBIST όπως φαίνεται από τις σχετικές συγκρίσεις. Ο χρόνος ολοκλήρωσης του σύγχρονου ελέγχου των τεχνικών υπολογίστηκε με

αναλυτικούς τύπους, οι οποίοι επαληθεύτηκαν με εκτεταμένες προσομοιώσεις σε ηλεκτρονικό υπολογιστή. Η υλοποίηση των προσομοιώσεων έχει γίνει στη γλώσσα προγραμματισμού C σε λειτουργικό σύστημα Unix.

Οι τεχνικές αυτές υλοποιήθηκαν για την ταυτόχρονη ενσωματωμένη αυτοδοκιμή μονάδων μνήμης ROM στο προαναφερθέν εργαλείο σχεδίασης ολοκληρωμένων κυκλωμάτων. Οι μνήμες ROM εμπεριέχονται πολύ συχνά σε VLSI κυκλώματα και επειδή αποτελούν ιδιαίτερα κρίσιμα τμήματα για τη λειτουργία των κυκλωμάτων, κατά τον έλεγχό τους απαιτείται πολύ υψηλή κάλυψη φυσικών ελαττωμάτων, ενώ ο χρόνος που επιτρέπεται να τεθούν εκτός λειτουργίας είναι από περιορισμένος έως ανύπαρκτος. Συνεπώς, η ταυτόχρονη ενσωματωμένη αυτοδοκιμή αποτελεί μια πολύ ικανοποιητική λύση για τον έλεγχο τέτοιων μονάδων, εφόσον ικανοποιεί τις παραπάνω συνθήκες. Από την εφαρμογή των προτεινόμενων τεχνικών ταυτόχρονης ενσωματωμένης αυτοδοκιμής σε κυκλώματα μνήμης ROM προέκυψε ότι στη συντριπτική πλειοψηφία των περιπτώσεων που χρησιμοποιούνται στην πράξη, οι τεχνικές παρουσιάζουν χαμηλό κόστος υλοποίησης (<15% του κόστους υλοποίησης της μνήμης ROM) ενώ ο χρόνος ολοκλήρωσης του ταυτόχρονου ελέγχου είναι αποδεκτός για πραγματικά περιβάλλοντα (για ένα κύκλωμα που λειτουργεί στα 10MHz, ο χρόνος είναι μικρότερος των 5 sec). Συνεπώς, για ολοκληρωμένα κυκλώματα που περιέχουν μνήμες ROM οι προτεινόμενες τεχνικές έχουν άμεση πρακτική χρησιμότητα.

Η δεύτερη κατεύθυνση του Κεφαλαίου αυτού αφορά στην παρουσίαση τεχνικών ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας για την ανίχνευση ακολουθιακών ελαττωμάτων.

Όπως έχει αναφερθεί, τα ακολουθιακά μοντέλα ελαττωμάτων παρέχουν υψηλότερη κάλυψη φυσικών ελαττωμάτων από ότι τα συνδυαστικά μοντέλα. Για το λόγο αυτό, κατά τα τελευταία χρόνια γίνεται εντατική έρευνα προς την κατεύθυνση αυτή, ενώ έχει αρχίσει και η χρήση τους στη βιομηχανία. Οι λόγοι που συντελούν σε αυτό, όπως αναφέραμε, είναι ότι με τα ακολουθιακά ελαττώματα μπορούμε να μελετήσουμε βλάβες που εμφανίζονται σε κυκλώματα υλοποιημένα στην κυρίαρχη τεχνολογία CMOS, καθώς και ελαττώματα που εμφανίζονται σε κυκλώματα που λειτουργούν σε υψηλές συχνότητες.

Οι μονάδες παραγωγής απλών διανυσμάτων δοκιμής που έχουν προταθεί για την ανίχνευση συνδυαστικών ελαττωμάτων σε περιβάλλον ενσωματωμένης αυτοδοκιμής δεν παρέχουν ικανοποιητική κάλυψη ακολουθιακών ελαττωμάτων. Για το λόγο αυτό έχουν προταθεί στη διεθνή βιβλιογραφία ειδικές μονάδες παραγωγής ζευγών διανυσμάτων δοκιμής για την ανίχνευση ακολουθιακών ελαττωμάτων.

Για την ανίχνευση των ακολουθιακών ελαττωμάτων εφαρμόζονται στις εισόδους της υπό έλεγχο μονάδας ζεύγη διανυσμάτων. Κατά την εφαρμογή ενός ζεύγους διανυσμάτων είναι δυνατό λόγω διαφορετικών καθυστερήσεων της μετάδοσης των σημάτων στις γραμμές του κυκλώματος, να συμβούν μεταβολές στις τιμές των γραμμών του κυκλώματος, ώστε η εφαρμογή του ζεύγους να ακυρωθεί (invalidated). Αν ένα ζεύγος ακυρωθεί, το προς ανίχνευση ελάττωμα δεν ανιχνεύεται. Το πρόβλημα αυτό είναι γνωστό ως πρόβλημα ακύρωσης του ζεύγους διανυσμάτων δοκιμής (test pair invalidation problem). Τα ακολουθιακά ελαττώματα χωρίζονται σε δύο κατηγορίες, τα ευρώστως ανιχνεύσιμα (robustly testable) και τα μη-ευρώστως ανιχνεύσιμα (non-robustly testable). Λέμε ότι ένα ελάττωμα είναι ευρώστως ανιχνεύσιμο αν υπάρχει ένα ζεύγος διανυσμάτων δοκιμής το οποίο μπορεί να ανιχνεύσει την ύπαρξή του, χωρίς την πιθανότητα να ακυρωθεί (το ζεύγος) λόγω τυχαίων καθυστερήσεων στις γραμμές του κυκλώματος. Στην αντίθετη περίπτωση, αν δηλαδή δεν υπάρχει τέτοιο ζεύγος, το ελάττωμα ονομάζεται μη-ευρώστως ανιχνεύσιμο. Έχει αποδειχθεί ότι η ανίχνευση των ευρώστως ανιχνεύσιμων ακολουθιακών ελαττωμάτων είναι δυνατή με την εφαρμογή των ζευγών διανυσμάτων στα οποία το δεύτερο διάνυσμα του ζεύγους διαφέρει από το πρώτο σε ένα μόνο ψηφίο. Τα ζεύγη αυτά ονομάζονται Μονής Αλλαγής Εισόδου MAE (Single-Input-Change pairs, SIC). Αντίθετα, για την ανίχνευση των μη-ευρώστως ανιχνεύσιμων ελαττωμάτων απαιτείται η εφαρμογή όλων των ζευγών διανυσμάτων τα οποία αναφέρονται στη βιβλιογραφία με τον όρο Πολλαπλής Αλλαγής Εισόδων, ΠΑΕ (Multiple Input Change pairs, MIC). Από τον ορισμό τους, τα ζεύγη διανυσμάτων MAE αποτελούν υποσύνολο των ζευγών διανυσμάτων ΠΑΕ.

Η χρήση ζευγών διανυσμάτων δοκιμής MAE για την ανίχνευση ακολουθιακών ελαττωμάτων παρουσιάζει τα ακόλουθα πλεονεκτήματα (α) Το πλήθος των ζευγών διανυσμάτων MAE είναι πολύ μικρότερο από το πλήθος των συνολικών ζευγών διανυσμάτων (για μια μονάδα υπό έλεγχο n εισόδων, το πλήθος των ζευγών διανυσμάτων MAE είναι $n \times 2^n$ έναντι $2^n \times (2^n - 1)$ που είναι το πλήθος των ζευγών ΠΑΕ) (β) Αποτελέσματα εκτεταμένων ερευνών αποδεικνύουν ότι μεγάλη πλειοψηφία ακολουθιακών ελαττωμάτων (στα οποία περιλαμβάνονται και μή-ευρώστως ανιχνεύσιμα ελαττώματα) μπορούν να ανιχνευθούν με ζεύγη διανυσμάτων MAE. Τα παραπάνω δύο πλεονεκτήματα, σε συνδυασμό με το γεγονός ότι τα ακολουθιακά μοντέλα ελαττωμάτων είναι πολύ περιεκτικά (πράγμα που επιτρέπει κάλυψη ελαττωμάτων μικρότερη του 100% για ακολουθιακά ελαττώματα σε πραγματικές εφαρμογές) αναδεικνύουν τη χρησιμότητα του ελέγχου VLSI κυκλωμάτων με ζεύγη διανυσμάτων δοκιμής MAE.

Στη συνέχεια παρουσιάζονται τρεις νέες τεχνικές παραγωγής ζευγών διανυσμάτων MAE.

Η πρώτη από τις τεχνικές αυτές βασίζεται στη χρήση ενός αποκωδικοποιητή και ονομάζεται Decoder-based SIC pair Generation technique (DSG). Η τεχνική DSG παρουσιάζει εξαιρετικά χαμηλό κόστος υλοποίησης συγκριτικά με της τεχνικές που έχουν προταθεί στη βιβλιογραφία ενώ ο χρόνος που απαιτείται για την παραγωγή των ζευγών διανυσμάτων MAE είναι περίπου ίδιος με εκείνο των υπολοίπων τεχνικών.

Η δεύτερη τεχνική παραγωγής ζευγών διανυσμάτων δοκιμής MAE με το όνομα BILBO-oriented Decoder-based SIC pair Generation technique (BDSG) αποτελεί επέκταση της τεχνικής BILBO (μιας τεχνικής που χρησιμοποιείται ευρύτατα στην πράξη για την ανίχνευση συνδυαστικών ελαττωμάτων σε περιβάλλον ενσωματωμένης αυτοδοκιμής) για την ανίχνευση ακολουθιακών ελαττωμάτων. Στο σημείο αυτό έγκειται και η πρακτική χρησιμότητα της προτεινόμενης τεχνικής.

Η τρίτη τεχνική παραγωγής των ζευγών διανυσμάτων MAE (Shift-Register based SIC pair generation technique, SRSG) βασίζεται στη χρήση ενός καταχωρητή ολισθήσεως και είναι πιο αποτελεσματική από τις τεχνικές που έχουν προταθεί στη βιβλιογραφία όσον αφορά τόσο το κόστος υλοποίησης όσο και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου. Η τεχνική SRSG μπορεί να χρησιμοποιηθεί για τον (n,k) -ψευδοεξαντλητικό έλεγχο διαδοχικών ψηφίων με ζεύγη διανυσμάτων MAE, κατά τον οποίο εφαρμόζονται όλοι οι δυνατοί συνδυασμοί ζευγών διανυσμάτων MAE σε όλες τις διαδοχικές ομάδες k ψηφίων. Επιπλέον, η τεχνική SRSG μπορεί να χρησιμοποιηθεί για τον επιλεκτικό ψευδοεξαντλητικό έλεγχο ζευγών διανυσμάτων MAE, κατά τον οποίο μπορούν να ελεγχθούν ψευδοεξαντλητικά όλα τα k διαδοχικά ψηφία εισόδου για οποιαδήποτε τιμή του k , με την ενεργοποίηση κατάλληλου σήματος. Με τον επιλεκτικό ψευδοεξαντλητικό έλεγχο είναι δυνατό να ελεγχθούν ψευδοεξαντλητικά περισσότερες από μια μονάδες υπό δοκιμή χρησιμοποιώντας την ίδια μονάδα παραγωγής ζευγών διανυσμάτων MAE. Η τεχνική SRSG είναι η μόνη από τις τεχνικές που έχουν προταθεί στη βιβλιογραφία που μπορεί να χρησιμοποιηθεί τόσο για τον ψευδοεξαντλητικό όσο και τον επιλεκτικό ψευδοεξαντλητικό έλεγχο ζευγών διανυσμάτων MAE.

Και οι τρεις τεχνικές παραγωγής ζευγών διανυσμάτων MAE που παρουσιάζονται είναι πιο αποδοτικές από τις τεχνικές που έχουν προταθεί στη βιβλιογραφία όσον αφορά το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου.

Στην περίπτωση κατά την οποία απαιτείται πλήρης κάλυψη ακολουθιακών ελαττωμάτων, χρησιμοποιούνται τεχνικές παραγωγής ζευγών διανυσμάτων δοκιμής Πολλαπλής Αλλαγής Εισόδου (ΠΑΕ).

Επιπλέον, παρουσιάζονται δύο νέες τεχνικές παραγωγής ζευγών διανυσμάτων δοκιμής ΠΑΕ η πρωτοτυπία των οποίων έγκειται στη χρήση μιας μονάδας συσσωρευτή (accumulator) η οποία υπάρχει πολύ συχνά σε πραγματικά VLSI κυκλώματα (πχ. σε κυκλώματα που περιέχουν διαδρόμους δεδομένων, datapaths, ή κυκλώματα ψηφιακής επεξεργασίας σήματος, digital signal processors).

Η πρώτη από τις προτεινόμενες τεχνικές (Accumulator-based MIC pair Generation technique, AMG) υπερτερεί των τεχνικών που έχουν προταθεί στη διεθνή βιβλιογραφία όσον αφορά το χρόνο που απαιτεί-

ται για την ολοκλήρωση του ελέγχου (που είναι ίσος με το θεωρητικό ελάχιστο) και το κόστος υλοποίησης (που είναι χαμηλότερο). Επιπλέον, η τεχνική AMG είναι η μόνη από τις τεχνικές που έχουν προταθεί στη βιβλιογραφία με την οποία η ίδια μονάδα παραγωγής διανυσμάτων δοκιμής μπορεί να χρησιμοποιηθεί για τον έλεγχο πάνω από μιας μονάδων υπό έλεγχο.

Η δεύτερη τεχνική παραγωγής των ζευγών διανυσμάτων ΠΑΕ που παρουσιάζεται (Carry-rotate Accumulator-based MIC pair generator, CAMG) βασίζεται στη χρήση ενός καταχωρητή με ανάδραση (carry-rotate accumulator). Η τεχνική CAMG είναι η μόνη από όσες έχουν προταθεί στη βιβλιογραφία που μπορεί να χρησιμοποιηθεί για τον ψευδοεξαντλητικό έλεγχο ζευγών διανυσμάτων ΠΑΕ σε διαδοχικές ομάδες k -ψηφίων εισόδου για οποιαδήποτε τιμή του k (επιλεκτικός ψευδοεξαντλητικός έλεγχος ζευγών διανυσμάτων ΠΑΕ).

Συνοπτικά, στη συνέχεια παρουσιάζουμε νέες, πιο αποτελεσματικές τεχνικές παραγωγής διανυσμάτων δοκιμής σε περιβάλλον ενσωματωμένης αυτοδοκιμής και κινείται σε δύο κατευθύνσεις: την παραγωγή διανυσμάτων δοκιμής για την ανίχνευση συνδυαστικών ελαττωμάτων σε κανονική λειτουργία της μονάδας υπό έλεγχο, και την παραγωγή ζευγών διανυσμάτων δοκιμής τα οποία χρησιμεύουν στην ανίχνευση ακολουθιακών ελαττωμάτων. Η διάρθρωση του Κεφαλαίου έχει ως εξής:

Στην παράγραφο 2 γίνεται μια εισαγωγή στα ψηφιακά ολοκληρωμένα κυκλώματα και στα μοντέλα που χρησιμοποιούνται στη διεθνή βιβλιογραφία για να παραστήσουν τις φυσικές βλάβες που εμφανίζονται σε ολοκληρωμένα κυκλώματα (μοντέλα ελαττωμάτων). Ακόμη αναφέρονται έννοιες γύρω από τον έλεγχο ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων και περιγράφονται μερικές από τις τεχνικές σχεδίασης για δοκιμαστικότητα που χρησιμοποιούνται συχνά στην πράξη.

Στην παράγραφο 3 γίνεται μια εισαγωγή στις τεχνικές ενσωματωμένης αυτοδοκιμής. Τα δύο θέματα που μελετώνται ερευνητικά στις τεχνικές ενσωματωμένης αυτοδοκιμής είναι η παραγωγή των διανυσμάτων δοκιμής και η συμπίεση των αποκρίσεων εξόδου. Παρουσιάζονται οι μονάδες που χρησιμοποιούνται συνήθως για την παραγωγή των διανυσμάτων δοκιμής και τη συμπίεση των διανυσμάτων εξόδου. Στη συνέχεια, μελετώνται οι τεχνικές που έχουν προταθεί για τη συμπίεση των αποκρίσεων εξόδου και οι τεχνικές που έχουν προταθεί και χρησιμοποιηθεί για την παραγωγή των διανυσμάτων δοκιμής για συνδυαστικά ελαττώματα.

Στην παράγραφο 4 εισάγονται νέες τεχνικές ταυτόχρονης ενσωματωμένης αυτοδοκιμής με παρακολούθηση των διανυσμάτων εισόδου. Στην αρχή παρουσιάζονται οι τεχνικές που έχουν προταθεί στη διεθνή βιβλιογραφία. Στη συνέχεια παρουσιάζονται οι τεχνικές που προτείνονται. Για κάθε τεχνική παρουσιάζεται η μονάδα παραγωγής των διανυσμάτων εισόδου και υπολογίζεται το κόστος υλοποίησης και ο χρόνος που απαιτείται για την ολοκλήρωση του ελέγχου. Στη συνέχεια, οι προτεινόμενες τεχνικές συγκρίνονται με τις τεχνικές ταυτόχρονης ενσωματωμένης αυτοδοκιμής με παρακολούθηση των διανυσμάτων εισόδου που έχουν προταθεί στη διεθνή βιβλιογραφία και συνάγεται το συμπέρασμα ότι οι προτεινόμενες τεχνικές είναι πιο αποδοτικές από τις ήδη υπάρχουσες όσον αφορά το κόστος υλοποίησης και το χρόνο ολοκλήρωσης της ταυτόχρονης δοκιμής. Τέλος, μελετάται η χρήση των προτεινόμενων τεχνικών για το σύγχρονο έλεγχο μνημών ROM από όπου απορρέει και η πρακτική χρησιμότητα των τεχνικών που προτείνονται.

Στην παράγραφο 5 προτείνονται δύο νέες τεχνικές για την παραγωγή ζευγών διανυσμάτων ΠΑΕ. Αρχικά γίνεται μια επισκόπηση των τεχνικών που έχουν προταθεί στη βιβλιογραφία. Στη συνέχεια παρουσιάζουμε την προτεινόμενη τεχνική AMG η οποία, όπως αποδεικνύεται από τις συγκρίσεις είναι πιο αποδοτικές από τις ήδη υπάρχουσες όσον αφορά το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου. Ακόμη, παρουσιάζουμε για πρώτη φορά στη βιβλιογραφία τον ψευδοεξαντλητικό και τον επιλεκτικό ψευδοεξαντλητικό έλεγχο με ζεύγη διανυσμάτων ΠΑΕ και δείχνουμε πώς πραγματοποιείται με την τεχνική C-AMG.

Στην παράγραφο 6 εισάγονται νέες τεχνικές για την παραγωγή ζευγών διανυσμάτων ΜΑΕ. Αρχικά γίνεται μια επισκόπηση των τεχνικών που έχουν προταθεί στη βιβλιογραφία. Για κάθε τεχνική υπολογίζεται το κόστος υλοποίησης και ο χρόνος που απαιτείται για την ολοκλήρωση του ελέγχου. Στη συνέχεια παρουσιάζονται οι προτεινόμενες τεχνικές για την παραγωγή ζευγών διανυσμάτων ΜΑΕ οι οποίες, όπως αποδεικνύεται από τις συγκρίσεις είναι αποδοτικότερες από τις τεχνικές που έχουν προταθεί στη διεθνή βιβλιογραφία όσον αφορά το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου. Στη συνέχεια παρουσιάζουμε τον ψευδοεξαντλητικό και τον επιλεκτικό ψευδοεξαντλητικό έλεγχο με ζεύγη διανυσμάτων ΜΑΕ.

17.2 Ψηφιακά Κυκλώματα MOS - Έλεγχος Ορθής Λειτουργίας - Σχεδίαση για Δοκιμασιμότητα

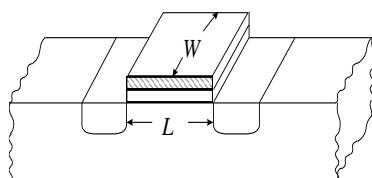
Ενα ολοκληρωμένο κύκλωμα (Integrated Circuit ή Chip) είναι ο συνδυασμός διασυνδεδεμένων στοιχείων κυκλώματος (circuit elements) που έχουν ολοκληρωθεί αδιαχώριστα σε ένα κοινό υπόστρωμα. Το ενεργό στοιχείο που χρησιμοποιείται στα ολοκληρωμένα κυκλώματα τις τελευταίες τρεις δεκαετίες, είναι το τρανζίστορ (transistor). Ο τρόπος κατασκευής του τρανζίστορ πάνω στο υπόστρωμα καθορίζεται από την τεχνολογία κατασκευής. Στα ψηφιακά ολοκληρωμένα κυκλώματα, δικτύωματα από τρανζίστορς σχηματίζουν λογικές πύλες (logic gates) όπως αντιστροφείς, πύλες AND, OR, NAND, NOR, κλπ.

Το υπόστρωμα (substrate) είναι το υλικό πάνω στο οποίο κατασκευάζεται το ολοκληρωμένο κύκλωμα, και το οποίο κατασκευάζεται από κάποιο ημιαγωγό υλικό όπως το γερμάνιο (germanium), που χρησιμοποιήθηκε αρχικά. Το γερμάνιο γρήγορα αντικαταστάθηκε από το πυρίτιο (Silicon) το οποίο κατέχει αυτή τη στιγμή το μεγαλύτερο κομμάτι της αγοράς. Ενας από τους λόγους που συνετέλεσαν στην επικράτηση αυτή είναι το ότι ο φλοιός της γής αποτελείται κατά 25% από πυρίτιο, και συνεπώς η αφθονία πυριτίου είναι δεδομένη. Ενα άλλο ημιαγωγό υλικό που έχει χρησιμοποιηθεί είναι το αρσενικούχο γάλιο (Gallium Arsenide, GaAs) το οποίο προσφέρει τη δυνατότητα λειτουργίας σε υψηλότερες ταχύτητες, έχει όμως το μειονέκτημα ότι η τεχνολογία κατασκευής ολοκληρωμένων κυκλωμάτων που στηρίζονται στο αρσενικούχο γάλιο είναι ιδιαίτερα πολύπλοκη και ακριβή σε σχέση με την ταχύτητα που προσφέρει. Επιπλέον, οι σύγχρονες τεχνολογίες πυριτίου προσφέρουν ικανοποιητικές (και μερικές φορές θεαματικές) ταχύτητες. Σύμφωνα με τους ειδικούς, το πυρίτιο αναμένεται να κυριαρχεί στην κατασκευή ολοκληρωμένων κυκλωμάτων για αρκετό καιρό ακόμη.

Με τον όρο τεχνολογία (technology) εννοούμε τον τρόπο με τον οποίο εναποτίθενται πάνω στο υπόστρωμα διάφορα υλικά, προκειμένου να σχηματιστούν τα στοιχεία του κυκλώματος (circuit elements) και οι μεταξύ τους συνδέσεις. Οι κυριότερες τεχνολογίες κατασκευής ολοκληρωμένων κυκλωμάτων πυριτίου είναι η διπολική (bipolar) τεχνολογία και η τεχνολογία μετάλλου-οξειδίου-ημιαγωγού (Metal-Oxide-Semiconductor, MOS). Στη διπολική τεχνολογία χρησιμοποιούνται τα τρανζίστορ διπολικής επαφής (bipolar junction transistor, BJT), ενώ στην τεχνολογία MOS χρησιμοποιείται το τρανζίστορ επίδρασης πεδίου (Field Effect Transistor, FET). Το τρανζίστορ επίδρασης πεδίου καταλαμβάνει λιγότερη επιφάνεια από το τρανζίστορ διπολικής επαφής, και καταναλώνει λιγότερη ηλεκτρική ενέργεια. Από την άλλη μεριά, το τρανζίστορ διπολικής επαφής μπορεί εν γένει να λειτουργήσει σε υψηλότερες ταχύτητες και η τεχνολογία υλοποίησής του είναι πιο απλή. Ομως, με τις σύγχρονες εξελίξεις στην τεχνολογία παραγωγής ολοκληρωμένων κυκλωμάτων, οι τεχνολογίες κατασκευής έχουν βελτιωθεί σημαντικά, οπότε δεν αποτελούν πια περιοριστικό παράγοντα. Επιπλέον, οι ταχύτητες λειτουργίας των συσκευών MOS έχουν φτάσει σε υψηλά επίπεδα. Για παράδειγμα, ο επεξεργαστής Alpha της εταιρείας DEC λειτουργεί στα 433MHz. Συνεπώς, η τεχνολογία MOS, έχοντας τα πλεονεκτήματα της μικρής επιφάνειας και της χαμηλής κατανάλωσης, έχει κυριαρχήσει ανάμεσα στις τεχνολογίες κατασκευής ολοκληρωμένων κυκλωμάτων.

Οι βασικές αρχές της τεχνολογίας MOS τέθηκαν το 1925 από τον J. Lilienfield. Ο O.Heil πρότεινε το 1935 μια δομή που μοιάζει πολύ με τα σημερινά FETs. Οι πρώιμες αυτές δουλειές δεν συνεχίστηκαν εξαιτίας πρακτικών δυσκολιών στην υλοποίηση. Όταν το 1949 οι Brattin, Bardeen και Schockley κατασκεύασαν στα εργαστήρια της Bell το τρανζίστορ διπολικής επαφής όλοι στράφηκαν προς αυτή την εύκολα υλοποιήσιμη δομή και το ενδιαφέρον για το FET μειώθηκε. Το καλοκαίρι του 1958 ο Jack Kilby, ερευνητής της Texas Instruments υλοποίησε το πρώτο ολοκληρωμένο κύκλωμα. Στις αρχές του επόμενου χρόνου, ο Robert Noyce της FairChild ανέφερε μια διαδικασία κατασκευής η οποία θυμίζει αρκετά τα σημερινά ολοκληρωμένα κυκλώματα. Οι εργασίες των Kilby και Noyce σημάδευσαν την αρχή της εποχής του VLSI. Με τη χρησιμοποίηση της επίπεδης (planar) διαδικασίας στις αρχές της δεκαετίας του 1960, έγινε εφικτή η υλοποίηση ολοκληρωμένων κυκλωμάτων σε τεχνολογία MOS. Η υψηλή πυκνότητα συσκευών την οποία επιτρέπουν οι διαδικασίες MOS έκαναν δυνατή την υλοποίηση κυκλωμάτων πολύ υψηλής κλίμακας ολοκλήρωσης (Very Large Scale Integration, VLSI) στις αρχές της δεκαετίας του 1980.

Ηλεκτρικά, το τρανζίστορ επίδρασης πεδίου (FET) είναι μια αντίσταση ελεγχόμενη από τάση (Voltage Controlled Resistor) με τρεις ακροδέκτες, οι οποίοι ονομάζονται πηγή (source), καταβόθρα (drain) και πύλη (gate). Η πύλη λειτουργεί σαν είσοδος ελέγχου, με την έννοια ότι ελέγχει τη διαφορά τάσης ανάμεσα στην πηγή και την καταβόθρα. Σήμερα χρησιμοποιούνται δύο είδη FET, τα τύπου p (p-channel FET ή για συντομία p-FET) και τα τύπου n (n-channel FET ή n-FET). Το n-FET αποτελείται από δύο περιοχές πυριτίου τύπου n (n-doped region). Μια περιοχή πυριτίου τύπου n είναι μια περιοχή πυριτίου εμπλουτισμένη με έναν ημιαγωγό που περιέχει πέντε ηλεκτρόνια στην εξωτερική στοιβάδα του ατόμου του (πχ. Αρσενικού, As), με αποτέλεσμα να ενυπάρχουν 'ελεύθερα' ηλεκτρόνια στον κρύσταλλο του υλικού. Ανάμεσα στις δύο αυτές περιοχές βρίσκεται μια περιοχή πυριτίου τύπου p (p-doped region). Αντίστοιχα, μια περιοχή τύπου p είναι μια περιοχή πυριτίου εμπλουτισμένη με κάποιο ημιαγωγό υλικό το οποίο περιέχει τρία ηλεκτρόνια στην εξωτερική στοιβάδα του ατόμου του (πχ. Αλουμινίου, Al) με αποτέλεσμα να περισσεύουν στον κρύσταλλο του υλικού τρύπες (holes). Οι τρύπες αποτελούν το ηλεκτρικό δυικό των ηλεκτρονίων και είναι θετικά φορτισμένες. Η περιοχή τύπου p καλύπτεται από ένα στρώμα μονωτή και ένα αγωγίμο ηλεκτρόδιο το οποίο ονομάζουμε πύλη του τρανζίστορ (transistor gate). Στις περιοχές τύπου n συνδέονται η πηγή (source) και η καταβόθρα (drain). Εντελώς δυικά με το n-FET, το p-FET αποτελείται από μια περιοχή πυριτίου τύπου n ανάμεσα σε δύο περιοχές πυριτίου τύπου p. Η λειτουργία του τρανζίστορ βασίζεται στο ότι με την εφαρμογή ηλεκτρικής τάσης στην πύλη σχηματίζεται ανάμεσα στην πηγή και την καταβόθρα ένα κανάλι (channel) αποτελούμενο από ηλεκτρόνια (στο n-FET) ή οπές (στο p-FET) λόγω μετακίνησης ηλεκτρονίων ή οπών αντίστοιχα, με αποτέλεσμα να σχηματίζεται ένα αγωγίμο μονοπάτι μεταξύ των δύο ακροδεκτών. Η πηγή και η καταβόθρα είναι φυσικά ισοδύναμες, και η ονομασία της καθεμιάς εξαρτάται από τη ροή του ρεύματος.



Εικόνα: nFET

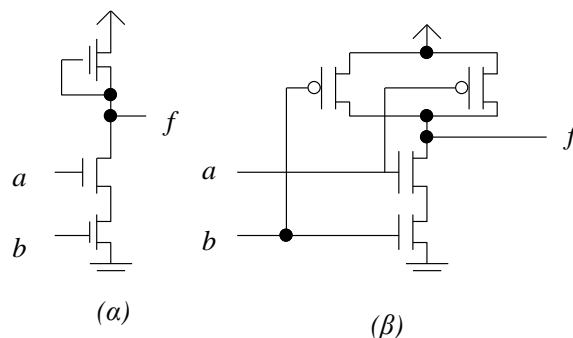
Εφαρμόζοντας στην πύλη τιμές τάσης που αντιστοιχούν στο λογικό **1** και **0**, το τρανζίστορ λειτουργεί σαν ανοικτός ή κλειστός διακόπτης. Όταν στην πύλη του n-FET εφαρμόζουμε **1**, η πηγή και η καταβόθρα είναι συνδεδεμένες, και το n-FET λειτουργεί σαν κλειστός διακόπτης. Όταν στην πύλη έχουμε **0**, η πηγή και η καταβόθρα είναι αποσυνδεδεμένες και ο διακόπτης είναι ανοικτός (off). Αντίθετα, το p-FET λειτουργεί σαν κλειστός διακόπτης (on) με **0** στην πύλη και ανοικτός διακόπτης (off) με **1** στην

πύλη του τρανζίστορ. Συνεπώς, οι διακόπτες τύπου n και p είναι on και off για διαφορετικές τιμές του σήματος της πύλης του τρανζίστορ. Για να φανεί η διαφορά αυτή περιλαμβάνουμε ένα κυκλάκι αντιστροφής στο συμβολισμό του τρανζίστορ τύπου p. Στη συνέχεια, θα θεωρούμε ότι **1** είναι το υψηλό δυναμικό ή τάση (V_{dd}) και **0** είναι το χαμηλό δυναμικό ή γείωση (V_{ss}).

Ένα ψηφιακό κύκλωμα MOS αποτελείται από λογικές πύλες (logic gates) διασυνδεδεμένες μεταξύ τους. Μια λογική πύλη αποτελείται από δικτύωματα τρανζίστορς που συνδέουν την έξοδο της πύλης με την τάση και τη γείωση, ενώ οι πύλες των τρανζίστορς ελέγχονται από τις εισόδους της λογικής πύλης.

Ανάλογα με το είδος του FET που χρησιμοποιείται αναπτύχθηκαν τρεις τεχνολογίες MOS, οι pMOS, nMOS και CMOS. Στην τεχνολογία pMOS, χρησιμοποιούνται αποκλειστικά p-FETs. Επειδή τα ηλεκτρικά χαρακτηριστικά του pFET δεν είναι τόσο καλά όσο εκείνα του nFET (η κινητικότητα των οπών είναι μικρότερη από εκείνη των ηλεκτρονίων) η διαδικασία pMOS γρήγορα υπερκεράστηκε από την τεχνολογία nMOS, στην οποία χρησιμοποιούνται n-FETs. Η χρήση των δύο τύπων τρανζίστορ στο ίδιο υπόστρωμα (τεχνολογία Complementary MOS, CMOS) έγινε αρχικά σε συσκευές χαμηλής κατανάλωσης (όπως ρολόγια χειρός) επειδή η διαδικασία κατασκευής της τεχνολογίας CMOS ήταν πιο πολύπλοκη από ότι εκείνη της τεχνολογίας nMOS. Όταν όμως οι απαιτήσεις για ταχύτητα αυξήθηκαν, οι διαδικασίες παραγωγής της τεχνολογίας nMOS έγιναν πιο πολύπλοκες. Ένα ακόμη σημαντικό θέμα που προέκυψε στη φάση αυτή ήταν η αυξανόμενη κατανάλωση των ολοκληρωμένων κυκλωμάτων, λόγω της αύξησης του βαθμού ολοκλήρωσης. Όπως θα φανεί στη συνέχεια, η τεχνολογία CMOS παρουσιάζει συγκριτικά με την τεχνολογία nMOS πολύ μικρή κατανάλωση σε ισχύ. Κατά συνέπεια, μεγαλύτερος αριθμός ενεργών στοιχείων μπορεί να ολοκληρωθεί σε ένα κύκλωμα. Στη συνέχεια θα περιγράψουμε τον τρόπο υλοποίησης των λογικών πυλών στις τεχνολογίες nMOS και CMOS, χρησιμοποιώντας το παράδειγμα της πύλης NAND.

Μια λογική πύλη nMOS αποτελείται από ένα δικτύωμα τρανζίστορ τύπου n που συνδέουν την έξοδο με τη γείωση και ονομάζονται τρανζίστορ οδήγησης (drive transistors) και από ένα τρανζίστορ τύπου p που ονομάζεται τρανζίστορ φόρτωσης (pull-up transistor) και συνδέει την τάση με την έξοδο. Το μέγεθος του τρανζίστορ φόρτωσης είναι διαφορετικό από εκείνο των τρανζίστορ οδήγησης, και είναι συνεχώς on εξαιτίας του τρόπου με τον οποίο έχει συνδεθεί στο κύκλωμα. Η πύλη NAND σε τεχνολογία nMOS φαίνεται στην επόμενη Εικόνα. Όταν και οι δύο εισοδοί είναι 1, τότε τα nMOS τρανζίστορ οδήγησης άγουν, και η τιμή της τάσης του κόμβου εξόδου πέφτει κάτω από μια καθορισμένη τιμή η οποία ονομάζεται τάση κατωφλίου (threshold voltage) του τρανζίστορ φόρτωσης, οπότε η έξοδος λαμβάνεται ως 0. Όταν η μία ή και οι δύο εισοδοί είναι 0, το δικτύωμα δεν άγει, και κατά συνέπεια στην έξοδο παίρνουμε 1.



Εικόνα: Πύλη NAND σε τεχνολογία (α) nMOS (β) CMOS

Μία πύλη CMOS αποτελείται από ένα δικτύωμα τρανζίστορ τύπου p (p-δικτύωμα, p-net) που συνδέουν την έξοδο με το **1**, και ένα δικτύωμα τρανζίστορ τύπου n (n-δικτύωμα, n-net) που συνδέουν την έξοδο με το **0**. Τα δικτύωματα των n-FET και p-FET είναι συμπληρωματικά όσον αφορά τις συνδέσεις σε σειρά και τις παράλληλες συνδέσεις. Η πύλη CMOS NAND φαίνεται στην ανωτέρω Εικόνα. Όταν και οι δύο

είσοδοι είναι **1**, τα τρανζίστορ τύπου n άγουν και η έξοδος της πύλης οδηγείται στη γείωση. Για οποιοδήποτε άλλο διάνυσμα εισόδου κάποιο από τα δύο τρανζίστορ τύπου p άγει και η έξοδος οδηγείται στο V_{dd} .

Από την ανωτέρω Εικόνα φαίνεται ότι στην τεχνολογία CMOS χρειάζονται εν γένει περισσότερα τρανζίστορ για την υλοποίηση των συναρτήσεων. Για την υλοποίηση μιας λογικής πύλης NAND ή NOR κ εισόδων απαιτούνται $k+1$ τρανζίστορ για την nMOS υλοποίηση, και $2k$ τρανζίστορ για την υλοποίηση σε CMOS.

Από την άλλη μεριά όμως, μπορεί κανείς να διαπιστώσει ότι για κανένα συνδυασμό εισόδων της λογικής πύλης δεν υπάρχει αγωγή μονοπάτι ανάμεσα στην τάση και τη γείωση όταν η πύλη βρίσκεται σε σταθερή κατάσταση (steady state), και κατά συνέπεια η κατανάλωση ισχύος στη σταθερή κατάσταση είναι 0. Η παρατήρηση αυτή ισχύει σε όλες τις στατικές πύλες CMOS, και είναι η αιτία για τη μικρή κατανάλωση ρεύματος στα κυκλώματα που έχουν υλοποιηθεί σε τεχνολογία CMOS. Στο (α) φαίνεται ότι στην πύλη nMOS, για οποιοδήποτε συνδυασμό εισόδων (εκτός του 0,0) υπάρχει ένα αγωγή μονοπάτι από την τάση στη γείωση. Αυτό σημαίνει ότι η πύλη nMOS έχει μεγαλύτερη μέση κατανάλωση ισχύος από ότι η πύλη CMOS. Αν λάβουμε υπόψη μας το πλήθος των τρανζίστορ σε ένα ολοκληρωμένο κύκλωμα (το οποίο μπορεί να υπερβαίνει τα μερικές δεκάδες εκατομμύρια) και την πεπερασμένη θερμοχωρητικότητα της συσκευασίας (package), φτάνουμε στο συμπέρασμα ότι η κατανάλωση μπορεί να αποτελέσει περιοριστικό παράγοντα στο πλήθος των τρανζίστορ που μπορούν να περιλαμβάνονται σε ένα ολοκληρωμένο κύκλωμα. Αυτός είναι και ο σημαντικότερος λόγος για τον οποίο η τεχνολογία CMOS έχει κυριαρχήσει στην κατασκευή ολοκληρωμένων κυκλωμάτων, με την έννοια ότι το μεγαλύτερο πλήθος ολοκληρωμένων κυκλωμάτων σήμερα κατασκευάζονται με την τεχνολογία CMOS.

17.3 Σύγχρονες τάσεις στην τεχνολογία ολοκληρωμένων κυκλωμάτων

Η βασική επιδίωξη της σύγχρονης βιομηχανίας ηλεκτρονικών είναι η δυνατότητα κατασκευής γρήγορων, φθηνών και αξιόπιστων ηλεκτρονικών συσκευών. Αφετηρία για τις επιδιώξεις αυτές αποτελεί η μείωση της γεωμετρίας κατασκευής των ηλεκτρονικών κυκλωμάτων, η οποία έγινε δυνατή χάρη στις τεχνολογικές εξελίξεις.

Με τον όρο γεωμετρία κατασκευής (minimum feature size) αναφερόμαστε στο μέγεθος των τρανζίστορ του ολοκληρωμένου κυκλώματος. Το μέγεθος του τρανζίστορ MOS καθορίζεται από το γινόμενο του πλάτους της πύλης επί το μήκος ($W \times L$). Η ελάχιστη τιμή που μπορούν να έχουν τα μεγέθη αυτά χωρίς να παρουσιάζονται προβλήματα κατά τη διαδικασία κατασκευής καθορίζεται από την ακρίβεια της διαδικασίας κατασκευής και ονομάζεται γεωμετρία κατασκευής (minimum feature size) του ολοκληρωμένου. Η τιμή αυτή είναι της τάξης των μικρόμετρων ($1\mu\text{m}=10^{-6}\text{m}$) και μειώνεται με ταχείς ρυθμούς. Στη δεκαετία του 1970 το μήκος των τρανζίστορ ήταν της τάξης των $10\mu\text{m}$. Στο τέλος της δεκαετίας του 70 το μέγεθος αυτό είχε πέσει στα $5\mu\text{m}$, ενώ στα μέσα της δεκαετίας του 1980 ήταν γύρω στα $2\mu\text{m}$. Στις αρχές της δεκαετίας του 1990 εμφανίστηκαν τεχνολογίες submicron ($0.75\mu\text{m}$) και deep submicron ($0.25\mu\text{m}$).

Η Κλίμακα ολοκλήρωσης (scale of integration) ενός ολοκληρωμένου κυκλώματος καθορίζεται από το πλήθος των τρανζίστορ που ολοκληρώνονται σε ένα κύκλωμα. Η κλίμακα ολοκλήρωσης αυξάνεται όσο η γεωμετρία κατασκευής μειώνεται. Για παράδειγμα, αν ένα κύκλωμα υλοποιημένο σε γεωμετρία των $5\mu\text{m}$ υλοποιηθεί σε γεωμετρία των $0.5\mu\text{m}$, θα περιέχει (κατά προσέγγιση) 100 φορές περισσότερα τρανζίστορς. Βεβαίως, ο αριθμός αυτός περιορίζεται από τις συνδέσεις των στοιχείων μεταξύ τους, είναι όμως ενδεικτικός του πόσο επηρεάζεται η κλίμακα ολοκλήρωσης από τη γεωμετρία υλοποίησής του. Έτσι, ενώ στη δεκαετία του 1960 ένα ολοκληρωμένο κύκλωμα μπορούσε να περιέχει μέχρι λίγες δεκάδες τρανζίστορ (Small Scale of Integration, SSI), ο αριθμός αυτός γρήγορα ανέβηκε στις εκατοντάδες, (Medium Scale of Integration, MSI), χιλιάδες (Large Scale of Integration, LSI) και εκατοντάδες χιλιάδες

(Very Large Scale of Integration, VLSI) για να φτάσουμε στους σύγχρονους μικροεπεξεργαστές στους οποίους εκατομμύρια τρανζίστορ ολοκληρώνονται σε ένα υπόστρωμα. Αντίστοιχη αύξηση της κλίμακας ολοκλήρωσης έχει πραγματοποιηθεί και στις ολοκληρωμένες μνήμες, η ολοκλήρωση των οποίων μπορεί να φτάνει τα 100.000.000 τρανζίστορ (multi-mega bit memories).

Η αύξηση της κλίμακας ολοκλήρωσης έδωσε με τη σειρά της ώθηση στην αύξηση της πολυπλοκότητας των ολοκληρωμένων κυκλωμάτων. Έτσι ενώ στη δεκαετία του 1960 ένα κύκλωμα μπορούσε να εκτελέσει απλές λειτουργίες (λίγες λογικές πύλες ή ένας καταχωρητής μπορούσαν να αποτελούν ένα ολοκληρωμένο κύκλωμα) έχουμε φτάσει σήμερα στο σημείο ολόκληρα συστήματα να μπορούν να ολοκληρωθούν σε ένα μόνο κύκλωμα (integrated systems).

Αξίζει να σημειωθεί ότι η αύξηση της πολυπλοκότητας οδήγησε στη μείωση του κόστους κατασκευής των ηλεκτρονικών συστημάτων. Πράγματι, όσο πιο πολύπλοκα είναι τα κυκλώματα που χρησιμοποιούνται στην κατασκευή μιας ηλεκτρονικής συσκευής, τόσο μικρότερο το πλήθος τους, και κατά συνέπεια το πλήθος των διασυνδέσεων μεταξύ των ολοκληρωμένων και των τυπωμένων πλακετών που απαιτούνται για την υλοποίηση του συστήματος. Αν ληφθεί υπόψη ότι το κόστος ενός ολοκληρωμένου δεν αυξάνεται γραμμικά με την αύξηση της πολυπλοκότητάς του, αλλά είναι σε μεγάλο βαθμό ανεξάρτητο από αυτήν (για παράδειγμα ένα ολοκληρωμένο που αποτελείται από 1.000.000 τρανζίστορ κοστίζει πολύ λιγότερο από δέκα ολοκληρωμένα κάθε ένα από τα οποία περιέχει 100.000 τρανζίστορ), καταλήγουμε στο συμπέρασμα ότι το κόστος υλοποίησης μιας ηλεκτρονικής συσκευής μειώνεται όσο αυξάνεται η πολυπλοκότητα των ολοκληρωμένων κυκλωμάτων από τα οποία αποτελείται.

Η μείωση της γεωμετρίας είχε ακόμη σαν αποτέλεσμα και την αύξηση της ταχύτητας λειτουργίας των ολοκληρωμένων κυκλωμάτων. Ενώ στις αρχές της δεκαετίας του 1980 τυπικές συχνότητες λειτουργίας δεν ξεπερνούσαν τα 10 MHz, τα σύγχρονα ολοκληρωμένα κυκλώματα λειτουργούν σε ταχύτητες της τάξης των εκατοντάδων MHz. Μια απλή εξήγηση είναι ότι η ταχύτητα λειτουργίας ενός ολοκληρωμένου κυκλώματος αυξάνεται όσο το μήκος της πύλης μειώνεται εφόσον μειώνεται η διαδρομή που έχουν να διανύσουν τα ηλεκτρόνια προκειμένου να φτάσει η έξοδος της λογική πύλης σε μια τελική τιμή.

Επιπλέον, πρέπει να αναφερθεί ότι η αύξηση της ταχύτητας λειτουργίας των ηλεκτρονικών συσκευών (που τελικά αυτό είναι το ζητούμενο) πρωτοδοτείται από την αύξηση της κλίμακας ολοκλήρωσης και της πολυπλοκότητας των σύγχρονων ολοκληρωμένων κυκλωμάτων. Είναι γνωστό ότι η ταχύτητα στην οποία λειτουργούν τα ολοκληρωμένα κυκλώματα είναι αρκετά υψηλότερη από την ταχύτητα στην οποία μπορούν να λειτουργήσουν τα τυπωμένα κυκλώματα (πλακέτες). Αυτό οφείλεται σε φαινόμενα χωρητικότητας και αυτεπαγωγής των αγωγών που διασυνδέουν τα ολοκληρωμένα κυκλώματα στις τυπωμένες πλακέτες, και τα οποία εμποδίζουν τη λειτουργία σε υψηλές ταχύτητες. Σαν αποτέλεσμα της αύξησης της κλίμακας ολοκλήρωσης των ολοκληρωμένων κυκλωμάτων οι συνδέσεις μεταξύ των ολοκληρωμένων κυκλωμάτων σε μια ηλεκτρονική συσκευή λιγοστεύουν, και συνεπώς αυξάνεται η ταχύτητα λειτουργίας της συσκευής. Χαρακτηριστικό παράδειγμα αποτελεί η ολοκλήρωση της κρυφής (cache) μνήμης μέσα στο ολοκληρωμένο κύκλωμα του επεξεργαστή (microprocessor). Με την ολοκλήρωση αυτή, η ταχύτητα λειτουργίας του συστήματος αυξάνεται σημαντικά.

Ο επόμενος Πίνακας είναι ενδεικτικός των τάσεων της σύγχρονης βιομηχανίας ηλεκτρονικών. Ο Πίνακας δείχνει χαρακτηριστικά μεγέθη λειτουργίας των ολοκληρωμένων κυκλωμάτων το 1997 και το 2012, σύμφωνα με την εταιρεία Intel. Στην πρώτη στήλη παρουσιάζονται το μέγεθος, στη δεύτερη στήλη η μονάδα μέτρησής του, ενώ στις επόμενες στήλες παρουσιάζονται τα τρέχοντα στοιχεία και οι μελλοντικές προβλέψεις. Αξίζει να παρατηρήσει κανείς ότι ενώ το πλήθος των τρανζίστορς αυξήθηκε 1000 φορές, το πλήθος των ακροδεκτών δεν αυξήθηκε περισσότερο από τρεις φορές. Η παρατήρηση αυτή οδηγεί στο συμπέρασμα ότι αναμένεται μια κάθετη άνοδο στην ανάγκη αξιόπιστου ελέγχου των ολοκληρωμένων κυκλωμάτων με όσο το δυνατό λιγότερες εισόδους.

Πίνακας: Προβλέψεις για τη Βιομηχανία Ηλεκτρονικών

	Unit	1997	2012
Frequency	GigaHertz	0.5	3.5
Transistors	Millions	10	10.000
Tester Pinouts	Number	500	1400
Tester Speed	GigaHertz	0.5	2.5
ATE Cost	Million US\$	5	20

Σύμφωνα με την παραπάνω συζήτηση το κόστος υλοποίησης των ηλεκτρονικών συσκευών μειώνεται με ταχείς ρυθμούς, ενώ αντίστοιχα αυξάνεται η ταχύτητα λειτουργίας τους. Εξαιτίας των δύο αυτών παραγόντων, η χρήση των ηλεκτρονικών συσκευών έχει επεκταθεί σε πλήθος εφαρμογών, οι οποίες ποικίλλουν από ανώδυνες μέχρι κρίσιμες και στρατηγικής σημασίας για την ανθρώπινη ζωή και το περιβάλλον. Από την ευρύτερη χρήση των ηλεκτρονικών συσκευών πηγάζει η ανάγκη για υψηλή αξιοπιστία. Η αξιοπιστία (reliability) μιας συσκευής είναι ο βαθμός βεβαιότητας ότι η συσκευή λειτουργεί ορθά. Η απαίτηση για υψηλή αξιοπιστία μιας συσκευής γίνεται τόσο πιο επιτακτική όσο αυξάνει η κρισιμότητα της εφαρμογής στην οποία χρησιμοποιείται. Τα αποτελέσματα της μη ορθής λειτουργίας μιας ηλεκτρονικής συσκευής ποικίλλουν από απλή απώλεια ωφέλιμου χρόνου εργασίας (βιομηχανικές εφαρμογές), μέχρι υλικές ζημιές ή ακόμη και απώλεια ανθρώπινων ζωών. Προκειμένου να αυξηθεί η αξιοπιστία μιας ηλεκτρονικής συσκευής, η συσκευή ελέγχεται.

Ελεγχος μιας συσκευής είναι ένα πείραμα κατά το οποίο αποφασίζεται αν η συσκευή λειτουργεί σύμφωνα με κάποιες προδιαγραφές ή όχι. Στην πρώτη περίπτωση λέμε ότι η συσκευή έχει επιτύχει, ενώ στην τελευταία λέμε ότι έχει αποτύχει στον έλεγχο. Μπορούμε να οδηγηθούμε στο συμπέρασμα ότι μια συσκευή είναι αξιόπιστη όταν έχει ελεγχθεί στο εργοστάσιο κατασκευής και σε χρονικά διαστήματα όσο το δυνατό πιο μικρά ελέγχεται προκειμένου να πιστοποιηθεί η ορθή λειτουργία της.

Η αξιοπιστία μιας ηλεκτρονικής συσκευής επηρεάζεται τόσο από την αξιοπιστία των ολοκληρωμένων κυκλωμάτων από τα οποία αποτελείται όσο και από την αξιοπιστία των διανυσσυνδέσεων τους σε επίπεδο τυπωμένης πλακέτας.

Η αξιοπιστία των τυπωμένων πλακετών επηρεάζεται σημαντικά από εξωτερικούς παράγοντες (υγρασία, δονήσεις, ακτινοβολία). Επομένως, όσο μικρότερο είναι το πλήθος των συνδέσεων, τόσο πιο αξιόπιστη είναι η ηλεκτρονική συσκευή. Συνεπώς, με τη χρήση ολοκληρωμένων κυκλωμάτων υψηλής πολυπλοκότητας, η αξιοπιστία της ηλεκτρονικής συσκευής αυξάνεται, εφόσον το πλήθος των κυκλωμάτων που χρησιμοποιούνται μειώνεται, και επομένως μειώνεται το πλήθος των μεταξύ τους συνδέσεων. Από την άλλη μεριά, ο έλεγχος των τυπωμένων πλακετών είναι υπολογιστικά απλή διαδικασία, εξαιτίας του ότι πρακτικά οποιοδήποτε σημείο μιας πλακέτας είναι προσβάσιμο και η τάση του μπορεί να μετρηθεί με τη βοήθεια ενός βολτομέτρου. Αυτό βεβαίως ισχύει υπό την προϋπόθεση ότι τα ολοκληρωμένα κυκλώματα λειτουργούν ορθά.

Εφόσον τα ολοκληρωμένα κυκλώματα είναι συσκευασμένα (σε πλαστική ή κεραμική θήκη) επηρεάζονται λιγότερο από εξωτερικούς παράγοντες από ότι οι διασυνδέσεις σε επίπεδο πλακέτας. Από την άλλη μεριά όμως, η άμεση προσπέλαση των εσωτερικών κόμβων στα ολοκληρωμένα κυκλώματα είναι αδύνατη. Για το λόγο αυτό, ο έλεγχος των ολοκληρωμένων κυκλωμάτων είναι μια διαδικασία υπολογιστικά δυσκολότερη. Πρέπει να αναφερθεί επίσης ότι στην τεχνολογία CMOS παρουσιάζεται, λόγω του τρόπου κατασκευής των λογικών πυλών, μια αυξημένη δυσκολία στο να βεβαιωθούμε ότι το ολοκληρωμένο κύκλωμα λειτουργεί ορθά. Για το λόγο αυτό, η αύξηση της αξιοπιστίας των ολοκληρωμένων κυκλωμάτων απαιτεί επιπλέον προσπάθεια και αποτελεί αντικείμενο έντονης ερευνητικής μελέτης.

Από την παραπάνω συζήτηση διαφαίνεται η αναγκαιότητά του ελέγχου ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων. Πρέπει να αναφερθεί ότι εξαιτίας της υψηλής πολυπλοκότητας των σύγχρονων ολοκληρωμένων κυκλωμάτων, το κόστος του ελέγχου μπορεί να φτάνει στο 30-70% του συνολικού κόστους ανάπτυξης ενός ολοκληρωμένου κυκλώματος. Πριν αναφερθούμε στις αιτίες που οδηγούν στο υψηλό αυτό κόστος, θα αναφερθούμε στις σημαντικότερες αιτίες που μπορούν να οδηγήσουν στη μη ορθή λειτουργία ενός ολοκληρωμένου κυκλώματος υλοποιημένου σε τεχνολογία CMOS.

17.4 Αιτίες μη ορθής λειτουργίας ολοκληρωμένων κυκλωμάτων, Ελαττώματα και Μοντέλα Ελαττωμάτων

Είναι δυνατό ένα κύκλωμα να μη λειτουργεί σύμφωνα με τις προδιαγραφές για τις οποίες σχεδιάστηκε και κατασκευάστηκε. Η κατάσταση αυτή αναφέρεται γενικά με τον όρο μη ορθή λειτουργία, οι δε επιπτώσεις της ποικίλλουν ανάλογα με την κρισιμότητα της εφαρμογής στην οποία χρησιμοποιείται το ολοκληρωμένο κύκλωμα. Θέμα της παρούσης παραγράφου αποτελεί η μελέτη των αιτιών που μπορούν να οδηγήσουν στη μη ορθή λειτουργία ενός ολοκληρωμένου κυκλώματος. Οι αιτίες αυτές διακρίνονται ανάλογα με την προέλευσή τους σε σχεδιαστικά λάθη, κατασκευαστικά λάθη και περιβαλλοντικούς παράγοντες.

Τα σχεδιαστικά λάθη μπορεί να οφείλονται είτε σε ελλιπή κατανόηση των προδιαγραφών λειτουργίας από την ομάδα των σχεδιαστών, είτε απροσεξία, ελλιπή προσομοίωση, ή γενικότερα κακή σχεδίαση είτε τέλος σε λάθη του λογισμικού σχεδίασης (software bugs). Κατά τον έλεγχο ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων θεωρούμε ότι το ολοκληρωμένο κύκλωμα που έχει κατασκευαστεί είναι ελεύθερο λαθών που εμπίπτουν στην κατηγορία αυτή, και δεν τα λαμβάνουμε υπόψη μας.

Τα κατασκευαστικά λάθη οφείλονται στην ατελή διαδικασία κατασκευής. Οι πιο συνηθισμένες αιτίες που μπορούν να έχουν σαν αποτέλεσμα ένα κατασκευαστικό λάθος είναι η ύπαρξη σωματιδίων (dust) στον καθαρό χώρο κατασκευής των ολοκληρωμένων κυκλωμάτων, η ύπαρξη ελαττωμάτων στον κρύσταλλο του υποστρώματος (crystal defects), λάθη στην κατασκευή των μασκών (mask errors) και η λανθασμένη τοποθέτηση των μασκών κατά τη διάρκεια της διαδικασίας φωτολιθογραφίας (alignment errors). Το ποσοστό των ολοκληρωμένων κυκλωμάτων που είναι ελεύθερα κατασκευαστικών λαθών είναι γνωστό ως κέρδος (yield) της διαδικασίας κατασκευής.

Ακόμη όμως και όταν ένα κύκλωμα είναι ελεύθερο κατασκευαστικών λαθών είναι δυνατό κατά τη διάρκεια της λειτουργίας του να μη λειτουργεί ορθά. Στην περίπτωση αυτή, η κυριότερη αιτία μη ορθής λειτουργίας είναι η επίδραση περιβαλλοντικών παραγόντων. Παραδείγματα παραγόντων που μπορούν να επηρεάσουν την ορθή λειτουργία ενός ολοκληρωμένου κατά τη διάρκεια της λειτουργίας του είναι η θερμοκρασία, η υγρασία, οι δονήσεις, καθώς επίσης και η κοσμική ακτινοβολία ή τα σωματίδια α (που επηρεάζουν κυρίως κυκλώματα πολύ υψηλής πυκνότητας όπως οι ημιαγωγικές μνήμες).

Στη συνέχεια θα θεωρούμε ότι το κύκλωμα είναι ελεύθερο σχεδιαστικών λαθών. Η υπόθεση αυτή δεν απέχει πολύ από την πραγματικότητα, εφόσον κατά τη διάρκεια του κύκλου ανάπτυξης ενός ολοκληρωμένου κυκλώματος πραγματοποιούνται εξονυχιστικοί έλεγχοι επαλήθευσης (verification testing). Από την άλλη μεριά, τα εργαλεία σχεδίασης όχι μόνο δοκιμάζονται εξονυχιστικά πριν βγούν στην αγορά, αλλά και οποιαδήποτε λάθη γίνονται γρήγορα αντιληπτά. Για το λόγο αυτό, θεωρούμε ότι η μη ορθή λειτουργία ενός κυκλώματος οφείλεται στην ύπαρξη ενός φυσικού ελαττώματος ή βλάβης. Η ύπαρξη ενός φυσικού ελαττώματος μπορεί να οφείλεται είτε σε κατασκευαστικό λάθος είτε σε επίδραση περιβαλλοντικών παραγόντων. Η εμφάνιση στις εξόδους του ολοκληρωμένου κυκλώματος μιας εσφαλμένης (διαφορετικής από την ορθή) ακολουθίας εξόδου ονομάζεται λάθος (error). Με άλλα λόγια, λάθος είναι η εκδήλωση ενός ελαττώματος σε ένα κύκλωμα.

Για παράδειγμα, ας θεωρήσουμε μια λογική πύλη AND σε ένα ολοκληρωμένο κύκλωμα της οποίας η έξοδος, εξαιτίας κάποιας από τις αιτίες που αναφέρθηκαν, έχει συνδεθεί στη γείωση. Αυτό είναι ένα φυσικό ελάττωμα. Συνεπώς, η έξοδος της πύλης βρίσκεται συνεχώς στη λογική τιμή 0. Όταν εφαρμοστεί στις εισόδους της πύλης το διάνυσμα (11) το φυσικό ελάττωμα θα γίνει αντιληπτό στις εξόδους του κυκλώματος και θα έχουμε την εμφάνιση ενός λάθους, εφόσον αντί για την ορθή απόκριση εξόδου 1, θα εμφανιστεί η λανθασμένη απόκριση 0. Λέμε ότι μια ακολουθία διανυσμάτων εισόδου ανιχνεύει (detects) ένα ελάττωμα, αν κατά την εφαρμογή της ακολουθίας στις εισόδους του κυκλώματος εμφανίζεται ένα λάθος στις εξόδους του κυκλώματος.

Στο προηγούμενο παράδειγμα της λογικής πύλης, πλήθος άλλων ελαττωμάτων είναι δυνατό να εμφανιστούν. Για παράδειγμα, οποιαδήποτε από τις γραμμές διασύνδεσης μπορεί να βρίσκεται διαρκώς σε μια λογική τιμή, ή παραπάνω από μια γραμμές μπορούν να βρίσκονται διαρκώς σε μια λογική τιμή (την ίδια ή διαφορετική), οποιοδήποτε πλήθος τρανζίστορ μπορεί εξαιτίας μιας φυσικής βλάβης να άγει διαρκώς ή να μὴ άγει. Τέλος, συνδυασμοί των παραπάνω περιπτώσεων είναι δυνατό να συμβούν. Συνεπώς, το πλήθος των φυσικών βλαβών που μπορούν να εμφανιστούν σε ένα ολοκληρωμένο κύκλωμα αυξάνεται καθώς αυξάνεται το πλήθος των τρανζίστορ σε ένα ολοκληρωμένο κύκλωμα. Η εξαγωγή διανυσμάτων δοκιμής για όλους τους πιθανούς συνδυασμούς των φυσικών ελαττωμάτων είναι πρακτικά αδύνατη, ακόμη και για κυκλώματα μέτριας πολυπλοκότητας. Το γεγονός αυτό οδήγησε στην εισαγωγή της έννοιας του μοντέλου ελαττωμάτων.

Ένα μοντέλο ελαττωμάτων (fault model) είναι μια υπόθεση για το είδος των φυσικών βλαβών που μπορούν να συμβούν σε ένα ολοκληρωμένο κύκλωμα. Η ανάγκη για μοντελοποίηση των ελαττωμάτων πηγάζει από το γεγονός ότι το πλήθος των φυσικών ελαττωμάτων είναι τόσο μεγάλο ώστε δεν μπορούμε να τα χειριστούμε με ικανοποιητικό τρόπο. Θεωρούμε ότι μια συγκεκριμένη κατηγορία ελαττωμάτων μπορεί να έχει παρουσιαστεί σε ένα κύκλωμα και εφαρμόζουμε στο κύκλωμα διανύσματα ή ακολουθίες διανυσμάτων με τις οποίες ανιχνεύονται τα φυσικά ελαττώματα που εμπίπτουν στο συγκεκριμένο μοντέλο. Λέμε τότε ότι χρησιμοποιούμε το συγκεκριμένο μοντέλο ελαττωμάτων. Στη γενική περίπτωση, ανιχνεύοντας τα ελαττώματα ενός μοντέλου ανιχνεύουμε επίσης και ένα πλήθος από ελαττώματα που δεν εμπίπτουν στο συγκεκριμένο μοντέλο.

Στη συνέχεια οι όροι ελάττωμα και μοντέλο ελαττωμάτων θα χρησιμοποιούνται ισοδύναμα.

Ένα από τα πιο σημαντικά κριτήρια αξιολόγησης ενός μοντέλου ελαττωμάτων είναι η περιεκτικότητα (comprehensiveness) με άλλα λόγια πόσες από τις δυνατές φυσικές βλάβες μπορεί να καλύψει το συγκεκριμένο μοντέλο. Εν γένει, όσο πιο γενική είναι η υπόθεση για το είδος των βλαβών που μπορούν να συμβούν, τόσο πιο περιεκτικό είναι το μοντέλο. Ο πιο διαδεδομένος τρόπος υπολογισμού της κάλυψης φυσικών ελαττωμάτων για ένα μοντέλο ελαττωμάτων (physical fault coverage) είναι η τεχνική inductive fault analysis (IFA). Σύμφωνα με την τεχνική αυτή, προκαλούνται σκόπιμα σημειακές ατέλειες (spot defects) σε πραγματικά ολοκληρωμένα κυκλώματα και προσομοιώνονται διάφορα μοντέλα ελαττωμάτων προκειμένου να αποφασιστεί το ποσοστό κάλυψης βλαβών που δίνει κάθε μοντέλο. Ένα μοντέλο ελαττωμάτων είναι τόσο πιο περιεκτικό (comprehensive), όσο πιο μεγάλο μέρος των δυνατών βλαβών ενός κυκλώματος μπορεί να καλύψει. Η χρήση ενός περιεκτικού μοντέλου ελαττωμάτων εξασφαλίζει μεγαλύτερο βαθμό βεβαιότητας ότι ένα κύκλωμα είναι ελεύθερο φυσικών ελαττωμάτων. Από την άλλη μεριά όμως είναι γενικός κανόνας ότι όσο πιο περιεκτικό είναι ένα μοντέλο ελαττωμάτων τόσο περισσότερα διανύσματα δοκιμής απαιτούνται για την ανίχνευση των ελαττωμάτων του συγκεκριμένου μοντέλου.

Τα μοντέλα ελαττωμάτων διακρίνονται σε δομικά (structural) και λειτουργικά (functional). Σε ένα δομικό μοντέλο ελαττωμάτων υποθέτουμε είτε ότι τα στοιχεία του κυκλώματος (τρανζίστορς) είτε ότι οι μεταξύ τους συνδέσεις έχουν υποστεί κάποια βλάβη. Το είδος της βλάβης που μπορεί να έχει παρουσιαστεί εξαρτάται από το συγκεκριμένο μοντέλο. Σε ένα λειτουργικό μοντέλο ελαττωμάτων

θεωρούμε ότι η παρουσία μιας βλάβης έχει επηρεάσει τη λειτουργία ενός κυκλώματος ή μονάδας έτσι ώστε να λειτουργεί με τρόπο διαφορετικό από τον προσδοκώμενο. Τα λειτουργικά ελαττώματα εκμεταλλεύονται τη γνώση που έχει ο σχεδιαστής για τη λειτουργία του συστήματος. Επειδή όμως δεν μπορούν να αντιστοιχηθούν σε δομικά ελαττώματα είναι δύσκολο να αξιολογηθούν και να υπολογιστεί η περιεκτικότητά τους. Στη συνέχεια θα ασχοληθούμε με δομικά μοντέλα ελαττωμάτων.

Τα ελαττώματα μπορούν ακόμη να διακριθούν ανάλογα με τη διάρκεια σε μόνιμα (permanent), που από τη στιγμή που θα εμφανιστούν επηρεάζουν συνεχώς τη λειτουργία του κυκλώματος, και παροδικά (temporary) τα οποία δεν είναι διαρκώς παρόντα. Τα παροδικά διακρίνονται σε μεταβατικά (transient), που επηρεάζουν τη λειτουργία του κυκλώματος για κάποιο χρονικό διάστημα και διαλείποντα (intermittent) τα οποία εμφανίζονται κατά διαστήματα. Η ανίχνευση μεταβατικών και διαλείπόντων ελαττωμάτων απαιτεί τη διαρκή παρακολούθηση των εισόδων του κυκλώματος η οποία πραγματοποιείται με τον έλεγχο σε κανονική λειτουργία (on-line testing) του κυκλώματος.

Ανάλογα με το πλήθος των διανυσμάτων που πρέπει να εφαρμοστούν για την ανίχνευση ενός ελαττώματος, τα μοντέλα ελαττωμάτων διακρίνονται σε συνδυαστικά (combinational) και ακολουθιακά (sequential). Για την ανίχνευση ενός συνδυαστικού ελαττώματος αρκεί η εφαρμογή ενός διανύσματος στις εισόδους του κυκλώματος, ενώ για την ανίχνευση ενός ακολουθιακού ελαττώματος απαιτείται η εφαρμογή μιας ακολουθίας διανυσμάτων (test vector sequence). Στην πράξη, η συντριπτική πλειοψηφία των ακολουθιακών ελαττωμάτων ανιχνεύεται με τη βοήθεια ενός ζεύγους διανυσμάτων (test vector pair). Το πρώτο διάνυσμα ονομάζεται διάνυσμα αρχικοποίησης (initialization vector), ενώ το δεύτερο ονομάζεται διάνυσμα ελέγχου (test vector). Τα ακολουθιακά μοντέλα ελαττωμάτων διακρίνονται στη συνέχεια σε ευρώστως ανιχνεύσιμα (robustly testable) και μή-ευρώστως ανιχνεύσιμα (non-robustly testable). Ένα ευρώστως ανιχνεύσιμο ακολουθιακό ελάττωμα μπορεί να ανιχνευθεί ανεξάρτητα από τυχαίες καθυστερήσεις των σημάτων στις εισόδους ή τις γραμμές του κυκλώματος. Αντίθετα, η ανίχνευση ενός μή-ευρώστως ανιχνεύσιμου ακολουθιακού ελαττώματος εξαρτάται από τέτοιες τυχαίες καθυστερήσεις. Η ιδιότητα της ευρωστίας είναι ιδιαίτερα επιθυμητή και για το λόγο αυτό έχουν προταθεί τεχνικές σχεδιασμού ολοκληρωμένων κυκλωμάτων με τις οποίες ένα κύκλωμα μπορεί να σχεδιαστεί με τέτοιο τρόπο ώστε όλα τα ακολουθιακά ελαττώματα να είναι ευρώστως ανιχνεύσιμα.

Ένα μή-ανιχνεύσιμο ή πλεονάζον ελάττωμα (redundant fault) είναι ένα ελάττωμα το οποίο δεν είναι δυνατό να ανιχνευθεί. Η ύπαρξη μή-ανιχνεύσιμων ελαττωμάτων οφείλεται στην πλεονάζουσα λογική (redundant logic). Η πλεονάζουσα λογική μπορεί να έχει εισαχθεί σε ένα κύκλωμα είτε εξαιτίας μη σωστής σχεδίασης (σχεδιαστικής απροσεξίας), οπότε είναι δύσκολο να απομακρυνθεί εκ των υστέρων, είτε ηθελημένα με σκοπό να παρακαμφθούν άλλα ανεπιθύμητα φαινόμενα, όπως οι σπινθήρες (hazards) ή οι συνθήκες ανταγωνισμού (race conditions). Όταν σε ένα κύκλωμα υπάρχουν μη ανιχνεύσιμα ελαττώματα μεγάλο μέρος του χρόνου της διαδικασίας εξαγωγής του συνόλου δοκιμής δεσμεύεται στη (χωρίς αποτέλεσμα) προσπάθεια εύρεσης ενός διανύσματος δοκιμής για την ανίχνευσή τους. Επιπλέον, η ύπαρξη ενός πλεονάζοντος ελαττώματος ενδέχεται να εμποδίζει την ανίχνευση άλλων ελαττωμάτων που διαφορετικά θα ήταν ανιχνεύσιμα (dependent faults).

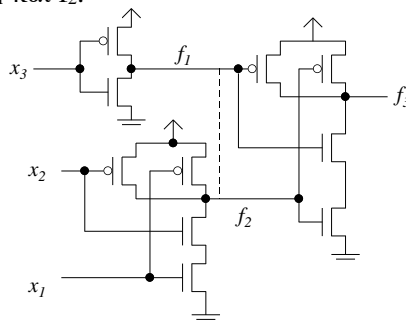
Τα δομικά μοντέλα ελαττωμάτων που έχουν προταθεί για να αναπαραστήσουν τα φυσικά ελαττώματα που εμφανίζονται στην τεχνολογία CMOS είναι το μοντέλο μόνιμης τιμής, το μοντέλο μόνιμα ανοικτού τρανζίστορ, το μοντέλο μόνιμα αγωγίμου τρανζίστορ, το μοντέλο ελαττωμάτων γεφύρωσης και το μοντέλο ελαττωμάτων καθυστέρησης. Στη συνέχεια κάνουμε μια συνοπτική αναφορά στα μοντέλα αυτά.

ανοιχτού τρανζίστορ στο T_4 . Ακόμη και αν εφαρμόσουμε όλα τα δυνατά διανύσματα στο κύκλωμα αυτό με τη σειρά (00, 01, 10, 11) δεν θα εμφανιστεί λάθος στην έξοδο του κυκλώματος. Όταν εφαρμόζονται οι εισόδου (00) και (01) το T_3 άγει, με αποτέλεσμα η έξοδος f να έχει την τιμή 1. Όταν εφαρμόζεται το τρίτο διάνυσμα (10) κανένα από τα δικτυώματα pMOS, nMOS δεν άγει. Έτσι, στον κόμβο εξόδου διατηρείται η προηγούμενη λογική κατάσταση. Τέλος, όταν εφαρμόζεται το (11) το δικτύωμα nMOS άγει και η έξοδος f γίνεται 0.

Το βασικό χαρακτηριστικό ενός ελαττώματος μόνιμα ανοιχτού τρανζίστορ είναι ότι εξαναγκάζει ένα συνδυαστικό κύκλωμα να συμπεριφέρεται με ακολουθιακό τρόπο. Από την θεωρία των ακολουθιακών κυκλωμάτων το πλήθος των διανυσμάτων που απαιτούνται προκειμένου να τεθεί ένα ακολουθιακό κύκλωμα κ καταστάσεων σε μια γνωστή κατάσταση (synchronising sequence) είναι $\kappa \times (\kappa + 1) \times (\kappa - 1) / 6$. Για τα απλά ελαττώματα μόνιμα ανοιχτού τρανζίστορ η παράμετρος κ είναι ίση με 2. Θέτοντας την τιμή αυτή στην προηγούμενη σχέση, καταλήγουμε ότι το μήκος της ακολουθίας συγχρονισμού είναι τουλάχιστον 1. Συνεπώς για την ανίχνευση ενός απλού ελαττώματος μόνιμα ανοιχτού τρανζίστορ, απαιτείται η εφαρμογή ενός ζεύγους διανυσμάτων. Το ελάττωμα μόνιμα ανοιχτού τρανζίστορ στο T_4 δεν ανιχνεύθηκε επειδή δεν εφαρμόστηκε στις εισόδους του κυκλώματος το κατάλληλο ζεύγος διανυσμάτων. Το ζεύγος διανυσμάτων που μπορεί να ανιχνεύσει το ελάττωμα μόνιμα ανοιχτού τρανζίστορ στο T_4 είναι το (11, 10). Το διάνυσμα 11 αρχικοποιεί τον κόμβο εξόδου στο 0. Όταν στη συνέχεια εφαρμόζεται το διάνυσμα (10) ο κόμβος εξόδου παραμένει στο 0 και το ελάττωμα ανιχνεύεται.

Μια άλλη φυσική βλάβη που μπορεί να εμφανιστεί σε ένα ολοκληρωμένο κύκλωμα, είναι ένα τρανζίστορ να άγει συνεχώς. Ας υποθέσουμε ότι στην πύλη NAND δύο εισόδων το τρανζίστορ T_2 είναι μόνιμα αγωγίμο. Αν εφαρμόσουμε το διάνυσμα (11) τα τρανζίστορ T_2 , T_3 και T_4 άγουν (παρουσία του ελαττώματος). Αν είναι R_p η αντίσταση των τρανζίστορ τύπου p όταν αυτά άγουν, και R_n η αντίστοιχη αντίσταση για τα τρανζίστορ τύπου n, τότε η τάση V_f στον κόμβο f είναι $V_f = V_{dd} \times R_n / (R_n + 2R_p)$. Συνεπώς η τάση V_f μπορεί να πάρει οποιαδήποτε τιμή στο διάστημα 0 και V_{dd} ανάλογα με τις σχετικές τιμές των R_n και R_p . Επειδή το (11) είναι, το μόνο διάνυσμα που έχει τη δυνατότητα να ανιχνεύσει το ελάττωμα αυτό, συμπεραίνουμε ότι το ελάττωμα μόνιμα αγωγίμου τρανζίστορ στο T_2 δεν είναι δυνατό να ανιχνευθεί παρατηρώντας απλώς τη λογική τιμή του κόμβου f . Ομως, όταν στο κύκλωμα εφαρμόσουμε κατάλληλο διάνυσμα εισόδου, το ρεύμα που τραβάει το κύκλωμα είναι συνήθως μερικές τάξεις μεγέθους μεγαλύτερο από το κανονικό ρεύμα διαρροής. Αυτό οφείλεται στο μονοπάτι χαμηλής αντίστασης που ενεργοποιείται μεταξύ της τάσης και της γείωσης. Συνεπώς για την ασφαλή ανίχνευση των ελαττωμάτων μόνιμα αγωγίμου τρανζίστορ απαιτείται η παρατήρηση του ρεύματος που τραβάει το κύκλωμα (current monitoring, Iddq testing).

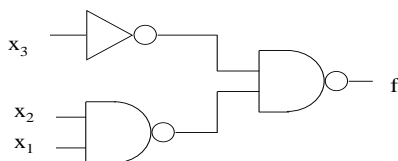
Σαν ελάττωμα γεφύρωσης (bridging) ορίζεται ένα μη επιθυμητό βραχυκύκλωμα μεταξύ δύο ή περισσότερων γραμμών σε ένα κύκλωμα. Ένα ελάττωμα γεφύρωσης μπορεί να δημιουργήσει έναν ή περισσότερους βρόγχους ανάδρασης (feedback bridging fault), ή να μη δημιουργεί βρόγχους (non-feedback bridging fault). Ας θεωρήσουμε ότι στο κύκλωμα της επόμενης Εικόνας υπάρχει ένα ελάττωμα γεφύρωσης μεταξύ των γραμμών f_1 και f_2 .



Εικόνα: Κύκλωμα CMOS σε επίπεδο τρανζίστορ

Όταν εφαρμόζεται στο κύκλωμα το διάνυσμα (011) οι εξόδοι του ελεύθερου ελαττωμάτων κυκλώματος είναι $(f_1 f_2) = (10)$. Παρουσία του ελαττώματος γεφύρωσης, υπάρχει ένα μονοπάτι χαμηλής αντίστασης μεταξύ της τάσης και της γείωσης μέσω του δικτύωματος των p-FET της πύλης με έξοδο f_1 και του δικτύωματος των n-FET της πύλης με έξοδο f_2 . Έτσι, η τάση της γραμμής f_1 ή f_2 μπορεί να είναι κάτι ενδιάμεσο μεταξύ της τάσης V_{dd} και της γείωσης, και δεν μπορούμε να αποφανθούμε για την ύπαρξη ή όχι ενός ελαττώματος γεφύρωσης παρατηρώντας απλώς τη λογική τιμή της εξόδου. Στη γενική περίπτωση, ο έλεγχος ελαττωμάτων γεφύρωσης απαιτεί την παρακολούθηση του ρεύματος εξόδου του κυκλώματος (Iddq testing).

Ακόμη και αν οι λογικές τιμές των εξόδων ενός ολοκληρωμένου κυκλώματος είναι ορθές, είναι δυνατό η μετάδοση των σημάτων από τις εισόδους στις εξόδους να μη γίνεται στον επιθυμητό χρόνο. Αυτή είναι η υπόθεση των μοντέλων ελαττωμάτων καθυστέρησης (delay fault models). Με τη βοήθεια των μοντέλων αυτών μπορούν να ανιχνευθούν προβλήματα όπως το ότι η τάση μιας γραμμής του κυκλώματος αργεί να σηκωθεί στο λογικό 1, ή αργεί να πέσει στο λογικό 0. Στην πρώτη περίπτωση μιλάμε για ένα slow-to-rise delay fault, ενώ στη δεύτερη περίπτωση για ένα slow-to-fall delay fault. Έχουν προταθεί δύο μοντέλα ελαττωμάτων καθυστέρησης: το μοντέλο καθυστέρησης πύλης (gate delay fault model) και το μοντέλο καθυστέρησης μονοπατιού (path delay fault model). Στο μοντέλο καθυστέρησης πύλης θεωρούμε ότι στις εισόδους ή τις εξόδους μιας συγκεκριμένης πύλης εμφανίζονται καθυστερήσεις οι οποίες έχουν σαν αποτέλεσμα ο χρόνος μετάδοσης των σημάτων από τις εισόδους στις εξόδους της πύλης να υπερβαίνει τη μέγιστη επιτρεπτή καθυστέρηση της πύλης. Στο μοντέλο καθυστέρησης μονοπατιού μελετώνται οι περιπτώσεις εκείνες στις οποίες οι συνολικές καθυστερήσεις σε ένα μονοπάτι του κυκλώματος (από μια κύρια είσοδο σε μια κύρια έξοδο) ξεπερνούν μια συγκεκριμένη επιτρεπτή τιμή.



Εικόνα: Κύκλωμα CMOS σε επίπεδο λογικών πυλών

Προκειμένου να εξαχθεί ένα σύνολο ζευγών δοκιμής για ένα ελάττωμα καθυστέρησης μονοπατιού απαιτείται ο υπολογισμός των μονοπατιών του κυκλώματος από όλες τις κύριες εισόδους σε όλες τις κύριες εξόδους. Αυτό προκαλεί μια αύξηση στον πλήθος των μονοπατιών που πρέπει να μελετηθούν καθώς αυξάνεται το πλήθος των γραμμών της μονάδας υπό έλεγχο, με συνέπεια να απαιτείται αυξημένη προσπάθεια για την εξαγωγή των διανυσμάτων δοκιμής. Στο μοντέλο καθυστέρησης πύλης δεν συναντάται το πρόβλημα αυτό, εφόσον το πλήθος των ελαττωμάτων είναι ανάλογο του αριθμού των λογικών πυλών του κυκλώματος. Από την άλλη μεριά όμως, με το μοντέλο καθυστέρησης πύλης δεν είναι δυνατόν να μελετηθούν περιπτώσεις όπου η καθυστέρηση δεν περιορίζεται σε απλές πύλες.

Αξίζει να σημειωθεί στο σημείο αυτό, ότι εξαιτίας της απαίτησης για συνεχή αύξηση της ταχύτητας λειτουργίας τα σύγχρονα κυκλώματα ωθούνται στα όρια της ταχύτητας λειτουργίας τους. Συνεπώς, ο κίνδυνος ένα κύκλωμα να μη λειτουργεί ορθά στην ταχύτητα λειτουργίας είναι αυξημένος. Επομένως, η ανίχνευση ελαττωμάτων καθυστέρησης καθίσταται απαραίτητη.

Για την ανίχνευση ενός ελαττώματος καθυστέρησης απαιτείται η εφαρμογή ενός ζεύγους διανυσμάτων δοκιμής στις εισόδους του κυκλώματος. Το πρώτο διάνυσμα ονομάζεται διάνυσμα αρχικοποίησης (initialization vector) και το δεύτερο ονομάζεται διάνυσμα ελέγχου (test vector). Αρχικά οι γραμμές του κυκλώματος τίθενται σε μια τιμή από το διάνυσμα αρχικοποίησης. Στη συνέχεια εφαρμόζεται το διάνυσμα δοκιμής. Τέλος, μετά από κάποιο χρονικό διάστημα οι εξόδοι του κυκλώματος δειγματοληπτούνται προκειμένου να αποφασιστεί αν η μεταβολή έχει διαδοθεί μέχρι τις εξόδους του κυκλώματος. Στο κύκλωμα της ανωτέρω Εικόνας υπάρχουν 3 μονοπάτια από τις εισόδους στην κύρια

έξοδο του κυκλώματος. Κάθε ένα από αυτά πρέπει να ελεγχθεί προκειμένου να αποφασιστεί αν μια πτώση από το 0 στο 1 ή αντίστροφα φτάνει στις εξόδους του κυκλώματος στον επιθυμητό χρόνο.

Στην παρούσα παράγραφο έγινε μια αναφορά στα μοντέλα ελαττωμάτων που χρησιμοποιούνται για τον έλεγχο των σύγχρονων ολοκληρωμένων κυκλωμάτων που είναι υλοποιημένα σε τεχνολογία MOS. Οσο η κρατούσα τεχνολογία ήταν η nMOS, το μοντέλο ελαττωμάτων μόνιμης τιμής ήταν το πλέον διαδεδομένο, καθώς πέρα από την απλότητά του είχε το πλεονέκτημα ότι μπορούσε με ικανοποιητικό τρόπο να μοντελοποιήσει ένα μεγάλο πλήθος φυσικών βλαβών. Με το πέρασμα στην τεχνολογία CMOS και την αύξηση της ταχύτητας λειτουργίας των ολοκληρωμένων κυκλωμάτων πλήθος φυσικών ελαττωμάτων δεν μπορούν πλέον να μοντελοποιηθούν με τη βοήθεια του μοντέλου μόνιμης τιμής. Για το λόγο αυτό, χρησιμοποιούνται πιο περιεκτικά μοντέλα ελαττωμάτων, τα πιο διαδεδομένα από τα οποία είναι το μοντέλο ελαττωμάτων μόνιμα ανοικτού τρανζίστορ (transistor stuck-open fault model) και καθυστέρησης διάδοσης. (delay fault model). Τα μοντέλα αυτά εμπίπτουν στην κατηγορία των ακολουθιακών ελαττωμάτων και για την ανίχνευσή τους απαιτείται η εφαρμογή ζευγών διανυσμάτων.

Η διαδικασία μέσω της οποίας διανύσματα δοκιμής εφαρμόζονται στις εισόδους του ολοκληρωμένου κυκλώματος προκειμένου να ανιχνευθεί η ύπαρξη ελαττωμάτων στο κύκλωμα ονομάζεται έλεγχος ορθής λειτουργίας του ολοκληρωμένου κυκλώματος, και αποτελεί το αντικείμενο της επόμενης παραγράφου.

17.5 Έλεγχος ορθής λειτουργίας ολοκληρωμένων κυκλωμάτων

Έλεγχος μιας συσκευής είναι ένα πείραμα κατά το οποίο αποφασίζεται αν η συσκευή λειτουργεί σύμφωνα με κάποιες προδιαγραφές ή όχι. Στην πρώτη περίπτωση λέμε ότι η συσκευή έχει επιτύχει, ενώ στην τελευταία λέμε ότι έχει αποτύχει στον έλεγχο. Για τα ολοκληρωμένα κυκλώματα, ο έλεγχος πραγματοποιείται με την εφαρμογή κατάλληλων διανυσμάτων στις εισόδους του κυκλώματος και την παρατήρηση των αποκρίσεών του στις εξόδους του προκειμένου να διαπιστωθεί αν το κύκλωμα συμπεριφέρεται με τον επιθυμητό τρόπο.

Οι πρώτες προσπάθειες ελέγχου ορθής λειτουργίας ψηφιακών ολοκληρωμένων κυκλωμάτων έγιναν στις αρχές του 1960 με τα μικρής κλίμακας ολοκληρωμένα (Small Scale Integration, SSI) κυκλώματα. Σε κυκλώματα μικρής κλίμακας ολοκλήρωσης τα οποία αποτελούνται από τέσσερις πύλες ή δύο flip-flops, η πλειονότητα των εσωτερικών κόμβων τους ήταν προσπελάσιμη από τους εξωτερικούς ακροδέκτες (pins) του ολοκληρωμένου κυκλώματος και συνεπώς ο έλεγχος της ορθής λειτουργίας τους ήταν απλή διαδικασία. Οι ακροδέκτες εισόδου τροφοδοτούνταν με όλους τους πιθανούς συνδυασμούς διανυσμάτων εισόδου, ενώ οι ακροδέκτες εξόδου παρακολουθούνταν με τη βοήθεια ενός βολτομέτρου. Η ανίχνευση μιας μη ορθής απόκρισης στους ακροδέκτες εξόδου του ολοκληρωμένου κυκλώματος συνεπαγόταν την ύπαρξη κάποιου ελαττώματος στο υπό έλεγχο ολοκληρωμένο κύκλωμα. Η πολυπλοκότητα της διαδικασίας ελέγχου ορθής λειτουργίας αυξάνεται καθώς αυξάνεται το μέγεθος των ολοκληρωμένων κυκλωμάτων. Για τα σύγχρονα κυκλώματα, η διαδικασία του ελέγχου δυσκολεύει σημαντικά.

Ολοκληρωμένα κυκλώματα υλοποιημένα σε μικρές τεχνολογίες είναι πιο ευαίσθητα σε μικρές ανωμαλίες. Σε κυκλώματα υλοποιημένα σε τεχνολογίες των 7μm και 10μm είναι δυνατό ανωμαλίες οι οποίες οφείλονται στην ύπαρξη μικρών σωματιδίων (small particle defects) να έχουν ασήμαντα αποτελέσματα στην απόδοση της κατασκευαστικής διαδικασίας (yield) ή την απόδοση του κυκλώματος (performance). Αντίθετα, ανωμαλίες ίδιου μεγέθους μπορούν να προκαλέσουν καταστροφικές βλάβες σε κυκλώματα υλοποιημένα σε γεωμετρίες submicron (κάτω του 1μm). Μικρά τρανζίστορ είναι επίσης περισσότερο ευαίσθητα και σε άλλα φαινόμενα (hot-electrons, subthreshold currents, punchthrough και drain area breakdown). Κυκλώματα υλοποιημένα σε μικρές τεχνολογίες είναι επίσης πιο ευαίσθητα σε μικροδιαφορές των παραμέτρων της διαδικασίας κατασκευής (process variations) οι οποίες επηρεάζουν την ακεραιότητα των γραμμών διασύνδεσης, δημιουργούν βραχυκυκλώματα, ή μεταβάλλουν την αντίσταση των επαφών.

Με τη μείωση των γεωμετρικών κατασκευής έχει γίνει δυνατή, όπως αναφέρθηκε, αύξηση της κλίμακας ολοκλήρωσης και της πολυπλοκότητας των ολοκληρωμένων κυκλωμάτων. Η αύξηση της κλίμακας ολοκλήρωσης συνοδεύτηκε από μια αναπόφευκτη αύξηση του πλήθους των ακροδεκτών εισόδου και εξόδου των ολοκληρωμένων κυκλωμάτων. Όσο το πλήθος των εισόδων μεγαλώνει, δεν είναι πια δυνατή η εξαντλητική εφαρμογή όλων των δυνατών συνδυασμών εισόδων. Για παράδειγμα, σε ένα συνδυαστικό κύκλωμα με 30 εισόδους που λειτουργεί στα 100 MHz, για την εξαντλητική εφαρμογή όλων των συνδυασμών εισόδου θα απαιτούνταν 1 δευτερόλεπτο. Για ένα κύκλωμα 40 εισόδων η εξαντλητική εφαρμογή όλων των δυνατών εισόδων θα απαιτούσε περίπου 3 ώρες. Επιπλέον, όσο ο βαθμός ολοκλήρωσης μεγαλώνει, είναι δυνατή η ολοκλήρωση ακολουθιακών και συνδυαστικών τμημάτων σε ένα υπόστρωμα. Αυτό έχει σαν αποτέλεσμα το πλήθος των διανυσμάτων εισόδου που απαιτούνται για εξαντλητικό έλεγχο όλων των καταστάσεων να μεγαλώνει ακόμη περισσότερο. Για παράδειγμα, για να ελεγχθεί εξαντλητικά ένα ακολουθιακό κύκλωμα με 40 εισόδους και εσωτερικές καταστάσεις των 10 ψηφίων (1000 καταστάσεις) που λειτουργεί στα 100 MHz, θα απαιτούνταν 125 ημέρες.

Εξαιτίας της αυξημένης δυσκολίας του ελέγχου ορθής λειτουργίας ολοκληρωμένων κυκλωμάτων, ο έλεγχος ή οι έλεγχοι που θα εφαρμοστούν στο ολοκληρωμένο κύκλωμα ποικίλλουν, ανάλογα με την τελική απαίτηση για αξιοπιστία, το μοντέλο ελαττωμάτων στην ανάδειξη των οποίων στοχεύει ο έλεγχος, το χρόνο στον οποίο πραγματοποιείται ο έλεγχος και την ταχύτητα στην οποία πραγματοποιείται ο έλεγχος.

Όσο πιο περιεκτικό (comprehensive) είναι το χρησιμοποιούμενο μοντέλο ελαττωμάτων (target fault model) τόσο υψηλότερη κάλυψη φυσικών ελαττωμάτων επιτυγχάνεται. Από την άλλη μεριά, όσο πιο περιεκτικό είναι το μοντέλο ελαττωμάτων, τόσο μεγαλύτερο είναι το πλήθος των διανυσμάτων δοκιμής. Χαρακτηριστικό παράδειγμα αποτελεί η σύγκριση ανάμεσα στα συνδυαστικά μοντέλα ελαττωμάτων, όπου για την ανάδειξη ενός ελαττώματος απαιτείται η εφαρμογή ενός διανύσματος και τα ακολουθιακά μοντέλα ελαττωμάτων όπου για την ανάδειξη ενός ελαττώματος απαιτείται η εφαρμογή ενός ζεύγους διανυσμάτων.

Κατά τη διάρκεια της σχεδίασης του κυκλώματος, πραγματοποιούνται δοκιμές (προσομοιώσεις) προκειμένου να διαπιστωθεί αν το κύκλωμα λειτουργεί σύμφωνα με τις προδιαγραφές. Ο έλεγχος αυτός ονομάζεται έλεγχος επαλήθευσης σχεδιασμού (design verification testing). Στο εργοστάσιο κατασκευής, αμέσως μετά την κατασκευή του, το ολοκληρωμένο κύκλωμα δοκιμάζεται. Ο έλεγχος αυτός ονομάζεται έλεγχος στον τόπο παραγωγής (production testing). Ακόμη όμως και όταν το κύκλωμα φτάσει στον τόπο λειτουργίας πραγματοποιείται τακτικά έλεγχος ο οποίος ονομάζεται έλεγχος στον τόπο λειτουργίας (field testing) ή περιοδικός έλεγχος (periodic testing). Ο περιοδικός έλεγχος αυξάνει την αξιοπιστία του ολοκληρωμένου κυκλώματος και κατά συνέπεια της ηλεκτρονικής συσκευής. Αν ο περιοδικός έλεγχος γίνεται ταυτόχρονα με τη λειτουργία του κυκλώματος τότε ονομάζεται έλεγχος σε κανονική λειτουργία (on-line testing). Αν προκειμένου να πραγματοποιηθεί ο έλεγχος πρέπει το κύκλωμα να τεθεί εκτός λειτουργίας, τότε ο έλεγχος ονομάζεται εκτός λειτουργίας (off-line testing).

Για τον έλεγχο ολοκληρωμένων κυκλωμάτων χρησιμοποιείται μια συσκευή η οποία ονομάζεται ελεγκτής ολοκληρωμένων κυκλωμάτων (IC tester). Ο ελεγκτής εφαρμόζει στο κύκλωμα υπό έλεγχο τα διανύσματα δοκιμής, και συγκρίνει την ακολουθία εξόδου του υπό έλεγχο κυκλώματος με μια προϋπολογισμένη ακολουθία εξόδου. Το κόστος αγοράς ενός ελεγκτή δεν είναι καθόλου ευκαταφρόνητο. Δοθέντος μάλιστα του γεγονότος ότι τα μηχανήματα αυτά δεν μπορούν να χρησιμοποιηθούν για παραπάνω από 1-2 χρόνια εξαιτίας του ρυθμού αύξησης της ταχύτητας λειτουργίας των ολοκληρωμένων κυκλωμάτων, καθίσταται σαφές ότι το κόστος λειτουργίας ενός IC tester αποτελεί παράγοντα που καθορίζει το συνολικό κόστος του ελέγχου.

Ο έλεγχος μπορεί να πραγματοποιείται είτε στην ταχύτητα λειτουργίας (at-speed testing), είτε σε μικρότερη ταχύτητα, οπότε ονομάζεται στατικός έλεγχος (static testing). Ο στατικός έλεγχος χρησιμεύει

στο να διαπιστωθεί αν το κύκλωμα ανταποκρίνεται στην προσδοκώμενη λογική συμπεριφορά, ενώ ο έλεγχος στην ταχύτητα λειτουργίας χρησιμεύει στο να διαπιστωθεί αν το κύκλωμα μπορεί να λειτουργήσει στην προσδοκώμενη ταχύτητα και αν οι χρόνοι απόκρισης είναι οι αναμενόμενοι. Στο σημείο αυτό πρέπει να αναφερθεί ότι ο έλεγχος στην ταχύτητα λειτουργίας, αν και είναι απαραίτητος, μπορεί να μην πραγματοποιηθεί επειδή οι ελεγκτές που διαθέτουν οι εταιρείες κατασκευής (οι οποίοι έχουν αγοραστεί αρκετό καιρό πριν) είναι υλοποιημένοι με κυκλώματα προηγούμενης γενιάς και συνεπώς πιο αργά από αυτά τα οποία καλούνται να ελέγξουν.

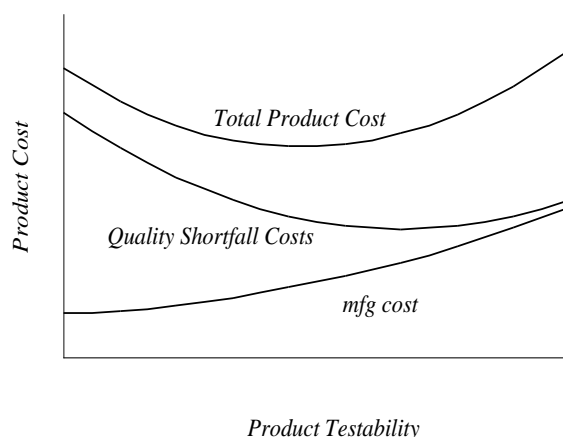
Προκειμένου να πραγματοποιηθεί ο έλεγχος ενός ολοκληρωμένου κυκλώματος πρέπει να εξαχθούν τα διανύσματα δοκιμής, και να πραγματοποιηθεί η προσομοίωση ελαττωμάτων προκειμένου να αποφασιστεί το ποσοστό ελαττωμάτων που καλύπτονται από τα διανύσματα δοκιμής. Στη συνέχεια, πρέπει τα διανύσματα δοκιμής να εφαρμοστούν στις εισόδους του υπό έλεγχο ολοκληρωμένου κυκλώματος και να παρατηρηθούν οι αποκρίσεις εξόδου προκειμένου να αποφασιστεί αν στο ολοκληρωμένο κύκλωμα έχει εμφανιστεί ένα ελάττωμα.

Το πρώτο μέλημα κατά τον έλεγχο, είναι η εξαγωγή των διανυσμάτων δοκιμής, η εφαρμογή των οποίων στις εισόδους του ολοκληρωμένου κυκλώματος θα έχει σαν αποτέλεσμα την ανίχνευση ελαττωμάτων στο ολοκληρωμένο κύκλωμα. Για τα κυκλώματα μικρής κλίμακας ολοκλήρωσης της δεκαετίας του 1970, τα οποία είχαν μικρό πλήθος εισόδων και μικρό πλήθος εσωτερικών καταστάσεων, ένας μηχανικός δοκιμής μπορούσε να εξάγει εύκολα ένα μικρό και αποτελεσματικό σύνολο δοκιμής. Στα κυκλώματα υψηλής και πολύ υψηλής κλίμακας ολοκλήρωσης όμως, λόγω της υψηλής πολυπλοκότητάς τους οι υπολογισμοί που απαιτούνται είναι αντίστοιχα πολύπλοκοι. Για το λόγο αυτό αναπτύχθηκαν αλγόριθμοι εξαγωγής των διανυσμάτων δοκιμής (Automatic Test Pattern Generation, ATPG algorithms).

Στη συνέχεια πραγματοποιείται η προσομοίωση ελαττωμάτων (fault simulation). Κατά την προσομοίωση ελαττωμάτων, προσομοιώνεται η λειτουργία του κυκλώματος (με την ύπαρξη ελαττωμάτων) υπολογίζεται η απόκριση του σε ένα διάνυσμα εισόδου (ή γενικότερα, μια ακολουθία διανυσμάτων εισόδου) και αποφασίζεται ποιά ελαττώματα μπορούν να ανιχνευθούν με τη συγκεκριμένη ακολουθία δοκιμής. Στα πιο πολλά συστήματα εξαγωγής διανυσμάτων δοκιμής, η προσομοίωση ελαττωμάτων γίνεται παράλληλα με την εξαγωγή των διανυσμάτων δοκιμής. Η προσομοίωση των ελαττωμάτων είναι ιδιαίτερα χρονοβόρα διαδικασία. Η πολυπλοκότητα των αλγόριθμων εξαγωγής των διανυσμάτων δοκιμής και προσομοίωσης ελαττωμάτων για ένα συνδυαστικό κύκλωμα είναι ανάλογο με την τρίτη δύναμη του αριθμού των λογικών πυλών στο κύκλωμα. Είναι χαρακτηριστικό ότι ένας τέτοιος αλγόριθμος μπορεί να τρέχει για ημέρες ή και εβδομάδες σε ένα σύγχρονο υπολογιστή προκειμένου να εξάγει ένα ικανοποιητικό σύνολο διανυσμάτων δοκιμής για ένα κύκλωμα μέτριας πολυπλοκότητας.

Εξαιτίας των αιτιών που αναφέρθηκαν, το κόστος του ελέγχου ορθής λειτουργίας αποτελεί ένα σημαντικό ποσοστό του συνολικού κόστους ανάπτυξης του ολοκληρωμένου κυκλώματος, το οποίο ξεπερνά το 30% του συνολικού κόστους ανάπτυξης.

Στην επόμενη Εικόνα φαίνεται η καμπύλη συνολικού κόστους ανάπτυξης ενός ολοκληρωμένου κυκλώματος σε συνάρτηση της ελεγκσιμότητας του προϊόντος (product testability). Το συνολικό κόστος ανάπτυξης του προϊόντος (total product cost) είναι το άθροισμα του κόστους υλοποίησης (manufacturing cost) και του κόστους εξαιτίας ατελειών (quality shortfall cost). Όταν έχει ληφθεί πολύ μικρή μέριμνα για τον έλεγχο του ολοκληρωμένου (μικρή ελεγκσιμότητα, στα αριστερά του γραφήματος) το συνολικό κόστος ανάπτυξης είναι σημαντικά αυξημένο εξαιτίας του υψηλού κόστους λόγω ατελειών. Στο άλλο άκρο, όταν λαμβάνεται πολύ μεγάλη μέριμνα για τον έλεγχο του ολοκληρωμένου (υψηλό κόστος ελέγχου, στα δεξιά του γραφήματος) το κόστος ανάπτυξης είναι και πάλι πολύ μεγάλο. Είναι σαφές ότι μια χρυσή τομή όσον αφορά τη φροντίδα για την αξιοπιστία του ολοκληρωμένου (η οποία μεταφράζεται σε επένδυση στο κόστος ελέγχου) αποφέρει το μικρότερο κόστος ανάπτυξης και κατά συνέπεια το μεγαλύτερο κέρδος.



Εικόνα: Συνολικό κόστος ανάπτυξης ολοκληρωμένου κυκλώματος ως συνάρτηση της ελεγχιμότητας

Πρέπει να σημειωθεί ότι καθώς ένα κύκλωμα περνάει τα διάφορα βήματα της διαδικασίας κατασκευής, από την προσομοίωση της λειτουργίας μέχρι την ολοκλήρωση σε επίπεδο συστήματος και την εγκατάσταση στο χώρο λειτουργίας, το κόστος επισκευής μιας βλάβης αυξάνεται περίπου κατά μία τάξη μεγέθους από το ένα επίπεδο στο άλλο. Ετσι ενώ για παράδειγμα ένα ελαττωματικό ολοκληρωμένο πάνω στο δίσκο πυριτίου μπορεί να αντιπροσωπεύει μια οικονομική ζημία της τάξης των 50 δραχμών, ένα ελαττωματικό ολοκληρωμένο που έχει τοποθετηθεί σε πλακέτα αντιπροσωπεύει μια ζημία της τάξης των 750 δραχμών. Από τη στιγμή που το σύστημα φτάνει στον πελάτη, στο κόστος απασχόλησης τεχνικών και πιθανής μεταφοράς της συσκευής στα γραφεία της εταιρείας για αντικατάσταση, προστίθενται οικονομικές ζημιές που σχετίζονται με την πτώση της αξιοπιστίας της κατασκευάστριας εταιρείας και οι οποίες δεν είναι εύκολα υπολογίσιμες. Συνεπώς, το οικονομικό όφελος από την ανίχνευση μιας βλάβης σε ένα ολοκληρωμένο κύκλωμα όσο το δυνατό πιο νωρίς στο κύκλο ανάπτυξης (production cycle) είναι σημαντικό και αυτό είναι ένα σημείο που πρέπει να συνεκτιμηθεί στις αποφάσεις που θα ληφθούν σχετικά με τον έλεγχο του.

Εξαιτίας της υψηλής πολυπλοκότητας των σύγχρονων κυκλωμάτων, ο έλεγχός τους καθίσταται εξαιρετικά δύσκολος χωρίς τον κατάλληλο σχεδιασμό του κυκλώματος με τέτοιο τρόπο ώστε να είναι εύκολα ελέγξιμο. Στην πράξη χρησιμοποιούνται ευρύτατα τεχνικές που επιτρέπουν τη σχεδίαση ενός ολοκληρωμένου κυκλώματος με τέτοιο τρόπο ώστε να είναι εύκολα ελέγξιμο. Οι τεχνικές αυτές ονομάζονται τεχνικές σχεδίασης για δοκιμαστικότητα, και αποτελούν το αντικείμενο της επόμενης παραγράφου.

17.6 Σχεδίαση για Δοκιμαστικότητα

Λόγω του ρυθμού αύξησης της πολυπλοκότητάς των ολοκληρωμένων κυκλωμάτων και της περιορισμένης δυνατότητας προσπέλασης των εσωτερικών κόμβων τους, το κόστος ελέγχου της ορθής λειτουργίας ενός ολοκληρωμένου κυκλώματος, ξεπερνά το 30% του συνολικού κόστους ανάπτυξης. Όσο μεγαλύτερη είναι η δοκιμαστικότητα (testability) ενός κυκλώματος, δηλαδή όσο πιο εύκολα μπορεί να δοκιμαστεί, τόσο ευκολότερος είναι ο έλεγχός του και κατά συνέπεια τόσο μειώνεται το κόστος.

Ο προσδιορισμός της ευκολίας ή της δυσκολίας με την οποία θα πραγματοποιηθεί ο έλεγχος ορθής λειτουργίας ενός ολοκληρωμένου κυκλώματος ονομάζεται ανάλυση δοκιμαστικότητας (testability analysis) και πραγματοποιείται χρησιμοποιώντας τα μέτρα δοκιμαστικότητας (testability measures). Η πληροφορία που παρέχουν τα μέτρα αυτά χρησιμοποιείται για την τροποποίηση ή τον επανασχεδιασμό ενός κυκλώματος ή ενός τμήματός του ώστε να αυξηθεί η δοκιμαστικότητά του. Στις εργασίες που έχουν δημοσιευτεί σχετικά με την ανάλυση δοκιμαστικότητας για κάθε γραμμή του κυκλώματος υπολογίζονται δύο μέτρα: η ελεγχιμότητα (controllability) και η παρατηρησιμότητα (observability). Η ελεγχιμότητα

προσδιορίζει την ευκολία με την οποία μπορεί να καθοριστεί η λογική τιμή μιας γραμμής με την εφαρμογή διανυσμάτων στις κύριες εισόδους του κυκλώματος ενώ η παρατηρησιμότητα προσδιορίζει την ευκολία με την οποία μπορεί να παρατηρηθεί η λογική τιμή μιας γραμμής του κυκλώματος στις κύριες εξόδους του.

Εφόσον το υψηλό κόστος του ελέγχου οφείλεται στο κόστος εξαγωγής των διανυσμάτων δοκιμής και προσομοίωσης ελαττωμάτων και στο κόστος αγοράς και χρήσης του ελεγκτή, με τη χρήση μιας τεχνικής σχεδίασης για δοκιμαστικότητα θα πρέπει να μειωθεί τόσο το κόστος εξαγωγής των διανυσμάτων δοκιμής όσο και το πλήθος των διανυσμάτων δοκιμής.

Οι βασικές αιτίες στις οποίες οφείλεται η χαμηλή δοκιμαστικότητα ενός κυκλώματος είναι η ύπαρξη ακολουθιακών τμημάτων και μεγάλων συνδυαστικών τμημάτων καθώς και το μικρό πλήθος ακροδεκτών εισόδου/εξόδου συγκριτικά με το πλήθος των εσωτερικών στοιχείων του κυκλώματος.

Με την ύπαρξη συνδυαστικών και ακολουθιακών τμημάτων σε ένα ολοκληρωμένο κύκλωμα αυξάνεται το πλήθος των λειτουργιών που μπορεί να εκτελέσει το κύκλωμα. Από την άλλη μεριά όμως, η ύπαρξη των ακολουθιακών τμημάτων μειώνει τη δοκιμαστικότητα των εσωτερικών γραμμών, εφόσον για να τεθεί μια γραμμή σε μια λογική τιμή και να παρατηρηθεί η τιμή αυτή, απαιτείται μια ακολουθία διανυσμάτων (synchronising sequence). Συνεπώς απαιτείται μεγαλύτερο πλήθος διανυσμάτων, και το κόστος του ελέγχου αυξάνεται.

Δοθέντος του ότι το κόστος εξαγωγής και προσομοίωσης των διανυσμάτων δοκιμής είναι ανάλογο της τρίτης δύναμης του αριθμού των πυλών ενός συνδυαστικού κυκλώματος, η δοκιμαστικότητα μειώνεται με την αύξηση του πλήθους των πυλών μιας συνδυαστικής μονάδας.

Αν το πλήθος των ακροδεκτών εισόδου-εξόδου ήταν απεριόριστο, το πρόβλημα του ελέγχου των ολοκληρωμένων κυκλωμάτων θα είχε (θεωρητικά) λυθεί, εφόσον θα ήταν δυνατό να ελέγξουμε και να παρατηρήσουμε οποιαδήποτε γραμμή του κυκλώματος εξωτερικά. Συνεπώς, ένας βασικός παράγοντας που δυσκολεύει τον έλεγχο των ολοκληρωμένων κυκλωμάτων είναι το περιορισμένο πλήθος των ακροδεκτών εισόδου εξόδου.

Επομένως, μια τεχνική σχεδίασης για δοκιμαστικότητα, έχει σα στόχο να αντιμετωπίσει τις προαναφερθείσες αιτίες που δυσκολεύουν τον έλεγχο τροποποιώντας κατάλληλα το υπό έλεγχο κύκλωμα. Κατά την τροποποίηση αυτή, είναι δυνατό να μεταβληθούν κάποια χαρακτηριστικά του κυκλώματος (πλήθος πυλών, καθυστέρηση, πλήθος ακροδεκτών εισόδου εξόδου). Μια τεχνική σχεδίασης για δοκιμαστικότητα αξιολογείται με βάση το πόσο η εφαρμογή της βελτιώνει τη δοκιμαστικότητα του κυκλώματος και τι επιπτώσεις έχει στις παραμέτρους λειτουργίας του κυκλώματος.

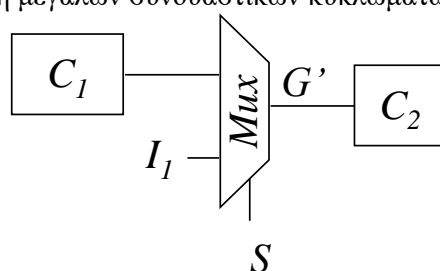
Μια τεχνική θα είναι καλή αν η εφαρμογή της επιτρέπει πλήρη έλεγχο του ολοκληρωμένου στο οποίο εφαρμόζεται. Ο όρος “πλήρης έλεγχος” μεταφράζεται σε 100% κάλυψη ελαττωμάτων για το χρησιμοποιούμενο μοντέλο ελαττωμάτων.

Η εφαρμογή μιας τεχνικής σχεδίασης για δοκιμαστικότητα έχει σαν αναπόφευκτο αποτέλεσμα την τροποποίηση του σχεδίου του ολοκληρωμένου κυκλώματος. Η μεταβολή αυτή μπορεί να ποικίλλει από την προσθήκη μιας γραμμής παρατήρησης έως την μετατροπή όλων των στοιχείων μνήμης του κυκλώματος. Το επιθυμητό είναι να διατηρηθεί το κόστος υλοποίησης όσο το δυνατό χαμηλότερο. Κατά την εφαρμογή μιας τεχνικής σχεδίασης για δοκιμαστικότητα, ένας αριθμός επιπλέον ακροδεκτών εισόδου/εξόδου προστίθεται στο κύκλωμα, είτε για τον έλεγχο/παρατήρηση των γραμμών του κυκλώματος είτε για το συντονισμό της διαδικασίας του ελέγχου. Το πλήθος των επιπλέον ακροδεκτών εισόδου εξόδου θα πρέπει να είναι όσο το δυνατό μικρότερο, επειδή το πλήθος των ακροδεκτών αποτελεί παράγοντα ο οποίος καθορίζει το κόστος του ολοκληρωμένου. Είναι χαρακτηριστικό ότι ενίοτε, η επιλογή της συσκευασίας (package) του ολοκληρωμένου (που αποτελεί το 20% του συνολικού κόστους κατασκευής) γίνεται με γνώμονα το πλήθος των ακροδεκτών και όχι το εμβαδό σε πυρίτιο που καταλαμβάνει το ολοκληρωμένο κύκλωμα.

Η εφαρμογή μιας τεχνικής σχεδίασης για δοκιμαστικότητα έχει σαν αποτέλεσμα την προσθήκη επιπλέον πυλών στις διαδρομές του κυκλώματος. Σαν αποτέλεσμα του γεγονότος αυτού, η ταχύτητα στην οποία μπορεί να λειτουργήσει το κύκλωμα μειώνεται. Είναι επιθυμητό η ταχύτητα λειτουργίας του ολοκληρωμένου κυκλώματος να μειωθεί όσο το δυνατό λιγότερο.

Οι τεχνικές σχεδίασης για δοκιμαστικότητα χωρίζονται σε δύο κατηγορίες, τις συστηματικές (structured) και τις μη συστηματικές (ad-hoc) τεχνικές. Στις συστηματικές τεχνικές εφαρμόζονται γενικοί κανόνες σχεδίασης ώστε το ολοκληρωμένο κύκλωμα να χαρακτηρίζεται από υψηλή δοκιμαστικότητα. Ένα σημαντικό πλεονέκτημα των τεχνικών αυτών είναι ότι μπορούν εύκολα να συμπεριληφθούν σε εργαλεία σχεδίασης (CAD tools). Αντιθέτως, οι μη συστηματικές τεχνικές επικεντρώνονται στην αντιμετώπιση εξειδικευμένων περιπτώσεων. Συνήθως οι συστηματικές τεχνικές έχουν υψηλότερο κόστος από τις μη συστηματικές τεχνικές, απλουστεύουν όμως τη διαδικασία ελέγχου και παρέχουν υψηλή δοκιμαστικότητα.

Οι πιο διαδεδομένες μη-συστηματικές τεχνικές σχεδίασης για δοκιμαστικότητα είναι η εισαγωγή σημείων ελέγχου, και η διαμέριση μεγάλων συνδυαστικών κυκλωμάτων.



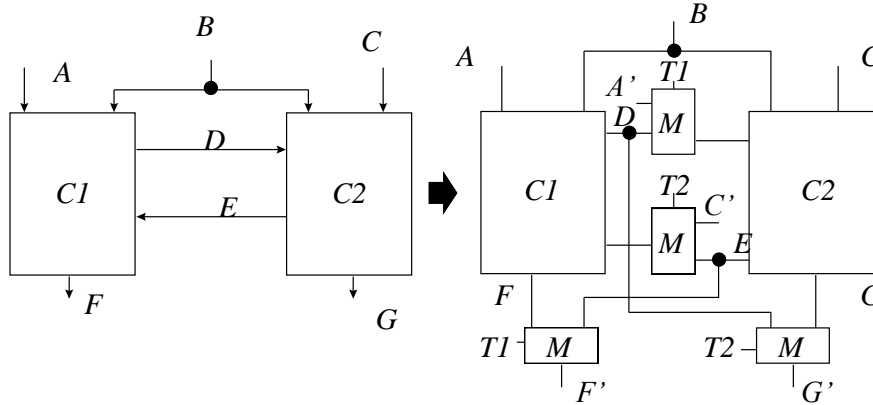
Εικόνα: Εισαγωγή Σημείων ελέγχου

Ένα σημείο ελέγχου μπορεί χρησιμοποιηθεί είτε σαν είσοδος, οπότε αυξάνει την ελεγχσιμότητα μιας γραμμής του κυκλώματος, είτε σαν έξοδος οπότε αυξάνει την παρατηρησιμότητα μιας γραμμής. Για παράδειγμα, στην ανωτέρω Εικόνα φαίνεται η χρήση ενός πολυπλέκτη που επιτρέπει να τεθεί εξωτερικά η γραμμή G' που θέλουμε να ελέγξουμε σε οποιαδήποτε επιθυμητή τιμή (0 ή 1) μέσω της εξωτερικής γραμμής I_1 και της γραμμής επιλογής S . Το κύριο πρόβλημα στην εισαγωγή σημείων ελέγχου είναι η αύξηση του πλήθους των ακροδεκτών εισόδου/εξόδου. Για το λόγο αυτό χρησιμοποιούνται πολυπλέκτες για τον περιορισμό των ακροδεκτών. Για παράδειγμα, $N=2^n$ σημεία παρατήρησης (observation points) μπορούν να πολυπλεχθούν σε μία γραμμή εξόδου, με την επιπλέον προσθήκη n κύριων γραμμών εισόδου που αντιστοιχούν στις γραμμές επιλογής του πολυπλέκτη. Ένας άλλος τρόπος περιορισμού των πρόσθετων ακροδεκτών εισόδου/εξόδου είναι η πολυπλεξία με τους κανονικούς ακροδέκτες εισόδου/εξόδου.

Η επιλογή των γραμμών που θα ελεγχθούν ή παρατηρηθούν βασίζεται σε εμπειρικά κριτήρια. Σήματα που επιλέγονται συνήθως ως σημεία ελέγχου είναι οι γραμμές ελέγχου και οι αρτηρίες δεδομένων και διευθύνσεων, οι γραμμές επίτρεψης και ανάγνωσης/γραφής σε μνήμες, οι γραμμές χρονισμού, θέσης (preset) και μηδενισμού (clear) των flip-flops, απαριθμητών και καταχωρητών ολίσθησης και οι γραμμές επιλογής σε πολυπλέκτες και αποπολυπλέκτες. Αντίστοιχα, σήματα που ενδείκνυνται για παρατήρηση είναι σήματα κομβικών γραμμών με υψηλό fanout, εκτεταμένες γραμμές ανάδρασης, γραμμές σήματος με πλεονασμό, οι έξοδοι λογικών μονάδων με μεγάλο αριθμό εισόδων όπως οι πολυπλέκτες, οι έξοδοι στοιχείων μνήμης (όπως flip-flop, απαριθμητές και καταχωρητές ολίσθησης) και οι αρτηρίες διευθύνσεων, δεδομένων και ελέγχου.

Καθώς το κόστος της εξαγωγής των διανυσμάτων δοκιμής και προσομοίωσης ελαττωμάτων σε ένα κύκλωμα είναι ανάλογο της τρίτης δύναμης του αριθμού των λογικών πυλών, το κόστος αυτό μειώνεται δραστικά με την εφαρμογή τεχνικών διαμέρισης. Η διαμέριση ενός κυκλώματος επιτυγχάνεται με την προσθήκη πολυπλεκτών. Ένα παράδειγμα εφαρμογής μιας τεχνικής διαμέρισης παρουσιάζεται στην επόμενη Εικόνα. Ένα συνδυαστικό κύκλωμα χωρίζεται λογικά σε δύο τμήματα, C_1 και C_2 . Σύμφωνα με τις τεχνικές διαμέρισης παρεμβάλλονται πολυπλέκτες (M) προκειμένου να αυξηθεί η ελεγχσιμότητα των

εισόδων και η παρατηρησιμότητα των εξόδων του κάθε τμήματος. Στο παράδειγμα της επόμενης Εικόνας έχουν προστεθεί δύο επιπλέον γραμμές ελέγχου, οι T_1 και T_2 , ως γραμμές επιλογής των πολυπλεκτών.

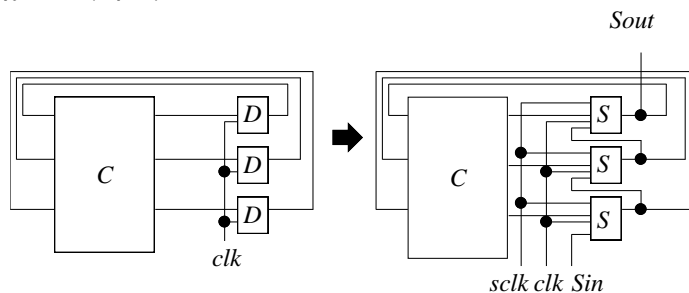


Εικόνα: Διαμέριση συνδυαστικής μονάδας

Όταν $T_1 T_2 = 00$ το κύκλωμα λειτουργεί όπως το αρχικό (με μιά μικρή πρόσθετη καθυστέρηση λόγω της παρουσίας των πολυπλεκτών). Όταν $T_1 T_2 = 01$ τότε το τμήμα C_1 οδηγείται από τις κύριες εισόδους A και C' ενώ οι εξόδοι F και D είναι παρατηρήσιμες μέσω των κύριων εξόδων F' και G' αντίστοιχα. Όταν $T_1 T_2 = 10$ το C_2 ελέγχεται ανεξάρτητα από την υπόλοιπη λογική μέσω των κύριων εισόδων A' και C , ενώ οι εξόδοι E και G παρατηρούνται στις κύριες εξόδους F' και G' . Με τον τρόπο αυτό τα δύο τμήματα μπορούν να δοκιμαστούν ανεξάρτητα το ένα από το άλλο και ταυτόχρονα να δοκιμαστούν πολλά τμήματα των πολυπλεκτών. Για να ελεγχθούν πλήρως οι πολυπλέκτες απαιτείται η εφαρμογή μερικών επιπλέον διανυσμάτων δοκιμής. Έτσι, αν το αρχικό κύκλωμα αποτελείται από n πύλες και διαμεριστεί σε δύο τμήματα, καθένα από τα οποία αποτελείται από $n/2$ πύλες, το κόστος της δοκιμής (δοθέντος του ότι το κόστος δοκιμής είναι ανάλογο της τρίτης δύναμης του αριθμού των πυλών) μειώνεται στο ένα όγδοο του αρχικού.

Στις συστηματικές τεχνικές σχεδίασης για δοκιμαστικότητα εφαρμόζονται γενικοί κανόνες προκειμένου να τεθεί μια ακολουθιακή μονάδα σε μιά επιθυμητή αρχική κατάσταση και να παρατηρηθεί η τελική της κατάσταση. Η πιο δημοφιλής κατηγορία συστηματικών τεχνικών σχεδίασης για δοκιμαστικότητα είναι οι τεχνικές ανίχνευσης (scan design techniques). Στις τεχνικές ανίχνευσης χρησιμοποιούνται καταχωρητές ανίχνευσης (scan registers) οι οποίοι έχουν την ικανότητα της ολίσθησης (shift) και της παράλληλης φόρτωσης (parallel-load) και συνεπώς μπορούν να λειτουργούν σαν σημεία παρατήρησης και/ή ελέγχου. Επομένως, τα στοιχεία μνήμης που αποτελούν τμήμα ενός καταχωρητή ανίχνευσης μπορούν να τεθούν σε κάποια τιμή και να παρατηρηθούν εξωτερικά.

Οι τεχνικές ανίχνευσης διακρίνονται σε πλήρεις (full) και μερικές (partial) ανάλογα με το αν όλα ή μερικά μόνο από τα στοιχεία μνήμης αποτελούν τμήμα μιας αλυσίδας ανίχνευσης. Στις πλήρεις τεχνικές εφόσον όλα τα στοιχεία μνήμης αποτελούν τμήμα της αλυσίδας ανίχνευσης, το τμήμα του κυκλώματος που απομένει να ελεγχθεί αλγοριθμικά είναι συνδυαστικό.



Εικόνα: Σχεδίαση ανίχνευσης

Στην ανωτέρω Εικόνα παρουσιάζεται ένα παράδειγμα στο οποίο ένα ακολουθιακό κύκλωμα έχει τροποποιηθεί σύμφωνα με μια τεχνική ανίχνευσης. Η τροποποίηση είναι απλή και συνίσταται στην αντικατάσταση των flip flop τύπου D με flip flop ανίχνευσης S. Σε κανονική λειτουργία τα flip flop τύπου S λειτουργούν σαν flip flop τύπου D και η λειτουργία των δύο κυκλωμάτων δε διαφέρει, εκτός από το ότι η νέα σχεδίαση ενδέχεται να έχει μεγαλύτερη καθυστέρηση. Κατά τη διάρκεια της δοκιμής εφαρμόζονται διανύσματα δοκιμής στο συνδυαστικό τμήμα του κυκλώματος (C). Τα flip flop ανίχνευσης δοκιμάζονται με την εισαγωγή μιάς συγκεκριμένης ακολουθίας τιμών από την είσοδο S_{in} και την παρατήρηση της απόκρισης στην έξοδο S_{out} . Έτσι, κάθε στοιχείο μνήμης λειτουργεί σαν σημείο παρατήρησης και/ή ελέγχου. Η πιο απλή μορφή κυψελίδας ανίχνευσης που έχει χρησιμοποιηθεί είναι το flip flop με πολυπλεγμένη είσοδο. Οι κυψελίδες ανίχνευσης που χρησιμοποιούνται από τις τεχνικές LSSD, scan path, και scan/set έχουν υψηλότερο κόστος υλοποίησης αλλά μικρότερη καθυστέρηση από εκείνη του flip flop με πολυπλεγμένη είσοδο.

Οι τεχνικές σχεδίασης για δοκιμαστικότητα μειώνουν τη δυσκολία με την οποία μπορεί να ελεγχθεί ένα κύκλωμα, έχουν όμως το βασικό μειονέκτημα ότι εφόσον τα διανύσματα ελέγχου εφαρμόζονται από εξωτερικό ελεγκτή, υπάρχει η εξάρτηση από τον ελεγκτή, το κόστος αγοράς και χρήσης του οποίου ανεβάζει, όπως αναφέρθηκε, το κόστος του ελέγχου των ολοκληρωμένων κυκλωμάτων. Επιπλέον, με τη χρήση των τεχνικών σχεδίασης για δοκιμαστικότητα δεν είναι δυνατό να πραγματοποιηθεί έλεγχος στην ταχύτητα λειτουργίας, ο οποίος είναι όπως αναφέραμε, ιδιαίτερα επιθυμητός. Τα προβλήματα αυτά λύνονται με τη χρήση των τεχνικών ενσωματωμένης αυτοδοκιμής, οι οποίες αποτελούν το αντικείμενο της επόμενης παραγράφου.

17.6 Τεχνικές Ενσωματωμένης Αυτοδοκιμής

Καθώς η πολυπλοκότητα και η κλίμακα ολοκλήρωσης των ολοκληρωμένων κυκλωμάτων αυξήθηκε με ταχείς ρυθμούς τις τελευταίες δεκαετίες, οι συσκευές που χρησιμοποιούνται για τον έλεγχο ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων εξελίχθηκαν από το απλό βολτόμετρο σε μεγάλα ηλεκτρονικά συστήματα που ονομάζονται ελεγκτές ολοκληρωμένων κυκλωμάτων (Integrated Circuit Testers, ή testers). Τα συστήματα αυτά παρέχουν πολύ υψηλή κάλυψη ελαττωμάτων κατά το στατικό έλεγχο (static testing) έχουν όμως δύο σημαντικά μειονεκτήματα.

Ένας ελεγκτής μπορεί να κοστίζει σήμερα από 1 μέχρι 20 εκατομμύρια δολάρια (που μεταφράζεται σε μερικές εκατοντάδες εκατομμύρια έως μερικά δισεκατομμύρια δραχμές) ανάλογα με τις απαιτήσεις στην ταχύτητα λειτουργίας. Συνεπώς, το κόστος αγοράς και χρήσης των μηχανημάτων αυτών ανεβάζει σημαντικά το συνολικό κόστος ανάπτυξης ενός ολοκληρωμένου κυκλώματος. Επιπλέον, οι ελεγκτές αχρηστεύονται πολύ γρήγορα (1-2 χρόνια από τη στιγμή που θα διατεθούν στην αγορά) λόγω της μεραυδαίους ρυθμούς αύξησης της ταχύτητας λειτουργίας των ολοκληρωμένων κυκλωμάτων. Εφόσον ένας ελεγκτής είναι κατασκευασμένος από κυκλώματα ίδιας τεχνολογίας με τα κυκλώματα τα οποία σχεδιάστηκε να ελέγχει, αφού σχεδιαστεί κατασκευαστεί, αγοραστεί και εγκατασταθεί, η τεχνολογία αιχμής έχει αλλάξει. Έτσι, οι απαιτήσεις σε ταχύτητα λειτουργίας μπορούν να ικανοποιηθούν από τον ελεγκτή μόνο εν μέρει. Λόγω του κόστους αγοράς τους οι περισσότερες εταιρείες χρησιμοποιούν τις συσκευές αυτές για αρκετά χρόνια, ως ότου αποσβεστεί το κόστος αυτό. Κατά συνέπεια δεν είναι δυνατό να πραγματοποιηθεί έλεγχος στην ταχύτητα λειτουργίας (at-speed testing) ο οποίος αποτελεί και το μοναδικό τρόπο να εξασφαλιστεί ότι το κύκλωμα λειτουργεί ορθά στην επιθυμητή ταχύτητα.

Αν κάποιο τμήμα της διαδικασίας ελέγχου ή και όλη η διαδικασία μπορεί να πραγματοποιηθεί από κάποιο τμήμα του υπό έλεγχο κυκλώματος, η ανάγκη για ελεγκτές τελευταίας τεχνολογίας περιορίζεται σημαντικά. Στις τεχνικές Ενσωματωμένης Αυτοδοκιμής (Built-In Self Test, BIST) ο έλεγχος του ολοκληρωμένου κυκλώματος πραγματοποιείται από μονάδες που βρίσκονται στο ίδιο το ολοκληρωμένο κύκλωμα. Κατά τη λειτουργία της αυτοδοκιμής, το ολοκληρωμένο κύκλωμα διαμερίζεται λογικά σε μονάδες υπό έλεγχο ή μονάδες υπό δοκιμή (Circuits Under Test, CUTs). Στις εισόδους μιας μονάδας υπό έλεγχο εφαρμόζονται τα διανύσματα δοκιμής που παράγονται από μια μονάδα παραγωγής διανυσμάτων

δοκιμής (test generator, TG), ενώ οι έξοδοι της μονάδας υπό έλεγχο οδηγούνται στις εισόδους μιας μονάδας αξιολόγησης ή συμπίεσης των αποκρίσεων (Response Verifier, RV). Οι μονάδες υπό έλεγχο είναι συνδυαστικά τμήματα τα οποία περιβάλλονται από ακολουθιακά στοιχεία. Τα ακολουθιακά τμήματα χρησιμοποιούνται στο σχεδιασμό των μονάδων ενσωματωμένης αυτοδοκιμής και ο έλεγχός τους πραγματοποιείται κατά τη λειτουργία της ενσωματωμένης αυτοδοκιμής. Στη συνέχεια θα θεωρούμε ότι οι υπό έλεγχο μονάδες είναι συνδυαστικές.

Μετά την ολοκλήρωση του ελέγχου, συγκρίνουμε τα περιεχόμενα της μονάδας συμπίεσης των αποκρίσεων με μια προκαθορισμένη τιμή και αποφασίζουμε αν στη μονάδα υπό έλεγχο έχει εμφανιστεί ένα ελάττωμα. Προκειμένου να εφαρμοστεί σε ένα ολοκληρωμένο κύκλωμα μια τεχνική ενσωματωμένης αυτοδοκιμής, θα πρέπει είτε να τροποποιηθούν τα στοιχεία του κυκλώματος είτε να προστεθούν στο κύκλωμα νέα στοιχεία προκειμένου να υλοποιηθούν οι μονάδες παραγωγής διανυσμάτων δοκιμής και συμπίεσης των αποκρίσεων εξόδου. Η χρήση των τεχνικών ενσωματωμένης αυτοδοκιμής έχει μια σειρά από σημαντικά πλεονεκτήματα.

Έλεγχος του ολοκληρωμένου σε όλα τα στάδια της ανάπτυξης. Όπως έχει αναφερθεί, όσο πιο γρήγορα ανιχνευθεί η ύπαρξη μιας βλάβης σε ένα ολοκληρωμένο κύκλωμα κατά τη διάρκεια του κύκλου παραγωγής (production cycle) τόσο λιγότερες επιπτώσεις έχει η βλάβη αυτή στην κατασκευάστρια εταιρεία. Καθώς ένα κύκλωμα περνάει τα διάφορα βήματα της διαδικασίας ανάπτυξης, το κόστος επισκευής μιας βλάβης αυξάνεται περίπου κατά μία τάξη μεγέθους από το ένα επίπεδο στο άλλο. Με τις τεχνικές ενσωματωμένης αυτοδοκιμής, εφόσον τα τμήματα που ελέγχουν τη λειτουργία του κυκλώματος βρίσκονται μέσα στο υπό έλεγχο κύκλωμα, ο έλεγχος μπορεί να πραγματοποιηθεί σε όλα τα στάδια της ανάπτυξης, από τη σχεδίαση (design verification), έως και τον περιοδικό έλεγχο του συστήματος στον τόπο λειτουργίας (periodic testing ή field testing). Συνεπώς είναι πολύ πιο εύκολο μια σχεδιαστική ή κατασκευαστική ατέλεια να ανιχνευθεί γρηγορότερα.

Χαμηλό κόστος ελέγχου ανά ολοκληρωμένο. Εφόσον τα διανύσματα παράγονται από το ίδιο το ολοκληρωμένο, το κόστος του ελέγχου δεν επιβαρύνεται από το κόστος αγοράς και χρήσης γρήγορου και ακριβού ελεγκτή (IC tester). Κατά συνέπεια, το κόστος ελέγχου ανά ολοκληρωμένο (pay-per-use cost) μειώνεται σημαντικά. Συνεπώς, σε κάθε ολοκληρωμένο κύκλωμα μπορεί να εφαρμοστεί μεγαλύτερος αριθμός διανυσμάτων δοκιμής και συνεπώς να επιτευχθεί υψηλότερο ποσοστό κάλυψης ελαττωμάτων.

Έλεγχος στην ταχύτητα λειτουργίας (at-speed testing). Εφόσον τα διανύσματα ελέγχου παράγονται από το ίδιο το υπό έλεγχο κύκλωμα, ο έλεγχος μπορεί να πραγματοποιηθεί στην ταχύτητα λειτουργίας του ολοκληρωμένου κυκλώματος. Αντιθέτως, όταν ο έλεγχος πραγματοποιείται με τη βοήθεια εξωτερικού ελεγκτή, δεν είναι δυνατό να πραγματοποιηθεί έλεγχος στην ταχύτητα λειτουργίας. Αυτό συμβαίνει επειδή κατά κανόνα, όπως αναφέρθηκε, οι ελεγκτές δουλεύουν σε μικρότερες ταχύτητες λειτουργίας από τα κυκλώματα τα οποία καλούνται να ελέγξουν. Πολύ συχνά, ο κυριότερος λόγος εισαγωγής δομών ενσωματωμένης αυτοδοκιμής σε ένα ολοκληρωμένο κύκλωμα είναι η δυνατότητα ελέγχου στην ταχύτητα λειτουργίας.

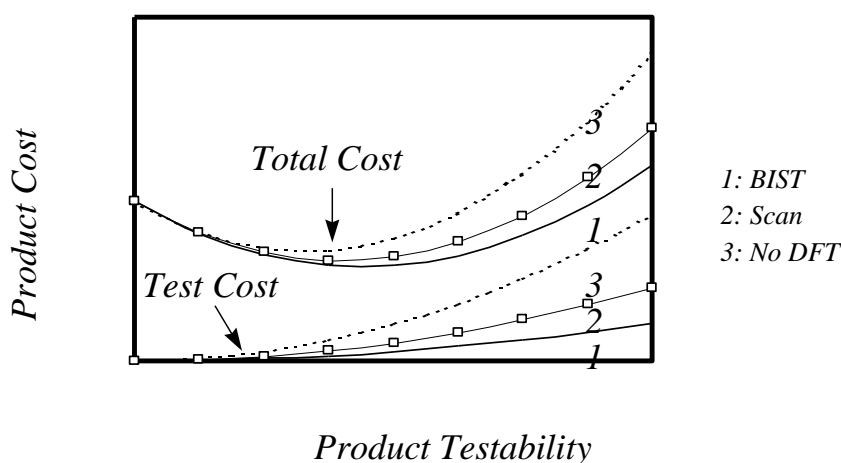
Μείωση του κόστους εξαγωγής των διανυσμάτων δοκιμής. Εφόσον τα διανύσματα εφαρμόζονται από το ίδιο το κύκλωμα, μπορεί να εφαρμοστεί σε κάθε μονάδα υπό έλεγχο μεγαλύτερος αριθμός διανυσμάτων. Επιπλέον, εφόσον η διαμέριση του κυκλώματος σε μονάδες υπό έλεγχο γίνεται εσωτερικά στο κύκλωμα, η ανάγκη χρησιμοποίησης ειδικών αλγόριθμων εξαγωγής διανυσμάτων δοκιμής ελαττώνεται.

Μείωση του χρόνου ανάπτυξης (time-to-market-cost). Σύμφωνα με τα παραπάνω, ο χρόνος που απαιτείται για την εξαγωγή των διανυσμάτων δοκιμής και την εφαρμογή τους στο ολοκληρωμένο κύκλωμα μειώνεται σημαντικά. Η μείωση του χρόνου ανάπτυξης του ολοκληρωμένου έχει σαν αποτέλεσμα να πραγματοποιήσει το ολοκληρωμένο κύκλωμα υψηλότερες πωλήσεις. Επομένως, η χρήση των τεχνικών ενσωματωμένης αυτοδοκιμής έχει υψηλή οικονομοτεχνική αξία.

Στην επόμενη Εικόνα φαίνεται το κόστος ανάπτυξης ενός τυπικού ολοκληρωμένου κυκλώματος σε συνάρτηση της επένδυσης που έχει γίνει για τον έλεγχο (test stringency) με παράμετρο την τεχνική

σχεδίασης για δοκιμαστικότητα που χρησιμοποιείται. Εξετάζονται τρεις περιπτώσεις: στην πρώτη περίπτωση δε χρησιμοποιείται καμία τεχνική σχεδίασης για δοκιμαστικότητα, στη δεύτερη περίπτωση χρησιμοποιούνται τεχνικές ανίχνευσης (scan design techniques), ενώ στην τρίτη χρησιμοποιούνται τεχνικές ενσωματωμένης αυτοδοκιμής. Από την επόμενη Εικόνα φαίνεται ότι με τη χρήση των τεχνικών ενσωματωμένης αυτοδοκιμής το κόστος ανάπτυξης είναι μικρότερο, για όλες τις τιμές της επένδυσης που έχει γίνει για τον έλεγχο.

Η σημαντικότερη απόδειξη της πρακτικής χρησιμότητας των τεχνικών ενσωματωμένης αυτοδοκιμής είναι η ευρύτετη χρήση τους σε πραγματικά ολοκληρωμένα κυκλώματα. Είναι χαρακτηριστικό ότι το 50% της επιφάνειας των σύγχρονων επεξεργαστών ελέγχονται με τη βοήθεια τεχνικών ενσωματωμένης αυτοδοκιμής.



Εικόνα: Κόστος κατασκευής ολοκληρωμένου κυκλώματος

Προκειμένου να φανεί η ευρύτετη χρήση των τεχνικών ενσωματωμένης αυτοδοκιμής στην πράξη, στον επόμενο Πίνακα περιγράφονται τα στοιχεία που αφορούν δέκα πραγματικά ολοκληρωμένα κυκλώματα τα οποία έχουν σχεδιαστεί από δέκα διαφορετικές εταιρείες. Μερικές από τις εταιρείες που περιλαμβάνει η έρευνα είναι οι Alcatel, Seagate Technology, Hewlett Packard, NCR, Northern Telecom, Siemens, AT&T.

Πίνακας: Κυκλώματα και στρατηγικές δοκιμής

Κύκλωμα	Χαρακτηριστικά Κυκλώματος				Τεχνική Δοκιμής		
	#πυλών ($\times 10^3$)	#ρολογιών	ταχύτητα (MHz)	#Εισόδων /Εξόδων	Scan	BIST random	BIST module
A	30	5	50	132	M	M	N
B	15	4	30	132	O	N	N
C	25	2	25	208	O	N	N
D	20	2	32	150	O	N	N
E	15	4	20	100	O	O	O
F	30	1	30	100	N	N	N
G	40	1	30	208	N	O	N
H	20	2	72	120	O	O	O
I	100	4	50	208	N	O	N
J	50	4	20	208	N	O	N

Για κάθε κύκλωμα του Πίνακα παρουσιάζονται τα χαρακτηριστικά του (πλήθος πυλών και ρολογιών που χρησιμοποιούνται, ταχύτητα λειτουργίας και πλήθος εισόδων και εξόδων). Φαίνονται ακόμη οι τεχνικές

που χρησιμοποιήθηκαν για τον έλεγχο κάθε κυκλώματος, χωρισμένες σε τρεις κατηγορίες: εφαρμογή τεχνικών ανίχνευσης (scan), εφαρμογή τεχνικών ενσωματωμένης αυτοδοκιμής σε τυχαία λογική (random logic BIST) και εφαρμογή τεχνικών ενσωματωμένης αυτοδοκιμής σε εμφυτευμένες κανονικές μονάδες (embedded module BIST). Οι εμφυτευμένες μονάδες περιλαμβάνουν μνήμες (ανάγνωσης εγγραφής και ROM) και διαδρόμους δεδομένων (datapaths). Για κάθε κατηγορία υπάρχουν τρεις δυνατές περιπτώσεις Ν(αι), Ο(χι) και σε Μ(ερικές) από τις περιπτώσεις.

Από τον Πίνακα φαίνεται ότι μόνο μια από τις δέκα εταιρείες δε χρησιμοποίησε καμία τεχνική σχεδίασης για δοκιμαστικότητα για ολοκληρωμένο κύκλωμα που υπερβαίνει τις 20.000 πύλες. Ακόμη, για κανονικές μονάδες (μνήμες ανάγνωσης-εγγραφής, ROMs, και διαδρόμους δεδομένων) οι τεχνικές ενσωματωμένης αυτοδοκιμής χρησιμοποιούνται σχεδόν από όλες τις εταιρείες.

Αν θεωρηθεί ότι το δείγμα των εταιρειών του Πίνακα είναι αντιπροσωπευτικό εξάγεται το συμπέρασμα ότι η χρήση των τεχνικών ενσωματωμένης αυτοδοκιμής στη βιομηχανία είναι πλέον κοινός τόπος. Είναι σημαντικό να αναφερθεί ότι λόγω της ευρύτητας και διαρκώς αυξανόμενης χρήσης των τεχνικών ενσωματωμένης αυτοδοκιμής, τα περισσότερα προγράμματα λογισμικής σχεδίασης ολοκληρωμένων κυκλωμάτων (cad tools) παρέχουν τη δυνατότητα εισαγωγής δομών ενσωματωμένης αυτοδοκιμής καθώς και εισαγωγής κανονικών μονάδων με έτοιμη ενσωματωμένη αυτοδοκιμή (pre-bisted units). Ο επόμενος Πίνακας παρουσιάζει την τρέχουσα κατάσταση στην αγορά της ενσωματωμένης αυτοδοκιμής (BIST Market) καθώς και μια πρόβλεψη σχετικά με τη μελλοντική εξέλιξη της αγοράς αυτής. Με τον όρο αγορά ενσωματωμένης αυτοδοκιμής αναφερόμαστε στο χρηματικό ποσό που πλήρωσαν εταιρείες σχεδίασης ολοκληρωμένων κυκλωμάτων σε εταιρείες που ειδικεύονται στην εισαγωγή δομών ελεγχιμότητας (τεχνικών scan, εισαγωγή δομών ενσωματωμένης αυτοδοκιμής) στις Ηνωμένες Πολιτείες της Αμερικής για συμβουλές σχετικά με σχεδίαση για δοκιμαστικότητα. Διακρίνονται και εδώ οι τρεις κατηγορίες (SCAN, BIST FOR MODULES, BIST FOR RANDOM LOGIC). Από τα δεδομένα του Πίνακα διαφαίνεται μια εντυπωσιακή αύξηση της αγοράς της ενσωματωμένης αυτοδοκιμής (600% για Module BIST και 1500% για Random Logic BIST) σε αντίθεση με μια συμβατική αύξηση της αγοράς των τεχνικών ανίχνευσης (200%). Τα ποσά του Πίνακα είναι σε εκατομμύρια δολάρια Ηνωμένων Πολιτειών.

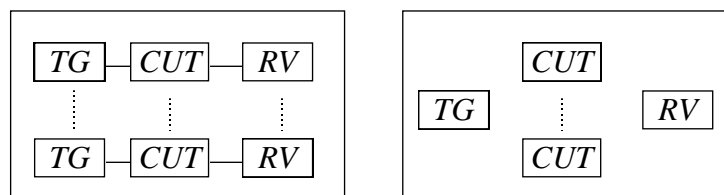
Πίνακας: Αγορά τεχνικών Σχεδίασης για Δοκιμαστικότητα σε Εκατομμύρια Δολάρια, Πραγματικότητα και Προβλέψεις

	1996	2001
SCAN	40	80
BIST (MODULE)	4	25
BIST (RANDOM)	1	15

Ένα θέμα που προκύπτει κατά τη χρήση τεχνικών ενσωματωμένης αυτοδοκιμής σχετίζεται με την πιθανότητα εισαγωγής νέων φυσικών ελαττωμάτων εξαιτίας των δομών που θα χρησιμοποιηθούν για την ενσωματωμένη αυτοδοκιμή και η δοκιμαστικότητα αυτών των στοιχείων. Τέτοια θέματα αντιμετωπίζονται συνήθως πειραματικά. Αποδεικνύεται με προσομοίωση ελαττωμάτων ότι η δοκιμαστικότητα των πρόσθετων αυτών στοιχείων είναι πολύ υψηλή, με ποσοστά κάλυψης ελαττωμάτων που πλησιάζουν το 100%.

Οι τεχνικές ενσωματωμένης αυτοδοκιμής χρησιμοποιήθηκαν σε εμπορικά κυκλώματα από τις αρχές της δεκαετίας του 1980. Στην περίοδο αυτή, το ζητούμενο ήταν ο έλεγχος ορθής λειτουργίας του υπό έλεγχο ολοκληρωμένου κυκλώματος. Στη δεκαετία του 1990, οι τεχνικές ενσωματωμένης αυτοδοκιμής χρησιμοποιούνται σε επίπεδο συστήματος (system level BIST). Αυτό σημαίνει ότι οι δυνατότητες ενσωματωμένης αυτοδοκιμής κάθε ολοκληρωμένου κυκλώματος χρησιμοποιούνται προκειμένου να πραγματοποιηθεί όχι μόνο ο έλεγχος ορθής λειτουργίας κάθε ολοκληρωμένου κυκλώματος, αλλά και

προκειμένου να πραγματοποιηθεί διάγνωση σε επίπεδο συστήματος. Το ζητούμενο λοιπόν είναι σε περίπτωση μη ορθής λειτουργίας να μπορεί να εντοπιστεί (προκειμένου να αντικατασταθεί) το ελαττωματικό ολοκληρωμένο κύκλωμα και να αποκατασταθεί η ομαλή λειτουργία του συστήματος.



Εικόνα: Τεχνικές ενσωματωμένης αυτοδοκιμής (α) κατανεμημένη (β) συγκεντρωτική

Εξαιτίας της πρακτικής τους χρησιμότητας, υπάρχει έντονο ερευνητικό ενδιαφέρον γύρω από τις τεχνικές ενσωματωμένης αυτοδοκιμής. Ανάλογα με το χρόνο στον οποίο πραγματοποιείται ο έλεγχος, διακρίνουμε τεχνικές ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία (on-line) και τεχνικές ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας (off-line). Στις τεχνικές ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας η μονάδα υπό δοκιμή πρέπει να τεθεί εκτός λειτουργίας προκειμένου να ελεγχθεί. Στις τεχνικές ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία, ο έλεγχος γίνεται κατά τη διάρκεια της κανονικής λειτουργίας του κυκλώματος, και συνεπώς δε χρειάζεται να διακοπεί η κανονική λειτουργία.

Μια τεχνική ενσωματωμένης αυτοδοκιμής μπορεί να εφαρμοστεί συγκεντρωτικά (centralized) ή κατανεμημένα (distributed). Στη συγκεντρωτική εφαρμογή μιας τεχνικής ενσωματωμένης αυτοδοκιμής παραπάνω από μια μονάδες υπό έλεγχο μοιράζονται τις μονάδες παραγωγής διανυσμάτων δοκιμής και συμπίεσης αποκρίσεων εξόδου (BIST resources). Σε μια κατανεμημένη τεχνική ενσωματωμένης αυτοδοκιμής σε κάθε μονάδα υπό έλεγχο αντιστοιχεί μια μονάδα παραγωγής διανυσμάτων δοκιμής και μια μονάδα συμπίεσης των αποκρίσεων. Το κόστος υλοποίησης μιας συγκεντρωτικής τεχνικής είναι χαμηλότερο, αλλά ο χρόνος που απαιτείται για την ολοκλήρωση του ελέγχου είναι υψηλότερος, εφόσον δεν είναι δυνατό να ελεγχθούν ταυτόχρονα όλες οι μονάδες υπό έλεγχο. Τα κριτήρια σύμφωνα με τα οποία αξιολογείται μια τεχνική ενσωματωμένης αυτοδοκιμής είναι ο χρόνος που απαιτείται για τον έλεγχο, το κόστος υλοποίησης, η υποβάθμιση της απόδοσης του συστήματος και η ποιότητα του παρεχόμενου ελέγχου η οποία αντανακλάται στο πλήθος των φυσικών ελατωμάτων τα οποία μπορούν να ανιχνευθούν με την εφαρμογή της τεχνικής.

Υπάρχουν τεχνικές ενσωματωμένης αυτοδοκιμής για την εφαρμογή των οποίων απαιτείται επανασχεδιασμός του κυκλώματος. Από την άλλη μεριά, τα σημερινά κυκλώματα σχεδιάζονται προσεκτικά προκειμένου να ελαχιστοποιηθεί τόσο το εμβαδό πυριτίου που καταλαμβάνει μια μονάδα όσο και ο χρόνος απόκρισης. Αν όλο το κύκλωμα ή τμήματά του πρέπει να επανασχεδιαστούν προκειμένου να εφαρμοστεί η τεχνική ενσωματωμένης αυτοδοκιμής, το κόστος σχεδιασμού αυξάνεται, ανεβάζοντας αντίστοιχα το συνολικό κόστος ανάπτυξης.

Μια τεχνική είναι τόσο πιο αποδοτική, όσο μικρότερο πλήθος διανυσμάτων δοκιμής απαιτείται για την ανάδειξη των ελαττωμάτων. Από δύο τεχνικές που μπορούν να παράγουν τα διανύσματα που απαιτούνται για τον έλεγχο ενός κυκλώματος, προτιμότερη είναι εκείνη η οποία παράγει τα διανύσματα σε μικρότερο πλήθος κύκλων ρολογιού.

Οι επιπλέον μονάδες που εισάγονται εξαιτίας της εφαρμογής μιας τεχνικής ενσωματωμένης αυτοδοκιμής αυξάνουν όχι μόνο το κόστος υλοποίησης αλλά και την πιθανότητα εισαγωγής νέων φυσικών ελαττωμάτων (με συνακόλουθη αύξηση του χρόνου που απαιτείται προκειμένου να πραγματοποιηθεί η προσομοίωση ελαττωμάτων). Το κόστος υλοποίησης μιας τεχνικής ενσωματωμένης αυτοδοκιμής μπορεί να μετρηθεί είτε με το πλήθος των ισοδύναμων πυλών που απαιτούνται για την υλοποίηση της τεχνικής (μια ισοδύναμη πύλη είναι το εμβαδό που καταλαμβάνει μια πύλη NAND δύο εισόδων) είτε με το

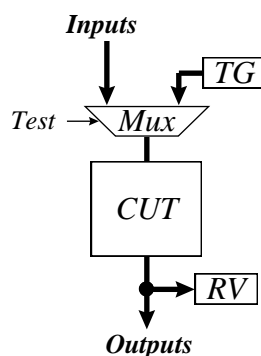
πλήθος των τρανζίστορ που απαιτούνται. Το ποσοστιαίο κόστος υλοποίησης μιας κατανεμημένης τεχνικής ενσωματωμένης αυτοδοκιμής ορίζεται σαν το κλάσμα του κόστους υλοποίησης της τεχνικής προς το κόστος υλοποίησης της μονάδας υπό έλεγχο. Αποδεκτές τιμές για το ποσοστιαίο κόστος υλοποίησης είναι αριθμοί μικρότεροι του 10-15%. Για μια συγκεντρωτική τεχνική ενσωματωμένης αυτοδοκιμής το κλάσμα αυτό ορίζεται στο σύνολο της επιφάνειας του ολοκληρωμένου κυκλώματος.

Όσο περισσότερες πύλες εισάγονται στις διαδρομές των σημάτων τόσο μεγαλύτερη είναι η καθυστέρηση της διάδοσης ενός σήματος από τις εισόδους του κυκλώματος στις εξόδους. Δοθέντος του διαρκούς αιτήματος για υψηλότερες ταχύτητες λειτουργίας, είναι ανεπιθύμητη η υποβάθμιση της ταχύτητας λειτουργίας ενός κυκλώματος (και, κατά συνέπεια, όλου του συστήματος) εξαιτίας της εισαγωγής δομών ενσωματωμένης αυτοδοκιμής. Επομένως, μια τεχνική ενσωματωμένης αυτοδοκιμής είναι τόσο καλύτερη όσο λιγότερες πύλες εισάγονται στις διαδρομές των σημάτων. Στο σημείο αυτό αξίζει να αναφερθεί ότι δοθείσης της διαρκούς μείωσης του κόστους υλοποίησης (του εμβαδού πυριτίου) ο παράγοντας που καθορίζει την εφαρμοσιμότητα μιας τεχνικής ενσωματωμένης αυτοδοκιμής δεν είναι το κόστος υλοποίησης αλλά η υποβάθμιση της απόδοσης (ταχύτητας λειτουργίας) του κυκλώματος.

Η αξιοπιστία ενός ολοκληρωμένου κυκλώματος αυξάνεται όσο μεγαλύτερο πλήθος φυσικών ελαττωμάτων είναι σε θέση να ανιχνεύσει μια τεχνική ενσωματωμένης αυτοδοκιμής και καθορίζεται από το ποσοστό κάλυψης ελαττωμάτων για τα ελαττώματα του χρησιμοποιούμενου μοντέλου ελαττωμάτων που ανιχνεύει η τεχνική και από την περιεκτικότητα του χρησιμοποιούμενου μοντέλου ελαττωμάτων. Έτσι για παράδειγμα μια τεχνική η οποία προσφέρει κάλυψη συνδυαστικών ελαττωμάτων 98% είναι καλύτερη από μια τεχνική που προσφέρει κάλυψη 75% για συνδυαστικά ελαττώματα, αλλά υποδεέστερη από μια άλλη, η οποία προσφέρει κάλυψη 98% για ακολουθιακά ελαττώματα. Γενικά, τα ακολουθιακά μοντέλα ελαττωμάτων παρέχουν υψηλότερη κάλυψη φυσικών ελαττωμάτων από ότι τα συνδυαστικά μοντέλα ελαττωμάτων. Ακόμη, δοθέντος του ότι μεγάλο πλήθος φυσικών ελαττωμάτων είναι παροδικά, οι τεχνικές ενσωματωμένης αυτοδοκιμής κατά την κανονική λειτουργία παρέχουν υψηλότερη κάλυψη φυσικών ελαττωμάτων από ότι οι τεχνικές ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας και συνεπώς αυξάνουν την αξιοπιστία του συστήματος.

Μια τεχνική ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας χρησιμοποιείται για τον έλεγχο του κυκλώματος όταν αυτό δεν λειτουργεί. Οι τεχνικές αυτές μπορούν να χρησιμοποιηθούν είτε για τον έλεγχο κατά την κατασκευή (manufacturing testing), είτε για περιοδικό έλεγχο (periodic testing, field testing) αλλά στην περίπτωση αυτή η υπό έλεγχο μονάδα πρέπει να τεθεί εκτός λειτουργίας. Για την ενσωματωμένη αυτοδοκιμή μιας μονάδας υπό έλεγχο (Circuit Under Test, CUT) με μια τεχνική ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας απαιτούνται μια μονάδα παραγωγής ακολουθιών διανυσμάτων δοκιμής (Test Generator, TG) με ένα πολυπλέκτη εισόδου (mux), μια μονάδα συμπίεσης των αποκρίσεων εξόδου (response verifier, RV) και μια μονάδα ελέγχου (control) για το συντονισμό της διαδικασίας ελέγχου ορθής λειτουργίας.

Μια τεχνική ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας μπορεί να βρίσκεται είτε σε κανονική λειτουργία (normal mode) είτε σε λειτουργία ελέγχου (test mode). Κατά τη διάρκεια της κανονικής λειτουργίας οι εισοδοί της μονάδας υπό έλεγχο οδηγούνται από τις κανονικές εισόδους και το κύκλωμα λειτουργεί σα να μην υπήρχε η τεχνική ενσωματωμένης αυτοδοκιμής, εκτός από μια μικρή καθυστέρηση εξαιτίας του πολυπλέκτη εισόδου. Κατά τη λειτουργία ελέγχου, οι εισοδοί του κυκλώματος οδηγούνται από τις εξόδους της μονάδας παραγωγής διανυσμάτων δοκιμής ενώ η απόκριση του κυκλώματος κατακρατείται στη μονάδα συμπίεσης των αποκρίσεων. Όταν όλα τα διανύσματα δοκιμής έχουν παραχθεί από τη μονάδα παραγωγής διανυσμάτων δοκιμής, και έχουν εφαρμοστεί στις εισόδους της μονάδας υπό έλεγχο, εξετάζονται τα περιεχόμενα της μονάδας συμπίεσης της απόκρισης και αποφασίζεται αν η υπό έλεγχο μονάδα λειτουργεί ορθά.



Εικόνα: Ενσωματωμένη αυτοδοκιμή εκτός λειτουργίας (Off-line BIST)

Αν για την υλοποίηση των μονάδων παραγωγής διανυσμάτων δοκιμής και συμπίεσης των αποκρίσεων μιας τεχνικής ενσωματωμένης αυτοδοκιμής εκτός λειτουργίας χρησιμοποιούνται μονάδες που ενυπάρχουν στο κύκλωμα, λέμε ότι υλοποιείται μια εμφυτευμένη (embedded) έκδοση της τεχνικής. Στην περίπτωση που οι μονάδες αυτές δεν περιλαμβάνονται στις λειτουργικές μονάδες του κυκλώματος, λέμε ότι υλοποιήθηκε η απομονωμένη (separate) έκδοση της τεχνικής. Οι εμφυτευμένες εκδόσεις έχουν χαμηλότερο κόστος υλοποίησης και μικρότερη επίδραση στην ταχύτητα λειτουργίας του κυκλώματος. Επιπλέον όταν χρησιμοποιείται μια εμφυτευμένη έκδοση μιας τεχνικής ενσωματωμένης αυτοδοκιμής, ελέγχονται και οι μονάδες οι οποίες συμμετέχουν στην παραγωγή και/ή τη συμπίεση των διανυσμάτων. Κατά συνέπεια, δεν απαιτείται να ελεγχθούν ξεχωριστά. Για το λόγο αυτό στην πράξη για τις τεχνικές ενσωματωμένης αυτοδοκιμής εκτός λειτουργίας χρησιμοποιούνται εμφυτευμένες εκδόσεις των αρχιτεκτονικών. Αντιθέτως, στις τεχνικές ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία, οι μονάδες που χρησιμοποιούνται για την παραγωγή των διανυσμάτων δοκιμής και/ή τη συμπίεση των αποκρίσεων εξόδου πρέπει να προστεθούν στο κύκλωμα σαν επιπλέον στοιχεία.

Στις τεχνικές ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία, ο έλεγχος πραγματοποιείται χωρίς να τεθεί η μονάδα υπό έλεγχο εκτός λειτουργίας. Οι τεχνικές ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία διακρίνονται σε ταυτόχρονες (concurrent) και μή-ταυτόχρονες (non-concurrent). Στις ταυτόχρονες τεχνικές ο έλεγχος πραγματοποιείται ταυτόχρονα με την κανονική λειτουργία του κυκλώματος. Στις μή-ταυτόχρονες τεχνικές, ο έλεγχος πραγματοποιείται όσο το σύστημα είναι σε αδράνεια (idle), συνήθως με εκτέλεση ρουτινών διαγνωστικού λογισμικού (μικροκώδικα), ή ρουτίνες διαγνωστικών μικρο-προγραμμάτων. Η διαδικασία ελέγχου μπορεί να διακοπεί οποιαδήποτε στιγμή ώστε να αποκατασταθεί η κανονική λειτουργία.

Εφόσον κατά τον έλεγχο δεν τίθεται εκτός λειτουργίας η μονάδα υπό έλεγχο, στις τεχνικές ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία η υποβάθμιση της απόδοσης του κυκλώματος είναι χαμηλότερη. Επιπλέον, κατά τον περιοδικό έλεγχο επιτυγχάνεται υψηλότερο ποσοστό κάλυψης φυσικών ελαττωμάτων, εφόσον είναι δυνατό να ανιχνευθούν παροδικά ελαττώματα, τα οποία εμφανίζονται κατά τη διάρκεια της κανονικής λειτουργίας του κυκλώματος. Όταν ένα ελάττωμα (μεταβατικό ή μόνιμο) εμφανιστεί σε ένα κύκλωμα, η παρουσία του είναι δυνατό να μὴ γίνει αμέσως αντιληπτή στο σύστημα. Η διαφορά του χρόνου εμφάνισης του ελαττώματος από το χρόνο ανίχνευσής του, ονομάζεται χρόνος ανάδειξης του ελαττώματος αυτού (error latency). Σε κρίσιμες εφαρμογές, ο χρόνος ανάδειξης των ελαττωμάτων είναι σημαντική παράμετρος εφόσον εάν υπερβεί κάποιο όριο είναι δυνατό να προκληθούν καταστροφές στο σύστημα το οποίο ελέγχεται από το ολοκληρωμένο κύκλωμα.

Εκτός από τα πλεονεκτήματα που παρουσιάζουν οι τεχνικές ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία παρουσιάζουν και κάποια μειονεκτήματα. Ένα μειονέκτημα των τεχνικών ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία, είναι ότι το κόστος υλοποίησής τους, συγκριτικά με τις τεχνικές ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας είναι πολύ υψηλό. Για παράδειγμα στο

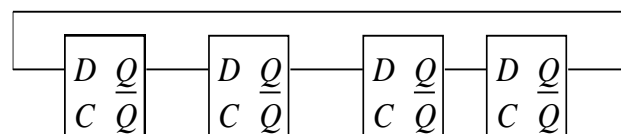
διπλασιασμό και σύγκριση (duplication and comparison), μια τεχνική που χρησιμοποιείται ευρύτατα στην πράξη, το κόστος υλοποίησης υπερβαίνει το 100% του κόστους υλοποίησης της μονάδας υπό δοκιμή. Ένα ακόμη μειονέκτημα κάποιων τεχνικών ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία, είναι ότι ενώ μπορούν να πιστοποιήσουν ότι μέχρι τη συγκεκριμένη χρονική δεν έχει εμφανιστεί κάποιο λάθος στις εξόδους του κυκλώματος (με την εφαρμογή των εισόδων που έχουν εμφανιστεί κατά την κανονική λειτουργία του κυκλώματος) δεν μπορούν να πιστοποιήσουν αν ένα κύκλωμα είναι ελαττωματικό. Το μειονέκτημα αυτό είναι αποτέλεσμα του γεγονότος ότι δεν υπάρχει κανείς τρόπος για να διαπιστωθεί εάν έχει ολοκληρωθεί ο έλεγχος (αν δηλαδή τα διανύσματα δοκιμής έχουν εμφανιστεί στις εισόδους του κυκλώματος) αλλά μόνο για το εάν έχει συμβεί κάποιο λάθος μέχρι τη συγκεκριμένη χρονική στιγμή.

Προκειμένου να αντιμετωπιστούν τα παραπάνω μειονεκτήματα, χρησιμοποιούνται οι τεχνικές ταυτόχρονης ενσωματωμένης αυτοδοκιμής με παρακολούθηση διανυσμάτων (Vector Monitoring Concurrent BIST techniques). Οι τεχνικές που ανήκουν στην κατηγορία αυτή, μπορούν να εφαρμοστούν σε οποιαδήποτε συνδυαστική μονάδα υπό έλεγχο και μπορούν να ανιχνεύσουν οποιοδήποτε μόνιμο απλό ή πολλαπλό συνδυαστικό ελάττωμα χωρίς να απαιτείται καμμία τροποποίηση στο σχεδιασμό της μονάδας υπό έλεγχο. Επιπλέον, το κόστος υλοποίησής τους είναι ικανοποιητικά μικρό και μπορεί να ρυθμιστεί από το σχεδιαστή ενώ η επίδραση στην ταχύτητα λειτουργίας του κυκλώματος είναι αμελητέα (η διαδρομή των σημάτων επιβαρύνεται μόνο από τον πολυπλέκτη εισόδου της μονάδας υπό έλεγχο, όπως και στις τεχνικές ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας). Ένα ακόμη πλεονέκτημα των τεχνικών της κατηγορίας αυτής είναι ότι ο έλεγχος μπορεί να πραγματοποιηθεί τόσο κατά την κανονική λειτουργία όσο και εκτός της κανονικής λειτουργίας και συνεπώς μπορούν να χρησιμοποιηθούν τόσο για περιοδικό έλεγχο όσο και για έλεγχο στον τόπο κατασκευής.

Στη συνέχεια θα περιγράψουμε τις μονάδες που χρησιμοποιούνται στην υλοποίηση τεχνικών ενσωματωμένης αυτοδοκιμής. Για τις μονάδες αυτές τροποποιούνται στοιχεία που ήδη υπάρχουν στο κύκλωμα, πιο συνηθισμένα από τα οποία είναι οι καταχωρητές (registers) και οι συσσωρευτές (accumulators).

17.6.1 Μονάδες που χρησιμοποιούνται στην υλοποίηση των τεχνικών ενσωματωμένης αυτοδοκιμής

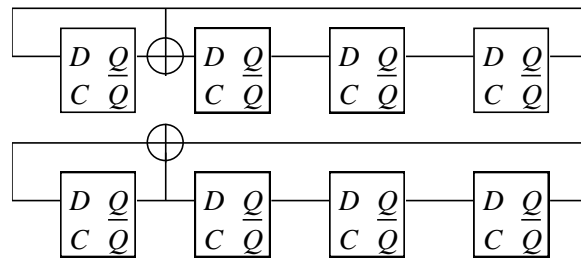
Βασικά θέματα στις τεχνικές ενσωματωμένης αυτοδοκιμής είναι ο σχεδιασμός αποδοτικών μονάδων παραγωγής διανυσμάτων δοκιμής και μονάδων συμπίεσης των αποκρίσεων. Η πρακτική που ακολουθείται στις εμφυτευμένες τεχνικές ενσωματωμένης αυτοδοκιμής είναι να τροποποιούνται μονάδες που ήδη υπάρχουν στο κύκλωμα με τέτοιο τρόπο ώστε να είναι δυνατό (με την ενεργοποίηση κατάλληλων σημάτων ελέγχου) να παραχθούν τα διανύσματα δοκιμής ή/και να συμπίεστούν οι αποκρίσεις εξόδου. Συνήθως, οι μονάδες που τροποποιούνται είναι καταχωρητές (registers) είτε αριθμητικές και λογικές μονάδες ή απλοί συσσωρευτές (accumulators), οι οποίες μετατρέπονται σε κάποια από τις μονάδες που περιγράφονται στη συνέχεια της παραγράφου αυτής. Οι μονάδες αυτές είναι οι καταχωρητές ολίσθησης (shift registers), οι γραμμικοί καταχωρητές ολίσθησης με ανάδραση (Linear Feedback Shift Registers, LFSRs) οι απαριθμητές (counters) οι συσσωρευτές (accumulators) τα Κυψελλωτά αυτόματα (Cellular Automata, CA) και οι καταχωρητές ολίσθησης πολλών εισόδων (Multiple Input Shift Registers, MISRs).



Εικόνα: Απλός Καταχωρητής ολίσθησης

Στην ανωτέρω Εικόνα φαίνεται ένας καταχωρητής ολίσθησης (Shift Register, SR). Κάθε κυψελίδα (cell) είναι ένα flip-flop τύπου D. Το κύκλωμα αυτό είναι αυτόνομο, με την έννοια ότι δεν έχει άλλες εισόδους

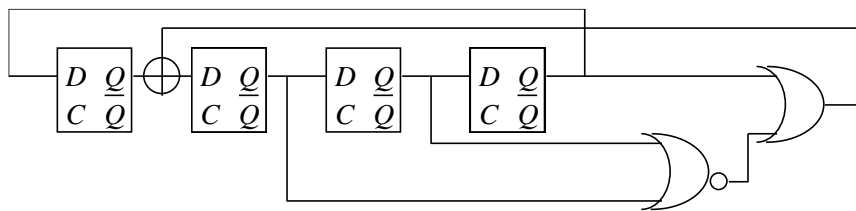
εκτός από τις εισόδους χρονισμού (clocks) και όταν δέχεται συνεχείς παλμούς ρολογιού περνάει από μια καθορισμένη ακολουθία καταστάσεων. Ένας καταχωρητής ολίσθησης n-βαθμίδων χωρίς ανάδραση αλλάζει κυκλικά το πολύ n καταστάσεις.



Εικόνα: Καταχωρητές ολίσθησης με γραμμική ανάδραση
(α) Κανονική Μορφή 1 (β) Κανονική Μορφή 2

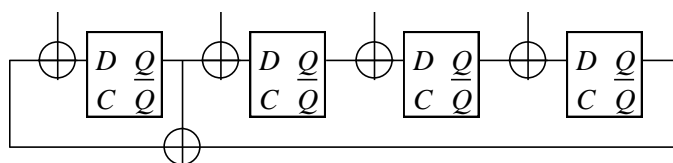
Ένας Καταχωρητής Ολίσθησης με Γραμμική ανάδραση (Linear Feedback Shift Register, LFSR) είναι μια μονάδα που αποτελείται από flip flops και γραμμικά στοιχεία (πύλες XOR). Ένας καταχωρητής ολίσθησης με ανάδραση n βαθμίδων ονομάζεται μέγιστου μήκους (maximum length LFSR) όταν μπορεί να παράγει μια ακολουθία καταστάσεων μήκους 2^n-1 , υπό την προϋπόθεση ότι η αρχική κατάσταση δεν είναι η μηδενική. Οι καταχωρητές ολίσθησης με γραμμική ανάδραση μπορούν να υλοποιηθούν με ένα από δύο τρόπους, που ονομάζονται κανονικές μορφές.

Ένα ενδιαφέρον χαρακτηριστικό το οποίο έχει βοηθήσει τη μελέτη των καταχωρητών ολίσθησης με γραμμική ανάδραση είναι η αντιστοιχία τους με τα πολυώνυμα των πεδίων Galois. Σε ένα καταχωρητή ολίσθησης με ανάδραση κ βαθμίδων αντιστοιχεί ένα χαρακτηριστικό πολυώνυμο ενός πεδίου Galois βαθμού κ. Η αντιστοίχιση του πολυωνύμου γίνεται ως εξής. Για ένα καταχωρητή ολίσθησης με γραμμική ανάδραση κανονικής μορφής 1 ο συντελεστής του x^i είναι 1 αν υπάρχει συνδεση από τη θέση i στην πρώτη θέση και 0 αλλιώς. Για ένα καταχωρητή ολίσθησης με γραμμική ανάδραση κανονικής μορφής 2, ο συντελεστής του x^i είναι 1 αν υπάρχει σύνδεση από το κ στάδιο στο i και 0 διαφορετικά. Ένας καταχωρητής ολίσθησης με γραμμική ανάδραση παράγει όλες τις 2^n-1 καταστάσεις αν και μόνο αν το αντίστοιχο πολυώνυμο είναι πρωτογενές (primitive).



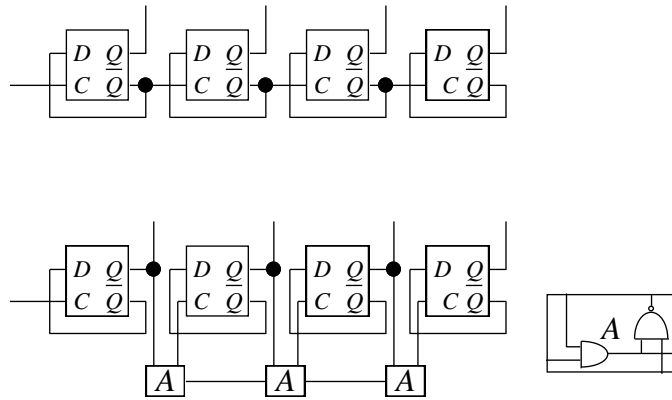
Εικόνα: Καταχωρητής ολίσθησης με μη-γραμμική ανάδραση

Ένας καταχωρητής ολίσθησης με μη-γραμμική ανάδραση (non-linear Feedback shift Register, NLFSR) είναι ένας καταχωρητής ολίσθησης με γραμμική ανάδραση στον οποίο έχει προστεθεί ένα μη γραμμικό στοιχείο (συνήθως μια πύλη NOR) προκειμένου να συμπεριληφθεί στην ακολουθία καταστάσεων η μηδενική κατάσταση. Ένας καταχωρητής ολίσθησης με μη-γραμμική ανάδραση τεσσάρων βαθμίδων φαίνεται στην ανωτέρω Εικόνα.



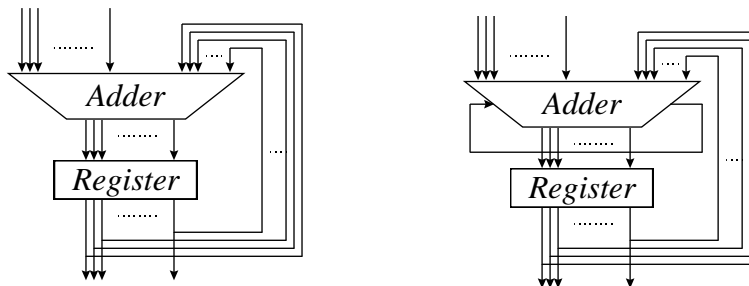
Εικόνα: Καταχωρητής Ολίσθησης με πολλές εισόδους

Ενας καταχωρητής ολίσθησης με πολλές εισόδους (Multiple Input Shift Register, MISR) φαίνεται στην ανωτέρω Εικόνα. Η διαφορά του από ένα γραμμικό καταχωρητή ολίσθησης είναι ότι το κύκλωμα έχει τόσες εισόδους όσες και βαθμίδες. Κάθε είσοδος συνδέεται με την έξοδο του προηγούμενου flip flop μέσω μιας πύλης XOR δύο εισόδων.



Εικόνα: Απαριθμητές (α) Ασύγχρονος (β) Σύγχρονος

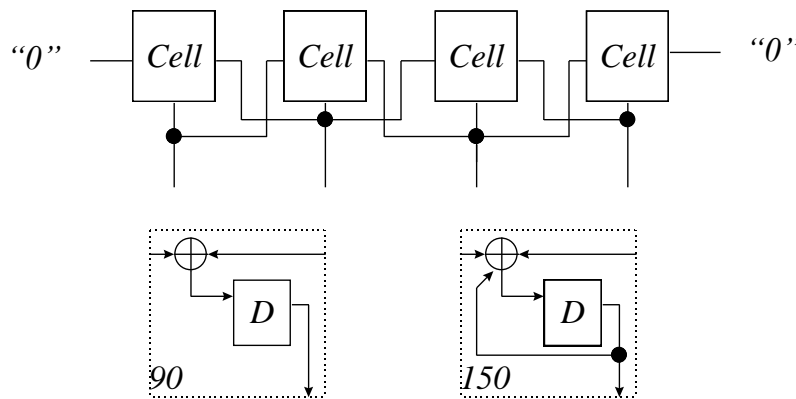
Ένας απαριθμητής (counter) κ βαθμίδων είναι ένα ακολουθιακό κύκλωμα που απαριθμεί από το 0 ως το 2^k-1 κυκλικά. Ένα σημαντικό πλεονέκτημα της χρήσης απαριθμητών στις τεχνικές ενσωματωμένης αυτοδοκιμής είναι ότι οι μονάδες αυτές ενυπάρχουν συχνότατα σε ολοκληρωμένα κυκλώματα εξαιτίας της πρακτικής τους χρησιμότητας. Στην πράξη χρησιμοποιούνται οι σύγχρονοι (synchronous counters) και οι ασύγχρονοι απαριθμητές ή απαριθμητές ριπής (ripple counters). Στην προηγούμενη Εικόνα φαίνονται ένας σύγχρονος και ένας ασύγχρονος απαριθμητής 4 ψηφίων υλοποιημένοι με flip flops τύπου D.



Εικόνα: Συσσωρευτές (α) χωρίς ανάδραση (β) με ανάδραση

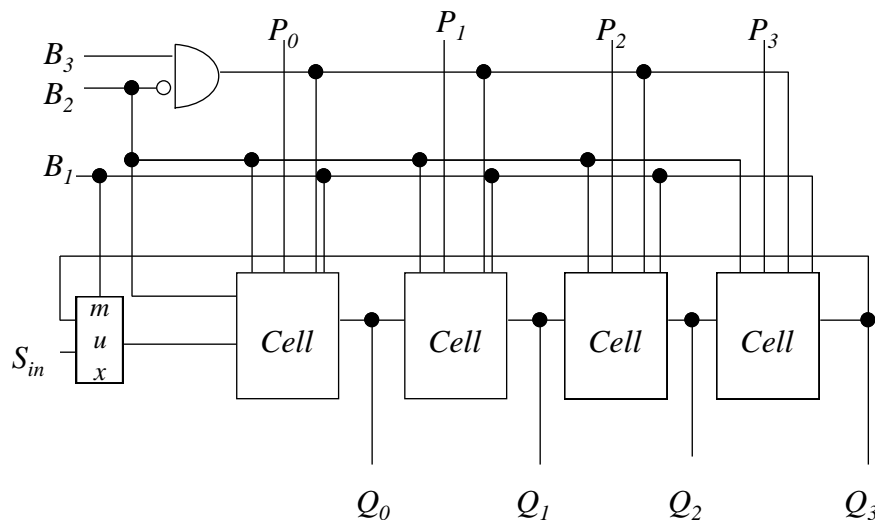
Σε ένα ευρύτατο φάσμα σύγχρονων κυκλωμάτων VLSI (που ποικίλλουν από μικροεπεξεργαστές, μονάδες επεξεργασίας σήματος έως μικροελεγκτές) ενυπάρχουν συχνότατα αριθμητικές μονάδες, κυρίως συσσωρευτές (accumulators). Η ιδέα της χρήσης συσσωρευτών για την παραγωγή των διανυσμάτων δοκιμής και/ή τη συμπίεση των αποκρίσεων εξόδου στην ενσωματωμένη αυτοδοκιμή προτάθηκε αρχικά από τους Rajski και Tyszer. Εκτοτε, οι συσσωρευτές έχουν χρησιμοποιηθεί με επιτυχία τόσο για την παραγωγή διανυσμάτων δοκιμής όσο και για την αξιολόγηση των αποκρίσεων εξόδου. Ένας συσσωρευτής (accumulator) αποτελείται από ένα καταχωρητή (register) και ένα αθροιστή (adder). Σε κάθε κύκλο λειτουργίας, το διάνυσμα εισόδου του καταχωρητή προστίθεται στα περιεχόμενα του καταχωρητή και το αποτέλεσμα φυλάσσεται στον καταχωρητή. Οι συσσωρευτές αποτελούν αναπόσπαστο τμήμα των αριθμητικών και λογικών μονάδων και ενυπάρχουν συχνότατα σε μεγάλα VLSI κυκλώματα. Ανάλογα με τον τύπο του αθροιστή που χρησιμοποιείται, διακρίνουμε δύο είδη συσσωρευτών, χωρίς ανάδραση (nonfeedback) και με ανάδραση (feedback). Στην προηγούμενη Εικόνα φαίνονται τα δυο αυτά είδη συσσωρευτών.

Ένα γραμμικό μονοδιάστατο κυψελωτό αυτόματο (cellular automaton, CA) είναι ένας μονοδιάστατος πίνακας κυψελίδων. Κάθε κυψελίδα (cell) είναι μια ακολουθιακή μονάδα η οποία επικοινωνεί με τις γειτονικές της. Ο αλγόριθμος που χρησιμοποιείται προκειμένου να υπολογιστεί η επόμενη κατάσταση ονομάζεται κανόνας υπολογισμού (calculation rule). Οι πιο συχνά χρησιμοποιούμενοι κανόνες υπολογισμού είναι οι κανόνες 90 και 150 που ορίζονται ως εξής: $x_i(t+1)=x_{i-1}(t)+x_{i+1}(t)$ (Κανόνας 90), και $x_i(t+1)=x_{i-1}(t)+x_i(t)+x_{i+1}(t)$ (Κανόνας 150). Με $x_i(t)$ συμβολίζουμε την κατάσταση της κυψελίδας i τη χρονική στιγμή t . Το βασικό προτέρημα των κυψελωτών αυτομάτων έναντι των γραμμικών καταχωρητών ολίσθησης είναι ότι εφόσον στα κυψελωτά αυτόματα κάθε κυψελίδα συνδέεται με τις γειτονικές της, δεν υπάρχουν μακρινές συνδέσεις οι οποίες να μειώνουν την ταχύτητα λειτουργίας της μονάδας, συνεπώς μπορούν να επιτευχθούν υψηλότερες ταχύτητες λειτουργίας. Στην ακόλουθη Εικόνα φαίνεται η γενική μορφή ενός κυψελωτού αυτόματου καθώς και οι κυψελίδες που υλοποιούν τους κανόνες 90 και 150.



Εικόνα: Κυψελωτό αυτόματο (α) Γενική Μορφή (β) Κανόνας 90 (γ) Κανόνας 150

Όπως έχει αναφερθεί, στην πράξη χρησιμοποιούνται οι ενσωματωμένες εκδόσεις των τεχνικών ενσωματωμένης αυτοδοκιμής με την έννοια ότι μονάδες που ενυπάρχουν στο κύκλωμα τροποποιούνται κατάλληλα ώστε να είναι σε θέση να παράγουν τα διανύσματα δοκιμής και/η να συμπίεσουν τις αποκρίσεις εξόδου.



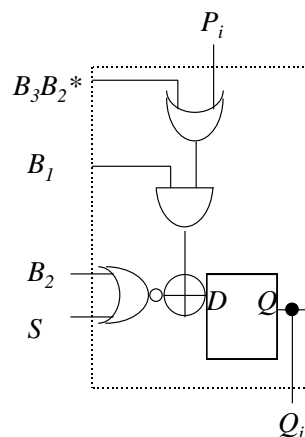
Εικόνα: Τεχνική Ενσωματωμένης παρατήρησης λογικών μπλοκς (BILBO)

Στην πράξη, η τροποποίηση υπάρχοντων καταχωρητών πραγματοποιείται με τη χρήση είτε της ενσωματωμένης παρατήρησης λογικών μπλοκς (Built-in Logic Block Observation, BILBO) είτε της ενσωματωμένης παρατήρησης με τη χρήση κυψελωτών αυτομάτων (Cellular Automata Logic Block Observation, CALBO). Οι τεχνικές αυτές περιγράφονται στη συνέχεια.

Στην ανωτέρω Εικόνα φαίνεται ένας καταχωρητής ο οποίος έχει τροποποιηθεί σύμφωνα με την τεχνική ενσωματωμένης παρατήρησης λογικών μπλοκς. Τα σήματα $B_1B_2B_3$ χρησιμοποιούνται σαν είσοδοι ελέγχου. Ένας καταχωρητής BILBO μπορεί να λειτουργήσει με ένα από τους τρόπους που φαίνονται στον επόμενο Πίνακα.

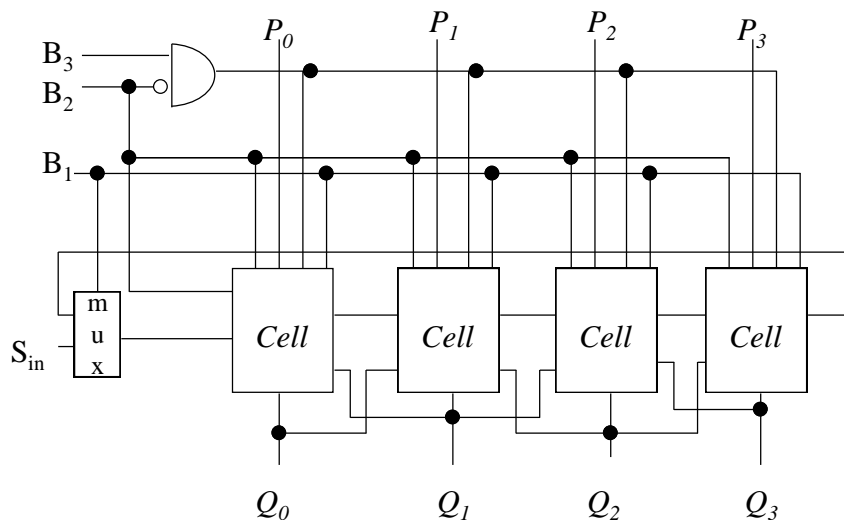
Πίνακας: Λειτουργία Τεχνικής BILBO

Operation	B1	B2	B3
Normal	1	1	0
Reset	0	1	0
Signature Analysis (MISR)	1	0	0
Pattern Generation (LFSR)	1	0	1
Scan	0	0	0



Εικόνα: Κυψελίδα τεχνικής BILBO

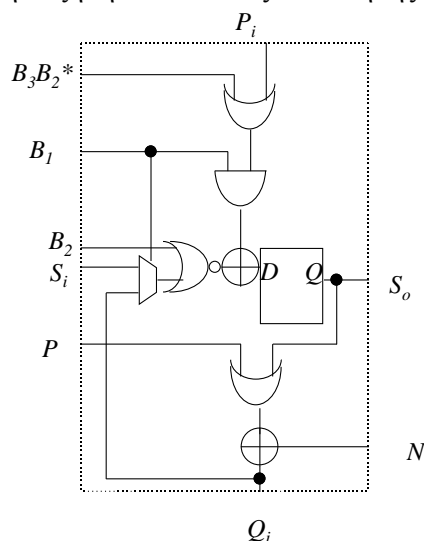
Το κόστος υλοποίησης της τεχνικής ενσωματωμένης παρατήρησης λογικών μπλοκς είναι 8 ισοδύναμες πύλες ανά flip flop. Επομένως το κόστος υλοποίησης του καταχωρητή αυξάνεται κατά 100%. Ακόμη λόγω της εισαγωγής των πυλών αυτών παρατηρείται μια μείωση στην ταχύτητα λειτουργίας του κυκλώματος.



Εικόνα: Ενσωματωμένη παρατήρηση με κυψελωτά αυτόματα (CALBO)

Στην ανωτέρω Εικόνα φαίνεται ένας καταχωρητής ο οποίος έχει τροποποιηθεί σύμφωνα με την τεχνική ενσωματωμένης παρατήρησης με τη χρήση κυψελωτών αυτομάτων (cellular Automata Logic Block Observation, CALBO). Η λειτουργία της τεχνικής είναι παρόμοια με τη λειτουργία της τεχνικής BILBO.

Με τη χρήση της τεχνικής CALBO το κόστος υλοποίησης του καταχωρητή αυξάνεται κατά 12 ισοδύναμες πύλες ανά flip flop, δηλαδή η αύξηση του κόστους υλοποίησης είναι 150%.



Εικόνα: Κυψελίδα CALBO

Όπως αναφέρθηκε στην αρχή του Κεφαλαίου, σημαντικότερα θέματα που πρέπει να αντιμετωπιστούν από μια τεχνική ενσωματωμένης αυτοδοκιμής είναι η παραγωγή των διανυσμάτων δοκιμής στις εισόδους της υπό έλεγχο μονάδας, και η συμπίεση των αποκρίσεων εξόδου. Στη συνέχεια περιγράφουμε τις τεχνικές που έχουν προταθεί για τη συμπίεση των διανυσμάτων εξόδου και την παραγωγή των διανυσμάτων δοκιμής για την ανίχνευση συνδυαστικών ελαττωμάτων.

17.6.2 Συμπίεση των αποκρίσεων εξόδου (Response Verification)

Όταν εφαρμόζεται στις εισόδους μιας μονάδας υπό έλεγχο μια ακολουθία διανυσμάτων εισόδου η ακολουθία διανυσμάτων εξόδου θα πρέπει να συγκριθεί με μια (αποθηκευμένη) ακολουθία διανυσμάτων εξόδου μιας μονάδας όμοιας με την υπό έλεγχο μονάδα, ελεύθερης ελαττωμάτων, και αν οι δύο ακολουθίες είναι ταυτοτικές τότε συμπεραίνουμε ότι κανένα ανιχνεύσιμο λάθος δεν έχει εμφανιστεί στις εξόδους της μονάδας υπό έλεγχο. Επειδή το μήκος της ακολουθίας εξόδου είναι μεγάλο χρησιμοποιούνται τεχνικές συμπίεσης της πληροφορίας στις οποίες η ακολουθία εξόδου συμπυκνώνεται σε μια λέξη μικρού μήκους που ονομάζεται υπογραφή (signature) και η υπογραφή της μονάδας υπό έλεγχο συγκρίνεται με μια προυπολογισμένη ορθή υπογραφή.

Μια τεχνική συμπίεσης θα πρέπει να υλοποιείται με απλό τρόπο ώστε να μπορεί να συμπεριληφθεί στο ολοκληρωμένο κύκλωμα. Επιπλέον, το μήκος της υπογραφής πρέπει να είναι λογαριθμική συνάρτηση του πλήθους των διανυσμάτων εξόδου, έτσι ώστε ο αναγκαίος χώρος αποθήκευσης να είναι ικανοποιητικά μικρός. Ακόμη, η ορθή υπογραφή πρέπει να είναι διαφορετική από την υπογραφή οποιασδήποτε ελαττωματικής μονάδας. Η τελευταία απαίτηση είναι αρκετά δύσκολο να ικανοποιηθεί (αν και αυτό είναι θεωρητικά εφικτό) εφόσον ένα ελάττωμα μπορεί να προκαλέσει ένα λάθος στην υπογραφή το οποίο να αντισταθμίζει κάποιο προηγούμενο λάθος και συνεπώς να περάσει απαρατήρητο. Το πρόβλημα αυτό είναι γνωστό σαν απόκρυψη λάθους (error masking) και η λανθασμένη απόκριση της εξόδου ονομάζεται ψευδώνυμο (alias) της ορθής απόκρισης εξόδου.

Η κάλυψη λαθών (error coverage) μιας τεχνικής συμπίεσης των αποκρίσεων εξόδου είναι το ποσοστό των λανθασμένων αποκρίσεων που δεν μπορούν να προκαλέσουν απόκρυψη και υπολογίζεται είτε με προσομοίωση, είτε με υπολογισμό του κλάσματος των λανθασμένων απαντήσεων που μπορούν να προκαλέσουν απόκρυψη. Για τον υπολογισμό του κλάσματος αυτού πρέπει να είναι γνωστή η κατανομή (distribution) των λανθασμένων αποκρίσεων. Επειδή η γνώση της κατανομής αυτής είναι δύσκολη,

συνήθως γίνεται κάποια υπόθεση σχετικά με την κατανομή των λανθασμένων αποκρίσεων εξόδου με τη βοήθεια της οποίας μπορεί εύκολα να υπολογιστεί η ασυμπτωτική πιθανότητα απόκρυψης (asymptotic aliasing probability) δηλαδή η πιθανότητα απόκρυψης λάθους μετά την εφαρμογή ικανοποιητικά μεγάλου πλήθους διανυσμάτων.

Οι τεχνικές συμπίεσης διακρίνονται σε εκείνες όπου η τελική υπογραφή εξαρτάται από τη σειρά των διανυσμάτων εισόδου (order-dependent signature analysis techniques) και σε εκείνες στις οποίες η τελική υπογραφή είναι ανεξάρτητη από τη σειρά εφαρμογής των διανυσμάτων (order-independent signature analysis techniques). Οι τεχνικές συμπίεσης μπορούν ακόμη να χωριστούν στις τεχνικές συμπίεσης για μονάδες υπό έλεγχο με μία έξοδο και τις τεχνικές συμπίεσης για μονάδες υπό έλεγχο με πολλές εξόδους. Στη συνέχεια θα αναφερθούμε στις τεχνικές που έχουν προταθεί για τη συμπίεση των αποκρίσεων εξόδου μονάδων υπό έλεγχο με πολλές εξόδους, οι οποίες χρησιμοποιούνται συχνότερα στην πράξη. Οι τεχνικές αυτές είναι η ανάλυση υπογραφής (signature analysis) και η συσσωρευτική συμπίεση (accumulator-based compression).

Η ανάλυση υπογραφής (Signature Analysis) πραγματοποιείται με τη βοήθεια ενός καταχωρητή ολίσθησης με γραμμική ανάδραση με πολλές εισόδους. Η υπογραφή είναι τα περιεχόμενα του καταχωρητή μετά τη δειγματοληψία και του τελευταίου διανύσματος εξόδου. Το ποσοστό των λανθασμένων ακολουθιών (error streams) που έχουν σωστή υπογραφή λόγω απόκρυψης είναι ανεξάρτητο της υπογραφής. Για μια ακολουθία ψηφίων δοκιμής μήκους m , υπάρχουν 2^m δυνατές ακολουθίες απόκρισης, μια από τις οποίες είναι η σωστή. Ένας καταχωρητής ολίσθησης με γραμμική ανάδραση κατανέμει ομοιόμορφα όλες τις πιθανές ακολουθίες εισόδου σε όλες τις δυνατές υπογραφές. Με άλλα λόγια, αν ο καταχωρητής ολίσθησης με γραμμική ανάδραση αποτελείται από n βαθμίδες, το πλήθος των ακολουθιών εισόδου που έχουν σαν αποτέλεσμα την ίδια υπογραφή είναι 2^{m-n} . Για οποιαδήποτε ορθή απόκριση υπάρχουν $2^{m-n}-1$ λανθασμένες αποκρίσεις με την ίδια υπογραφή. Εφόσον υπάρχουν συνολικά 2^{m-1} δυνατές λανθασμένες αποκρίσεις, αν όλες οι λανθασμένες αποκρίσεις είναι το ίδιο πιθανές, η πιθανότητα μια λανθασμένη απόκριση να προκαλέσει απόκρυψη είναι $P_{SA}(M,m,n)=(2^{m-n}-1)/(2^{m-1})\approx 2^{-n}$. Συνεπώς, η πιθανότητα να γίνει αντιληπτό ένα λάθος είναι $1-2^{-n}$ και είναι συνάρτηση μόνο του πλήθους των βαθμίδων του γραμμικού καταχωρητή ολίσθησης. Αυξάνοντας το πλήθος των βαθμίδων του καταχωρητή κατά ένα, η πιθανότητα απόκρυψης μειώνεται κατά δύο. Έτσι, ένας καταχωρητής ολίσθησης με γραμμική ανάδραση 16 βαθμίδων μπορεί να αναγνωρίσει $100 \times (1-2^{-16}) = 99.9984\%$ των λανθασμένων αποκρίσεων. Το αποτέλεσμα αυτό είναι ανεξάρτητο του χαρακτηριστικού πολυώνυμου του καταχωρητή ολίσθησης. Επειδή όμως μια εσφαλμένη ακολουθία εξόδου η οποία αντιστοιχεί σε ένα πολυώνυμο λάθους πολλαπλάσιο του $P(x)$, οδηγεί σε απόκρυψη, χρησιμοποιείται συνήθως ένα πολυώνυμο με πολύπλοκη επανατροφοδότηση προκειμένου να μειωθεί η πιθανότητα απόκρυψης. Για παράδειγμα, ο αναλυτής υπογραφής 16-βαθμίδων 5004A της εταιρείας Hewlett-Packard υλοποιεί το χαρακτηριστικό πολυώνυμο $P(x)=x^{16}+x^9+x^7+x^4+1$.

Οι Rajski και Tsyzer έδειξαν ότι ο συσσωρευτής (accumulator) μπορεί να χρησιμοποιηθεί αποτελεσματικά για τη συμπίεση των αποκρίσεων εξόδου. Η πιθανότητα απόκρυψης είναι της ίδιας τάξης μεγέθους με εκείνη των καταχωρητών ολίσθησης με πολλές εισόδους που υλοποιούν πρωτογενή πολυώνυμα. Η χρήση του συσσωρευτή για τη συμπίεση των αποκρίσεων εξόδου έχει το πλεονέκτημα ότι εφόσον ο συσσωρευτής αποτελεί πολύ συχνά τμήμα των λειτουργικών κυκλωμάτων, ειδικά σε κυκλώματα που περιέχουν διαδρόμους δεδομένων (datapaths) μπορεί να χρησιμοποιηθεί για τη συμπίεση των διανυσμάτων εξόδου χωρίς το επιπλέον κόστος υλοποίησης που απαιτείται στις τεχνικές BILBO και CALBO και το οποίο ξεπερνά το 100%. Έχει παρουσιαστεί επίσης μια βελτιωμένη τεχνική για τη συμπίεση των αποκρίσεων εξόδου, ο multiple-rotate-carry accumulator, η οποία όπως αποδεικνύεται παρουσιάζει πιθανότητα απόκρυψης πολύ κοντά στο 0.

Στην παρούσα παράγραφο έγινε μια παρουσίαση των τεχνικών που έχουν προταθεί για τη συμπίεση των διανυσμάτων εξόδου της μονάδας υπό έλεγχο σε περιβάλλον ενσωματωμένης αυτοδοκιμής. Παρουσιάστηκαν οι τεχνικές της ανάλυσης υπογραφής και της συμπίεσης με τη βοήθεια συσσωρευτή οι οποίες χρησιμοποιούνται ευρύτατα στην πράξη. Η κάλυψη λαθών στις τεχνικές αυτές πρακτικά υπερβαίνει το 99.99%, συνεπώς αποτελούν πρακτικές και υλοποιήσιμες λύσεις στο πρόβλημα της συμπίεσης των διανυσμάτων.

Ενα άλλο ερευνητικό θέμα σε περιβάλλον ενσωματωμένης αυτοδοκιμής είναι η παραγωγή των διανυσμάτων δοκιμής. Το πρόβλημα της παραγωγής διανυσμάτων δοκιμής έχει δύο κατευθύνσεις, ανάλογα με το εάν το υπό θεώρηση μοντέλο ελαττωμάτων είναι συνδυαστικό ή ακολουθιακό. Στην επόμενη παράγραφο θα παρουσιαστούν οι τεχνικές που έχουν προταθεί για την παραγωγή των διανυσμάτων δοκιμής για την ανίχνευση συνδυαστικών ελαττωμάτων.

17.6.3 Παραγωγή Διανυσμάτων Δοκιμής σε περιβάλλον ενσωματωμένης αυτοδοκιμής για την Ανίχνευση συνδυαστικών ελαττωμάτων

Οι μονάδες παραγωγής διανυσμάτων δοκιμής διακρίνονται σε δύο κατηγορίες, ανάλογα με το αν το υπό μελέτη μοντέλο ελαττωμάτων είναι συνδυαστικό ή ακολουθιακό. Εστω μια συνδυαστική μονάδα υπό έλεγχο με n εισόδους και m εξόδους. Ενα ελάττωμα είναι συνδυαστικό αν μπορεί να ανιχνευθεί με την εφαρμογή ενός διανύσματος δοκιμής n -ψηφίων στις εισόδους του κυκλώματος. Σε περιβάλλον ενσωματωμένης αυτοδοκιμής, η παραγωγή των διανυσμάτων δοκιμής για την ανίχνευση συνδυαστικών ελαττωμάτων πραγματοποιείται είτε εξαντλητικά, είτε ψευδοεξαντλητικά, είτε ψευδοτυχαία.

Κατά τον εξαντλητικό έλεγχο (exhaustive testing) μιας συνδυαστικής μονάδας υπό έλεγχο με n εισόδους, εφαρμόζονται όλοι οι 2^n δυνατοί συνδυασμοί διανυσμάτων στις εισόδους του μονάδας. Με τον τρόπο αυτό ανιχνεύονται όλα τα απλά και πολλαπλά συνδυαστικά ελαττώματα της μονάδας υπό έλεγχο. Με τον εξαντλητικό έλεγχο δεν απαιτείται εξαγωγή διανυσμάτων δοκιμής (test pattern generation) ούτε εξομοίωση ελαττωμάτων (fault simulation). Η μονάδα παραγωγής των διανυσμάτων δοκιμής μπορεί να υλοποιηθεί είτε σαν απεριθμητής είτε σαν καταχωρητής ολίσθησης με μή γραμμική ανάδραση, είτε σαν συσσωρευτής στις εισόδους του οποίου εφαρμόζεται ένα σταθερό διάνυσμα εισόδου.

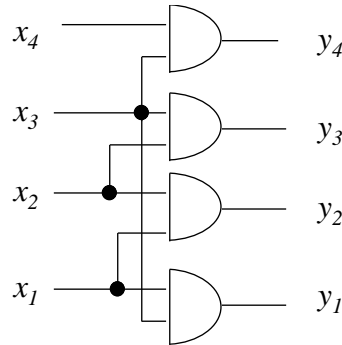
Ο εξαντλητικός έλεγχος δεν μπορεί να εφαρμοστεί σε μονάδες υπό έλεγχο με μεγάλο πλήθος εισόδων, λόγω του πλήθους των διανυσμάτων που απαιτούνται. Τυπικό όριο για το πλήθος των εισόδων είναι το 35 (για ένα κύκλωμα που λειτουργεί στα 100MHz η εφαρμογή όλων των δυνατών 2^{35} εισόδων απαιτεί $2^{35} \times 10^{-11} \text{ sec} = 32 \times 10^9 \times 10^{-11} \text{ sec} = 0.32 \text{ sec}$ που είναι ένα πάνω όριο για το χρόνο που μπορεί να αφιερωθεί για τον έλεγχο μιας μονάδας υπό έλεγχο).

Κατά τον ψευδοτυχαίο έλεγχο (pseudorandom testing) παράγονται και εφαρμόζονται στις εισόδους της μονάδας υπό έλεγχο διανύσματα δοκιμής που έχουν χαρακτηριστικά ψευδοτυχαίων διανυσμάτων. Το πλήθος των απαιτούμενων διανυσμάτων υπολογίζεται συνήθως με εξομοίωση ελαττωμάτων. Στην περίπτωση αυτή η διαδικασία ολοκληρώνεται όταν επιτευχθεί ικανοποιητικό ποσοστό κάλυψης ελαττωμάτων (συνήθως ένα ποσοστό κάλυψης ελαττωμάτων $>99\%$ θεωρείται ικανοποιητικό). Εναλλακτικά, το πλήθος των ψευδοτυχαίων διανυσμάτων που απαιτούνται προκειμένου να επιτευχθεί ικανοποιητική κάλυψη ελαττωμάτων μπορεί να υπολογιστεί από τη δομή της μονάδας υπό έλεγχο. Για την παραγωγή ψευδοτυχαίων διανυσμάτων ελέγχου έχουν χρησιμοποιηθεί καταχωρητές ολίσθησης, κυψελωτά αυτόματα, συσσωρευτές και καταχωρητές ολίσθησης με πολλές εισόδους.

Κατά τον έλεγχο μιας συνδυαστικής μονάδας υπό έλεγχο n εισόδων, είναι δυνατό διανύσματα δοκιμής να εφαρμοστούν σε m γραμμές, όπου $m < n$, και αυτές οι γραμμές ή γραμμικοί συνδυασμοί αυτών να οδηγήσουν τις υπόλοιπες $n-m$ γραμμές εισόδου της μονάδας υπό έλεγχο. Οι m αυτές γραμμές ονομάζονται γραμμές δοκιμής. Αυτή είναι η βασική ιδέα στον ψευδοεξαντλητικό έλεγχο (pseudoexhaustive testing). Ο ψευδοεξαντλητικός έλεγχος έχει τα πλεονεκτήματα του εξαντλητικού ελέγχου και απαιτεί λιγότερα διανύσματα δοκιμής. Κατά τον ψευδοεξαντλητικό έλεγχο η μονάδα υπό έλεγχο διαμερίζεται σε

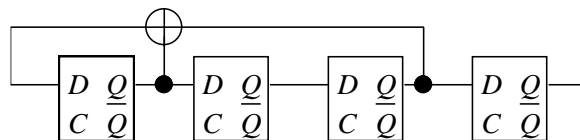
υπομονάδες που ονομάζονται τμήματα (segments). Τα τμήματα δεν είναι αναγκαστικά ξένα μεταξύ τους, με την έννοια ότι είναι δυνατό να υπάρχουν πύλες ή γραμμές της μονάδας υπό έλεγχο οι οποίες να ανήκουν σε παραπάνω από ένα τμήματα. Κατά τον ψευδοεξαντλητικό έλεγχο η λειτουργία κάθε τμήματος ελέγχεται εξαντλητικά, δηλαδή σε κάθε τμήμα k εισόδων εφαρμόζονται όλοι οι 2^k συνδυασμοί διανυσμάτων k ψηφίων.

Αν σε μια συνδυαστική μονάδα υπό δοκιμή με n εισόδους και m εξόδους το μεγαλύτερο πλήθος εισόδων από τις οποίες εξαρτάται μια έξοδος είναι w , όπου $w < n$, λέμε ότι η μονάδα αυτή είναι μια (n,w) -μονάδα υπό έλεγχο, με $w < n$. Στην επόμενη Εικόνα φαίνεται μια $(4,2)$ -μονάδα υπό έλεγχο.

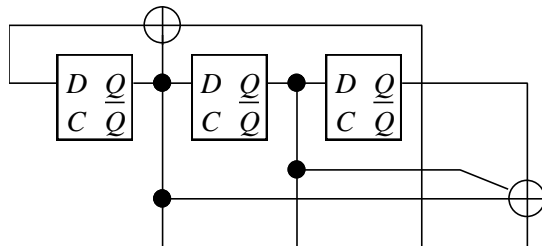


Εικόνα: $(4, 2)$ -μονάδα υπό έλεγχο

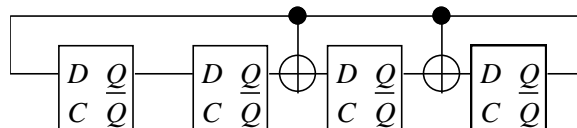
Έχουν προταθεί αρκετές τεχνικές για την παραγωγή ψευδοεξαντλητικών διανυσμάτων δοκιμής. Οι πιο γνωστές από τις τεχνικές αυτές είναι ο συνδυασμός καταχωρητή ολίσθησης με ανάδραση και καταχωρητή ολίσθησης, ο συνδυασμός καταχωρητή ολίσθησης με γραμμική ανάδραση και πυλών XOR, και ο συμπίεσμένος καταχωρητής ολίσθησης με γραμμική ανάδραση. Οι μονάδες παραγωγής διανυσμάτων δοκιμής κάθε μιας από τις τεχνικές αυτές για μια $(4,2)$ μονάδα υπό έλεγχο φαίνονται στις ακόλουθες Εικόνες.



Εικόνα: Καταχωρητής ολίσθησης με γραμμική ανάδραση



Εικόνα: Καταχωρητής ολίσθησης με γραμμική ανάδραση και πύλες XOR

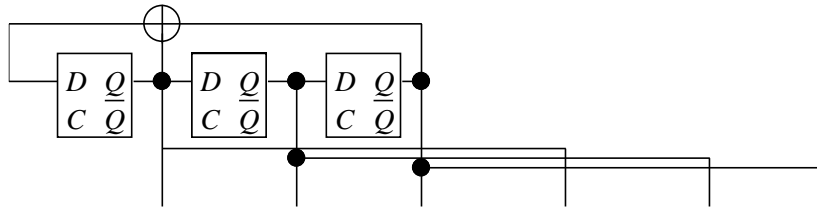


Εικόνα: Συμπίεσμένος καταχωρητής ολίσθησης με γραμμική ανάδραση

Ο ψευδοεξαντλητικός έλεγχος διαδοχικών ψηφίων (adjacent-bit pseudoexhaustive testing) αποτελεί μια ειδική περίπτωση ψευδοεξαντλητικού ελέγχου. Κατά τον (n,k) -ψευδοεξαντλητικό έλεγχο διαδοχικών ψηφίων παράγονται όλοι οι 2^k συνδυασμοί σε κάθε k διαδοχικά ψηφία εισόδου ($k < n$). Ο ψευδοεξαντλητικός έλεγχος διαδοχικών ψηφίων χρησιμοποιείται σε κυκλώματα τα οποία περιέχουν διαδρομές δεδομένων (datapaths) στα οποία από τη φύση τους οι φυσικά διαδοχικές γραμμές (physically adjacent

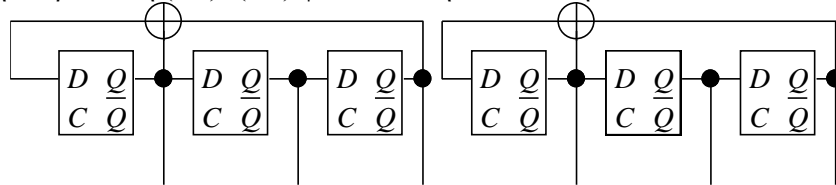
lines) σχηματίζουν κώνους λογικής. Ο ψευδοεξαντλητικός έλεγχος διαδοχικών ψηφίων μπορεί να πραγματοποιηθεί με διάφορους τρόπους.

Ο πιο απλός τρόπος είναι η χρήση ενός απαριθμητή ή γραμμικού καταχωρητή ολίσθησης με γραμμική ανάδραση ή γενικά οποιασδήποτε μονάδα παραγωγής εξαντλητικού ελέγχου k βαθμίδων η οποία τροφοδοτεί όλες τις εισόδους της υπό έλεγχο μονάδας. Η λύση αυτή για την περίπτωση που χρησιμοποιείται ένας καταχωρητής ολίσθησης με γραμμική ανάδραση φαίνεται στην επόμενη Εικόνα.



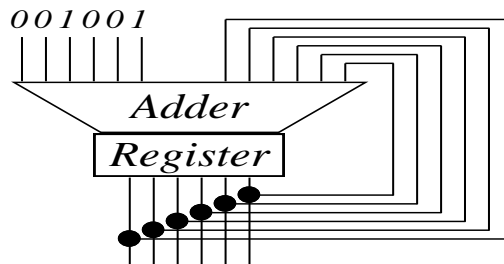
Εικόνα: Καταχωρητής ολίσθησης με γραμμική ανάδραση k βαθμίδων

Μια εναλλακτική λύση για την παραγωγή (n,k) -ψευδοεξαντλητικού ελέγχου διαδοχικών ψηφίων είναι η τροποποίηση του καταχωρητή εισόδου σε διαδοχικά LFSR k -βαθμίδων. Η λύση αυτή χρησιμοποιείται όταν στις εισόδους της υπό έλεγχο μονάδας υπάρχει ένας καταχωρητής n βαθμίδων, του οποίου την ορθή λειτουργία επιθυμούμε να ελέγξουμε ταυτόχρονα με την ορθή λειτουργία της υπό έλεγχο μονάδας. Η λύση αυτή για την περίπτωση $(n,k)=(6,3)$ φαίνεται στην ακόλουθη Εικόνα.



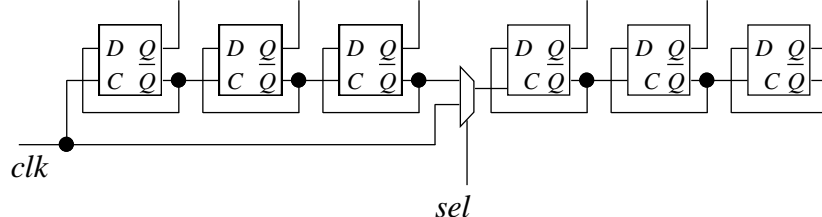
Εικόνα: Διαδοχικοί καταχωρητές ολίσθησης

Όταν στις εισόδους της υπό έλεγχο μονάδας ενυπάρχει ένας συσσωρευτής, πράγμα που, όπως έχει αναφερθεί, συμβαίνει συχνότατα σε κυκλώματα που περιέχουν διαδρόμους δεδομένων, ο συσσωρευτής εισόδου μπορεί να τροφοδοτηθεί από σταθερό διάνυσμα προκειμένου να παραχθεί ο (n,k) -ψευδοεξαντλητικός έλεγχος. Η λύση αυτή φαίνεται στην επόμενη Εικόνα.



Εικόνα: Συσσωρευτής με σταθερό διάνυσμα εισόδου

Μια ακόμη ιδέα είναι η χρήση του ψευδοεξαντλητικού απαριθμητή. Ο ψευδοεξαντλητικός απαριθμητής είναι ένας απαριθμητής του οποίου οι εισοδοί χρονισμού οδηγούνται από πολυπλέκτες με ειδικό σήμα select. Ο (n,k) -ψευδοεξαντλητικός απαριθμητής φαίνεται στην ακόλουθη Εικόνα για $(n,k)=(6,3)$.



Εικόνα: $(6,3)$ -ψευδοεξαντλητικός Απαριθμητής

Ένα πολύ ενδιαφέρον ερευνητικό θέμα που έχει παρουσιαστεί είναι ο αναδρομικός (n,k) -ψευδοεξαντλητικός έλεγχος διαδοχικών ψηφίων εισόδου. Με τον αναδρομικό (n,k) -ψευδοεξαντλητικό έλεγχο διαδοχικών ψηφίων, εφαρμόζονται αρχικά όλα τα διανύσματα δύο ψηφίων σε όλα τα διαδοχικά ζεύγη διανυσμάτων, στη συνέχεια εφαρμόζονται όλοι οι συνδυασμοί τριών ψηφίων σε όλες τις διαδοχικές ομάδες τριών ψηφίων, και τέλος εφαρμόζονται όλοι οι συνδυασμοί k -ψηφίων σε όλες τις διαδοχικές ομάδες k ψηφίων. Αποδεικνύεται ότι με τον αναδρομικό ψευδοεξαντλητικό έλεγχο επιτυγχάνεται γρηγορότερη κάλυψη ελαττωμάτων από ότι με τον απλό ψευδοεξαντλητικό έλεγχο. Σε επόμενη παράγραφο θα παρουσιάσουμε τον αναδρομικό (n,k) -ψευδοεξαντλητικό απαριθμητή και θα δείξουμε πώς μπορεί να χρησιμοποιηθεί για τον έλεγχο του ψευδοεξαντλητικού ελέγχου για την παραγωγή ζευγών διανυσμάτων δοκιμής.

17.6.4 Συμπεράσματα για τις τεχνικές ενσωματωμένης αυτοδοκιμής

Η βασική ιδέα στις τεχνικές ενσωματωμένης αυτοδοκιμής είναι η εισαγωγή μέσα στο ολοκληρωμένο κύκλωμα μονάδων που θα πραγματοποιήσουν τον έλεγχο. Οι τεχνικές ενσωματωμένης αυτοδοκιμής παρουσιάζουν μια σειρά από σημαντικά πλεονεκτήματα, και για το λόγο αυτό χρησιμοποιούνται σε πλήθος σύγχρονων ολοκληρωμένων κυκλωμάτων. Οι τεχνικές ενσωματωμένης αυτοδοκιμής διακρίνονται σε τεχνικές ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία και τεχνικές ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας ανάλογα με το αν ο έλεγχος μπορεί να πραγματοποιηθεί κατά τη διάρκεια της κανονικής λειτουργίας του κυκλώματος ή πρέπει, προκειμένου να πραγματοποιηθεί ο έλεγχος, η μονάδα υπό έλεγχο να τεθεί εκτός λειτουργίας.

Μια τεχνική ενσωματωμένης αυτοδοκιμής συνίσταται στο σχεδιασμό των μονάδων παραγωγής διανυσμάτων δοκιμής και των μονάδων συμπίεσης των αποκρίσεων εξόδου. Παρουσιάστηκαν τεχνικές που έχουν προταθεί για τη συμπίεση των αποκρίσεων της υπό έλεγχο μονάδας. Η πιθανότητα απόκρυψης, που είναι η πιθανότητα μια λανθασμένη ακολουθία εξόδου να δώσει ορθή υπογραφή προσεγγίζει το 2^{-m} , όπου m είναι το πλήθος των εξόδων της υπό έλεγχο μονάδας. Ο αριθμός αυτός δίνει πρακτικά αμελητέα πιθανότητα απόκρυψης σε πραγματικά ολοκληρωμένα κυκλώματα.

Οι μονάδες που έχουν προταθεί για την παραγωγή των διανυσμάτων δοκιμής στις εισόδους της υπό έλεγχο μονάδας, χωρίζονται, ανάλογα με το είδος του προς ανίχνευση μοντέλου ελαττωμάτων, σε μονάδες για την παραγωγή διανυσμάτων (one-pattern generators) και μονάδες για την παραγωγή ζευγών διανυσμάτων (two-pattern generators). Παρουσιάστηκαν οι τεχνικές που έχουν προταθεί για την παραγωγή διανυσμάτων δοκιμής. Οι τεχνικές που έχουν προταθεί για την παραγωγή ζευγών διανυσμάτων, αποτελούν το αντικείμενο επόμενων παραγράφων.

17.7 Ταυτόχρονη Ενσωματωμένη Αυτοδοκιμή με Παρακολούθηση των Διανυσμάτων Εισόδου

17.7.1 Ταυτόχρονη Ενσωματωμένη αυτοδοκιμή με παρακολούθηση Διανυσμάτων Εισόδου

Όπως έχει αναφερθεί, όταν μια μονάδα υπό δοκιμή ελέγχεται με τη βοήθεια μιας τεχνικής ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας, η μονάδα μπορεί να βρίσκεται σε μια από δύο καταστάσεις ή τρόπους λειτουργίας (modes) σε κανονική λειτουργία (normal mode) είτε σε λειτουργία ελέγχου (test mode). Κατά τη λειτουργία ελέγχου, η λειτουργία της μονάδας υπό έλεγχο αναστέλλεται, προκειμένου να εφαρμοστούν στις εισόδους της τα διανύσματα δοκιμής (τα οποία παράγονται από τη μονάδα παραγωγής διανυσμάτων δοκιμής) και να συμπειστούν οι αποκρίσεις της στη μονάδα συμπίεσης διανυσμάτων εξόδου.

Η λειτουργία ελέγχου χρησιμοποιείται κατά τη διάρκεια του ελέγχου στον τόπο παραγωγής (production testing). Όπως έχει αναφερθεί, εκτός από τον έλεγχο στον τόπο παραγωγής στα σύγχρονα κυκλώματα, ειδικά σε εκείνα των οποίων η ορθή λειτουργία είναι υψηλής κρισιμότητας, εφαρμόζεται περιοδικός έλεγχος (periodic testing) προκειμένου να αυξηθεί ο βαθμός της βεβαιότητας ότι το κύκλωμα λειτουργεί ορθά, δηλαδή να αυξηθεί η αξιοπιστία του συστήματος. Αν για τον περιοδικό έλεγχο χρησιμοποιηθεί μια τεχνική ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας, η απόδοση του κυκλώματος υποβαθμίζεται εφόσον κατά τη διάρκεια του ελέγχου κάποιες μονάδες υπό έλεγχο πρέπει να τεθούν εκτός λειτουργίας.

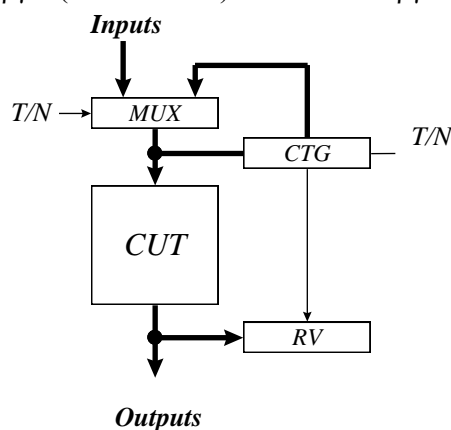
Στις τεχνικές ενσωματωμένης αυτοδοκιμής σε κανονική λειτουργία, ο έλεγχος της υπό έλεγχο μονάδας πραγματοποιείται κατά τη διάρκεια της λειτουργίας της. Κατά συνέπεια δεν υποβαθμίζεται η απόδοση του κυκλώματος (όπως συμβαίνει όταν εφαρμόζονται τεχνικές ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας). Επιπλέον, είναι δυνατή η ανίχνευση ελαττωμάτων τα οποία δεν είναι διαρκώς παρόντα στο κύκλωμα (temporary faults) και τα οποία αποτελούν την πλειοψηφία των ελαττωμάτων που εμφανίζονται στα ολοκληρωμένα κυκλώματα. Μέχρι σήμερα, οι τεχνικές ταυτόχρονης ενσωματωμένης αυτοδοκιμής εν λειτουργία χρησιμοποιούνταν μόνο σε εφαρμογές υψηλής κρισιμότητας (πχ. διαστημικές, πυρηνικές, στρατιωτικές) εξαιτίας του υψηλού κόστους υλοποίησής τους.

Με την αύξηση της κλίμακας ολοκλήρωσης των σύγχρονων κυκλωμάτων, υπάρχει, όπως έχει αναφερθεί, μια τάση να συμπεριληφθούν σε ένα ολοκληρωμένο κύκλωμα όσο το δυνατό περισσότερες από τις μονάδες που αποτελούν ένα ολοκληρωμένο σύστημα. Μονάδες που πολύ συχνά περιλαμβάνονται σε ολοκληρωμένα κυκλώματα είναι οι μνήμες ανάγνωσης-εγγραφής και οι μνήμες ανάγνωσης (Read Only Memories, ROMs). Οι μνήμες ROM αποτελούν κρισιμότητα τμήματα για τη λειτουργία των ολοκληρωμένων κυκλωμάτων. Συνεπώς, κατά τον έλεγχό τους πρέπει να επιτυγχάνεται υψηλή κάλυψη ελαττωμάτων. Ταυτόχρονα, ο χρόνος για τον οποίο μια μνήμη ROM μπορεί να τεθεί εκτός λειτουργίας προκειμένου να ελεγχθεί αποτελεί συχνά ένα πρόβλημα για τη λειτουργία όλου του συστήματος. Συνεπώς, η ταυτόχρονη αυτοδοκιμή αποτελεί ιδανική λύση για τον έλεγχο μονάδων ROM.

Η ταυτόχρονη αυτοδοκιμή μπορεί να πραγματοποιηθεί με τη χρήση αυτοελεγχόμενων μονάδων. Οι αυτοελεγχόμενες μονάδες υλοποιούνται με τη τεχνικές κωδικοποίησης (coding techniques) για παράδειγμα με διπλασιασμό και σύγκριση (duplication and comparison). Κύριο μειονέκτημα της χρήσης αυτοελεγχόμενων μονάδων είναι ότι ο χρόνος που απαιτείται για την ολοκλήρωση του ελέγχου δεν μπορεί να καθοριστεί, εφόσον δεν υπάρχει τρόπος να επιβεβαιωθεί ότι έχουν εμφανιστεί στις εισόδους της υπό έλεγχο μονάδας τα διανύσματα που μπορούν να χρησιμοποιηθούν για την ανίχνευση των επιθυμητών ελαττωμάτων. Επιπλέον, το κόστος υλοποίησής τους είναι τυπικά υψηλό (για παράδειγμα, στο διπλασιασμό και σύγκριση το κόστος υπερβαίνει το 100%).

Σα μια λύση στα προαναφερθέντα μειονεκτήματα, έχει προταθεί στη βιβλιογραφία μια κατηγορία τεχνικών ενσωματωμένης αυτοδοκιμής, οι τεχνικές ταυτόχρονης ενσωματωμένης αυτοδοκιμής με παρακολούθηση των διανυσμάτων εισόδου ή, πιο απλά τεχνικές ταυτόχρονης αυτοδοκιμής (input vector monitoring concurrent BIST, or Concurrent BIST techniques).

Το σχηματικό διάγραμμα μιας τεχνικής ταυτόχρονης Ενσωματωμένης Αυτοδοκιμής (Concurrent BIST technique) φαίνεται στην επόμενη Εικόνα. Αποτελείται από μια μονάδα ταυτόχρονης παραγωγής διανυσμάτων δοκιμής (Concurrent Test Generator, CTG), και μια μονάδα συμπίεσης των αποκρίσεων εξόδου της μονάδας υπό έλεγχο. Οι τεχνικές ταυτόχρονης ενσωματωμένης αυτοδοκιμής με παρακολούθηση των διανυσμάτων εισόδου που έχουν προταθεί στη βιβλιογραφία διαφέρουν στον τρόπο σχεδίασης της μονάδας ταυτόχρονης παραγωγής διανυσμάτων δοκιμής. Μια τεχνική ταυτόχρονης αυτοδοκιμής μπορεί να βρίσκεται είτε σε κανονική λειτουργία (normal mode) είτε σε λειτουργία ελέγχου (test mode).



Εικόνα: Ταυτόχρονη Ενσωματωμένη Αυτοδοκιμή με Παρακολούθηση Διανυσμάτων Εισόδου (Γενικό Σχημα)

Κατά τη διάρκεια της κανονικής λειτουργίας το διάνυσμα που φτάνει στις εισόδους της υπό έλεγχο μονάδας συγκρίνεται με ένα σύνολο διανυσμάτων, το οποίο ονομάζεται σύνολο ενεργών διανυσμάτων (Active Test Set, ATS). Στην περίπτωση που το διάνυσμα εισόδου ταυτίζεται με κάποιο από τα διανύσματα που ανήκουν στο σύνολο ενεργών διανυσμάτων, λέμε ότι συνέβη μια επιτυχία (hit) ή ότι το διάνυσμα εισόδου πέτυχε. Στην περίπτωση αυτή το διάνυσμα που πέτυχε αφαιρείται από το σύνολο ενεργών διανυσμάτων και ενεργοποιείται η μονάδα συμπίεσης αποκρίσεων εξόδου προκειμένου να συμπεσθεί η απόκριση της μονάδας υπό έλεγχο στο διάνυσμα εισόδου. Σαν αποτυχία (miss) ορίζεται η κατάσταση κατά την οποία το διάνυσμα εισόδου δεν ανήκει στο σύνολο ενεργών διανυσμάτων. Όταν όλα τα διανύσματα που ανήκουν στο σύνολο ενεργών διανυσμάτων έχουν εμφανιστεί στις εισόδους της μονάδας υπό έλεγχο, εξετάζεται η συμπίεσμένη υπογραφή και αποφασίζεται αν έχει εμφανιστεί λάθος.

Κατά τη διάρκεια της λειτουργίας ελέγχου, στις εισόδους του κυκλώματος εφαρμόζονται τα διανύσματα που παράγονται από τη μονάδα ταυτόχρονης παραγωγής διανυσμάτων δοκιμής ενώ οι αποκρίσεις της μονάδας υπό έλεγχο οδηγούνται στη μονάδα συμπίεσης των αποκρίσεων εξόδου. Η λειτουργία ελέγχου χρησιμοποιείται κατά τον έλεγχο στον τόπο λειτουργίας (production testing).

Οι τεχνικές ταυτόχρονης αυτοδοκιμής υλοποιούνται με απλό τρόπο και παρουσιάζουν υψηλή κάλυψη ελαττωμάτων σε συνδυασμό με χαμηλό κόστος υλοποίησης. Επιπλέον, μπορούν να εφαρμοστούν σε οποιαδήποτε συνδυαστική μονάδα υπό έλεγχο χωρίς επανασχεδιασμό της μονάδας και χωρίς κωδικοποίηση των διανυσμάτων εισόδου. Το πλεονέκτημα αυτό είναι σημαντικό εφόσον τα σύγχρονα κυκλώματα σχεδιάζονται προσεκτικά προκειμένου να ελαχιστοποιηθεί το κόστος υλοποίησης και να μεγιστοποιηθούν οι ταχύτητες λειτουργίας. Η ανάγκη για επανασχεδιασμό της μονάδας υπό έλεγχο που απαιτούν κάποιες από τις τεχνικές ταυτόχρονης αυτοδοκιμής επιδρά αρνητικά στους δύο αυτούς παράγοντες.

Επιπλέον, σε αντίθεση με τις τεχνικές κωδικοποίησης, το κόστος υλοποίησης των τεχνικών ταυτόχρονης ενσωματωμένης αυτοδοκιμής με παρακολούθηση των διανυσμάτων είναι χαμηλό. Πιο συγκεκριμένα, στην περίπτωση των μονάδων ROM που εξετάστηκαν πειραματικά, το ποσοστιαίο κόστος υλοποίησης παρέμεινε κάτω από το γενικά αποδεκτό όριο του 10-15%.

Εφόσον ο έλεγχος πραγματοποιείται κατά τη διάρκεια της κανονικής λειτουργίας του κυκλώματος, περισσότερα διανύσματα δοκιμής μπορούν να εφαρμοστούν, και συνεπώς να επιτευχθεί υψηλότερη κάλυψη ελαττωμάτων. Στην πράξη, η κάλυψη ελαττωμάτων που επιτυγχάνεται για μόνιμα απλά και πολλαπλά συνδυαστικά ελαττώματα είναι 100%.

Από την παραπάνω συζήτηση, φαίνεται ότι οι τεχνικές ταυτόχρονης ενσωματωμένης αυτοδοκιμής με παρακολούθηση των διανυσμάτων εισόδου, επιλύουν προβλήματα που εμφανίζονται τόσο στις τεχνικές ενσωματωμένης σε κανονική λειτουργία όσο και στις τεχνικές ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας, και για το λόγο αυτό το πρακτικό τους ενδιαφέρον αναμένεται να αυξηθεί όσο αυξάνονται οι απαιτήσεις για υψηλή αξιοπιστία σε συνδυασμό με χαμηλό κόστος υλοποίησης.

Μια τεχνική ταυτόχρονης ενσωματωμένης αυτοδοκιμής αξιολογείται σύμφωνα με το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου. Για το χρόνο αυτό δίνουμε τον ακόλουθο ορισμό.

Χρόνος Ολοκλήρωσης Αυτοδοκιμής (Concurrent Test Latency, CTL) με πιθανότητα a , είναι ο χρόνος (μετρημένος σε κύκλους ρολογιού) που απαιτείται ώστε όλα τα διανύσματα που ανήκουν στο σύνολο δοκιμής να έχουν μια επιτυχία με πιθανότητα a κατά τη διάρκεια της κανονικής λειτουργίας του κυκλώματος.

Στην πράξη, αυτό που ενδιαφέρει είναι ο μέσος χρόνος που απαιτείται για την ολοκλήρωση του σύγχρονου ελέγχου. Ο μέσος αυτός χρόνος αντιστοιχεί στον παραπάνω ορισμό σε πιθανότητα $a=0.5$. Αξίζει να σημειωθεί ότι για τιμές του a μέχρι 0.99 ο χρόνος ταυτόχρονης δοκιμής δεν διαφέρει περισσότερο από 5% από τη μέση τιμή του (που αντιστοιχεί σε $a=0.5$). Εφόσον το κύκλωμα βρίσκεται

σε κανονική λειτουργία, τα διανύσματα που φτάνουν στις εισόδους της μονάδας υπό έλεγχο δεν είναι εκ των προτέρων γνωστά. Για το λόγο αυτό, ο χρόνος ολοκλήρωσης αυτοδοκιμής υπολογίζεται πιθανοθεωρητικά. Για να υπολογίσουμε το χρόνο αυτό υποθέτουμε ότι κατά τη διάρκεια της κανονικής λειτουργίας του κυκλώματος, όλα τα διανύσματα εισόδου είναι το ίδιο πιθανό να εμφανιστούν στις εισόδους της μονάδας υπό έλεγχο και ότι η πιθανότητα εμφάνισης ενός διανύσματος στις εισόδους της μονάδας υπό έλεγχο είναι ανεξάρτητη από την εμφάνιση οποιουδήποτε άλλου διανύσματος. Παρόλο που δεν έχει αποδειχθεί ότι οι υποθέσεις αυτές ισχύουν σε πραγματικά περιβάλλοντα, στη βιβλιογραφία δεν έχει προταθεί κάποιο διαφορετικό μοντέλο για την πιθανότητα εμφάνισης των διανυσμάτων εισόδου.

Στη συνέχεια θα συμβολίζουμε με n το πλήθος των εισόδων και με m το πλήθος των εξόδων της μονάδας υπό έλεγχο. Το πλήθος των διανυσμάτων εισόδου είναι $N=2^n$. Προκειμένου να ελεγχθεί η υπό έλεγχο μονάδα, όλα τα N διανύσματα εισόδου θα εμφανιστούν στις εισόδους της μονάδας, δηλαδή η μονάδα ελέγχεται εξαντλητικά. Όπως έχει αναφερθεί, κατά τον εξαντλητικό έλεγχο ανιχνεύονται όλα τα απλά και πολλαπλά συνδυαστικά ελαττώματα, χωρίς να απαιτείται η εξαγωγή διανυσμάτων δοκιμής ή η προσομοίωση ελαττωμάτων.

Ο υπολογισμός του χρόνου ολοκλήρωσης αυτοδοκιμής για μια τεχνική ταυτόχρονης αυτοδοκιμής μπορεί να γίνει είτε αναλυτικά, είτε με προσομοίωση της τεχνικής με τη βοήθεια ηλεκτρονικού υπολογιστή. Κατά την προσομοίωση, παράγονται τυχαίοι αριθμοί μεταξύ του 0 και του $N-1$. Κάθε αριθμός αντιστοιχεί σε ένα διάνυσμα που εφαρμόζεται στις εισόδους της μονάδας υπό δοκιμή κατά τη διάρκεια της κανονικής λειτουργίας. Για κάθε διάνυσμα που εμφανίζεται στις εισόδους της μονάδας υπό έλεγχο εξετάζουμε αν ανήκει στο σύνολο ενεργών διανυσμάτων. Στην περίπτωση αυτή, λέμε ότι έχει συμβεί μια επιτυχία (hit). Το σύνολο ενεργών διανυσμάτων τροποποιείται (adjusted) κατάλληλα και αυξάνεται το πλήθος των επιτυχιών κατά ένα. Όταν έχουν πραγματοποιηθεί N επιτυχίες όλα τα διανύσματα εισόδου έχουν επιτύχει και η ταυτόχρονη αυτοδοκιμή έχει ολοκληρωθεί. Ο παραπάνω αλγόριθμος δίνεται στη συνέχεια με μορφή ψευδοκώδικα. Η συνάρτηση CTL (Concurrent Test Latency) επιστρέφει το πλήθος των προσπαθειών που απαιτούνται προκειμένου να ολοκληρωθεί η ταυτόχρονη αυτοδοκιμή.

```
int CTL (n) {
    N=2n;
    ATS=initialize();
    Tries=0;
    numofhit=0;
    do{
        V=rand(0, N-1);
        Tries++;
        if hit(V) {
            numofhit++;
            adjust(ATS);
        }
    }until numofhit=N;
    return(Tries)
}
```

Αλγόριθμος: Υπολογισμός χρόνου ολοκλήρωσης Αυτοδοκιμής για τις τεχνικές Ταυτόχρονης ενσωματωμένης αυτοδοκιμής με παρακολούθηση των διανυσμάτων εισόδου (Γενικό Σχήμα)

Στον ψευδοκώδικα, η συνάρτηση rand() επιστρέφει ένα τυχαίο αριθμό μεταξύ του 0 και του $N-1$. Η συνάρτηση initialize() αρχικοποιεί τη μονάδα ταυτόχρονης παραγωγής διανυσμάτων δοκιμής, ενώ η συνάρτηση adjust() τροποποιεί το σύνολο ενεργών διανυσμάτων. Η υλοποίηση των συναρτήσεων initialize() και adjust() εξαρτώνται από τη μονάδα ταυτόχρονης παραγωγής διανυσμάτων δοκιμής και συνεπώς είναι διαφορετικές για κάθε μια από τις τεχνικές που έχουν προταθεί.

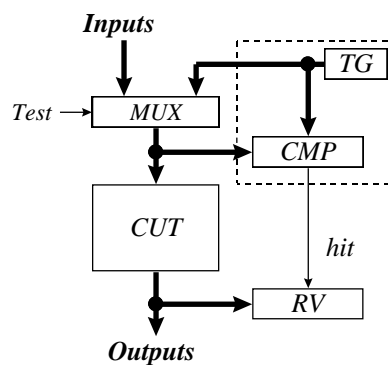
Στην επόμενη παράγραφο θα παρουσιαστούν οι τεχνικές ταυτόχρονης αυτοδοκιμής που έχουν προταθεί στη διεθνή βιβλιογραφία. Στη συνέχεια, θα παρουσιαστούν δύο νέες τεχνικές ταυτόχρονης αυτοδοκιμής.

Στις συγκρίσεις που θα γίνουν ανάμεσα στις διάφορες τεχνικές, θα δειχθεί ότι οι τεχνικές που προτείνονται είναι πιο αποδοτικές από τις ήδη υπάρχουσες όσον αφορά το κόστος υλοποίησης και το χρόνο ολοκλήρωσης της αυτοδοκιμής. Τέλος θα μελετηθεί η εφαρμογή των προτεινόμενων τεχνικών στην ταυτόχρονη αυτοδοκιμή μνημών ROM. Στο σημείο αυτό θα φανεί και η πρακτική τους χρησιμότητα.

17.7.2 Τεχνικές Σύγχρονης Ενσωματωμένης αυτοδοκιμής με παρατήρηση Διανυσμάτων Εισόδου-Βιβλιογραφική Επισκόπηση

Στην παράγραφο αυτή θα παρουσιαστούν οι τεχνικές ταυτόχρονης ενσωματωμένης αυτοδοκιμής που έχουν προταθεί στη διεθνή βιβλιογραφία. Για κάθε τεχνική θα παρουσιαστεί η υλοποίηση της μονάδας παραγωγής διανυσμάτων δοκιμής, ο χρόνος ολοκλήρωσης του ελέγχου και το κόστος υλοποίησης. Στη συνέχεια θα υπολογίσουμε το κόστος υλοποίησης σε ισοδύναμες πύλες. Μια πύλη AND/OR n εισόδων είναι n ισοδύναμες πύλες, ένα flip flop τύπου D με reset είναι 8 ισοδύναμες πύλες, μια πύλη XOR δύο εισόδων είναι 4 ισοδύναμες πύλες, και ένας πολυπλέκτης δύο-σε-ένα είναι 3 ισοδύναμες πύλες.

Η πρώτη τεχνική ταυτόχρονης ενσωματωμένης αυτοδοκιμής που προτάθηκε ήταν η τεχνική Comparative Concurrent BIST (C-BIST). Η μονάδα ταυτόχρονης παραγωγής διανυσμάτων δοκιμής που χρησιμοποιείται στην τεχνική C-BIST αποτελείται από μια μονάδα παραγωγής των διανυσμάτων δοκιμής (ένα καταχωρητή ολίσθησης με μή γραμμική ανάδραση ή ένα απαριθμητή) και ένα συγκριτή. Κατά τη διάρκεια της κανονικής λειτουργίας οι εξόδοι της μονάδας παραγωγής διανυσμάτων δοκιμής συγκρίνονται με το διάνυσμα που εφαρμόζεται στις εισόδους της μονάδας υπό δοκιμή.



Εικόνα: Η τεχνική C-BIST

Αν τα δύο διανύσματα είναι ίσα, τότε το διάνυσμα εισόδου έχει πετύχει και ενεργοποιείται από το συγκριτή το σήμα hit το οποίο ενεργοποιεί τη μονάδα συμπίεσης των αποκρίσεων εξόδου (η οποία μπορεί να υλοποιηθεί σαν γραμμικός καταχωρητής ανάδρασης με πολλές εισόδους) ώστε να συμπίσει την απόκριση της μονάδας υπό έλεγχο στο διάνυσμα εισόδου. Το σήμα hit ενεργοποιεί ακόμη τη μονάδα παραγωγής διανυσμάτων δοκιμής ώστε στις εξόδους της να εμφανιστεί το επόμενο ενεργό διάνυσμα δοκιμής. Συνεπώς, στην τεχνική C-BIST το σύνολο ενεργών διανυσμάτων αποτελείται από ένα ενεργό διάνυσμα, που είναι ίσο με το περιεχόμενο της μονάδας παραγωγής διανυσμάτων δοκιμής.

Για την υλοποίηση της μονάδας παραγωγής διανυσμάτων δοκιμής απαιτούνται n flip flops τύπου D, ενώ για το συγκριτή απαιτούνται n πύλες XOR δύο εισόδων. Η μονάδα συμπίεσης των αποκρίσεων εξόδου μπορεί να υλοποιηθεί σαν καταχωρητής ολίσθησης με πολλές εισόδους και απαιτεί m flip flops τύπου D και m πύλες XOR δύο εισόδων. Συνεπώς, το κόστος υλοποίησης δίνεται από τον τύπο

$$HO_C(n,m) = n \times \text{MUX} + n \times \text{DFF} + n \times \text{XOR} + m \times \text{DFF} + m \times \text{XOR}$$

Εκφρασμένο σε ισοδύναμες πύλες το κόστος δίνεται από τον τύπο:

$$HO_C(n,m) = 15 \times n + 12 \times m$$

Προκειμένου να υπολογιστεί ο χρόνος ολοκλήρωσης αυτοδοκιμής, εργαζόμαστε ως ακολούθως. Η πιθανότητα επιτυχίας p είναι ίδια σε κάθε κύκλο ρολογιού και ανεξάρτητη από το ενεργό διάνυσμα. Έτσι, ο ταυτόχρονος έλεγχος μπορεί να ειδωθεί σαν ένα πείραμα αποτελούμενο από ανεξάρτητες δοκιμές Bernoulli, με πιθανότητα επιτυχίας $p=1/N$, όπου $N=2^n$ και πιθανότητα αποτυχίας $q=1-p=1-1/N$. Ο ταυτόχρονος έλεγχος θα έχει ολοκληρωθεί αν σε L συνολικά προσπάθειες έχουμε N επιτυχίες. Γενικά, η πιθανότητα να έχουμε ακριβώς k επιτυχίες σε L προσπάθειες δίνεται από την ποσότητα $\binom{L}{k} p^k q^{L-k}$. Έτσι, η πιθανότητα να μην έχει ολοκληρωθεί ο έλεγχος μέσα σε L κύκλους (Probability Test Incomplete, P_{TI}) είναι

$$P_{TI} = \sum_{k=0}^{N-1} \binom{L}{k} p^k q^{L-k}$$

Συνεπώς, η πιθανότητα να έχει ολοκληρωθεί ο έλεγχος (Probability Test Complete, P_{TC}) είναι $P_{TC}=1-P_{TI}$. Για να υπολογιστεί ο χρόνος ολοκλήρωσης αυτοδοκιμής για ορισμένη τιμή του a θα έπρεπε να υπολογιστεί ο παραπάνω τύπος για όλες τις τιμές του L από 0 μέχρι μια τιμή για την οποία θα ίσχυε $a < P_{TC}$. Ο υπολογισμός αυτός είναι ιδιαίτερα χρονοβόρος. Για το λόγο αυτό ο χρόνος ολοκλήρωσης αυτοδοκιμής της τεχνικής C-BIST υπολογίζεται προσεγγιστικά ως εξής. Η πιθανότητα το διάνυσμα εισόδου να συμπίπτει με το ενεργό διάνυσμα εισόδου είναι $1/N$. Κατά συνέπεια ο μέσος χρόνος μεταξύ δύο διαδοχικών επιτυχιών είναι N κύκλοι ρολογιού. Για να επιτύχουν όλα τα N διανύσματα, απαιτούνται κατά μέσο όρο $N \times N = N^2$ κύκλοι ρολογιού, επομένως

$$t_c(n) = N \times N = N^2 = 2^{2n}$$

Για τον υπολογισμό του χρόνου ολοκλήρωσης αυτοδοκιμής με προσομοίωση, θεωρούμε ότι η μονάδα παραγωγής διανυσμάτων δοκιμής είναι ένας απεριθμητής. Η χρήση απεριθμητή ως μονάδα παραγωγής διανυσμάτων δοκιμής δεν έχει καμία επίδραση στη γενικότητα της ρουτίνας, επειδή στον εξαντλητικό έλεγχο, η χρήση απεριθμητή είναι ισοδύναμη με τη χρήση οποιασδήποτε άλλης τεχνικής, για παράδειγμα καταχωρητή ολίσθησης με μή γραμμική ανάδραση. Η ρουτίνα προσομοίωσης της τεχνικής C-BIST υλοποιείται ως εξής.

```
int CTL (n) {
    N=2n;
    Counter=0;
    Tries=0;
    numofhit=0;
    do{
        V=rand(0, N-1);
        Tries++;
        if (V=Counter) {
            numofhit++;
            Counter++;
        }
    }until numofhit=N;
    return(Tries)
}
```

Αλγόριθμος: Υπολογισμός χρόνου Ολοκλήρωσης Αυτοδοκιμής για την τεχνική CBIST

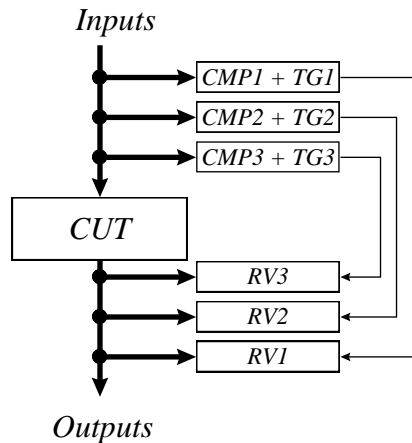
Στον επόμενο Πίνακα φαίνεται ο χρόνος ολοκλήρωσης αυτοδοκιμής της τεχνικής για διάφορες τιμές του πλήθους των εισόδων της μονάδας υπό δοκιμή. Στον Πίνακα φαίνονται τόσο τα αποτελέσματα των υπολογισμών όσο και τα αποτελέσματα της προσομοίωσης. Η τεχνική C-BIST έχει χαμηλό κόστος υλοποίησης, αλλά ο χρόνος ολοκλήρωσης της δοκιμής αυξάνεται όσο αυξάνεται το πλήθος των εισόδων της μονάδας υπό έλεγχο.

Πίνακας: Χρόνος Ολοκλήρωσης Αυτοδοκιμής για την τεχνική C-BIST

n	Αναλυτικές Τιμές	Προσομοιώσεις
10	1.048.576	1.141.548
11	4.194.304	4.204.714
12	16.777.216	16.684.258
13	67.108.864	67.105.748
14	268.435.456	268.581.958
15	1.073.741.824	1.074.748.152
16	4.294.967.296	4.285.145.468
17	17.179.869.184	17.180.759.158
18	68.719.476.736	68.720.457.451
19	274.877.906.944	274.880.457.157
20	1.099.511.627.776	1.090.154.547.652

Μια λύση στο παραπάνω πρόβλημα θα ήταν η χρήση ενός μικτού σχήματος, σύμφωνα με το οποίο αν ο χρόνος ολοκλήρωσης αυτοδοκιμής υπερβεί κάποιο όριο, απενεργοποιείται η λειτουργία της υπό έλεγχο μονάδας και εφαρμόζονται τα διανύσματα ελέγχου εκτός κανονικής λειτουργίας, με τη λύση αυτή όμως υποβαθμίζεται η απόδοση του κυκλώματος. Για το λόγο αυτό προτάθηκαν οι τεχνικές Multiple Hardware Signature Analysis Technique (MHSAT) και Order Independent Signature Analysis Technique (OISAT). Στις τεχνικές αυτές ο χρόνος ολοκλήρωσης της αυτοδοκιμής είναι μικρότερος, επειδή η πιθανότητα επιτυχίας για κάθε διάνυσμα που φτάνει στις εισόδους της μονάδας υπό έλεγχο είναι μεγαλύτερη (αυξάνοντας τον πληθώρα του συνόλου ενεργών διανυσμάτων). Κατά συνέπεια, η ταυτόχρονη αυτοδοκιμή ολοκληρώνεται πιο γρήγορα.

Στην τεχνική Multiple Hardware Signature Analysis Technique (MHSAT) χρησιμοποιούνται K μονάδες ταυτόχρονης παραγωγής διανυσμάτων δοκιμής (κάθε μία από τις οποίες αποτελείται από μια μονάδα παραγωγής διανυσμάτων δοκιμής και ένα συγκριτή). Σε κάθε μονάδα ταυτόχρονης παραγωγής διανυσμάτων δοκιμής αντιστοιχεί μια μονάδα συμπίεσης των αποκρίσεων εξόδου. Οι μονάδες παραγωγής διανυσμάτων δοκιμής είναι σχεδιασμένες έτσι ώστε ανά δύο να μην παράγουν το ίδιο διάνυσμα. Αυτές οι μονάδες παραγωγής διανυσμάτων δοκιμής ονομάζονται ορθογώνιες (orthogonal). Η υλοποίηση ορθογώνιων μονάδων παραγωγής διανυσμάτων δοκιμής επιτυγχάνεται με κατάλληλη αρχικοποίηση της ίδιας μονάδας παραγωγής διανυσμάτων δοκιμής. Στην τεχνική MHSAT το σύνολο των ενεργών διανυσμάτων αποτελείται από την ένωση των διανυσμάτων εξόδου των μονάδων παραγωγής των διανυσμάτων δοκιμής.



Εικόνα: Η τεχνική MHSAT

Ας θεωρήσουμε ότι η τεχνική MHSAT χρησιμοποιείται για την ταυτόχρονη αυτοδοκιμή μιας μονάδας υπό έλεγχο με n εισόδους και m εξόδους χρησιμοποιώντας K μονάδες παραγωγής διανυσμάτων δοκιμής (υλοποιημένες σαν απαριθμητές) και K μονάδες συμπίεσης των αποκρίσεων (υλοποιημένες σαν καταχωρητές ολίσθησης με πολλές εισόδους). Για κάθε μονάδα παραγωγής διανυσμάτων δοκιμής απαιτούνται n DFF, για κάθε συγκριτή απαιτούνται n πύλες XOR, ενώ για κάθε καταχωρητή ολίσθησης πολλών εισόδων απαιτούνται m DFF και m πύλες XOR δύο εισόδων. Συνεπώς, το κόστος υλοποίησης της τεχνικής δίνεται από τον τύπο

$$HO_M(n, m, K) = K \times n \times DFF + K \times n \times XOR + K \times n \times MUX + K \times m \times DFF + K \times m \times XOR$$

Το κόστος υλοποίησης σε ισοδύναμες πύλες δίνεται από τον ακόλουθο τύπο:

$$HO_M(n, m, K) = K \times n \times 15 + K \times m \times 12$$

Στον επόμενο Πίνακα δίνουμε το κόστος υλοποίησης της τεχνικής MHSAT σε ισοδύναμες πύλες για διάφορες τιμές του πλήθους των εισόδων και εξόδων της μονάδας υπό έλεγχο.

Δεν έχει αναφερθεί τρόπος αναλυτικού υπολογισμού του χρόνου ολοκλήρωσης αυτοδοκιμής για την τεχνική MHSAT. Για το λόγο αυτό, παρουσιάζουμε ένα τρόπο προσεγγιστικού υπολογισμού. Αν το πλήθος των δυνατών διανυσμάτων είναι N και το πλήθος των μονάδων ταυτόχρονης παραγωγής διανυσμάτων είναι K , η πιθανότητα επιτυχίας είναι K/N . Κατά συνέπεια, ο μέσος αριθμός κύκλων μέχρι να συμβεί μια επιτυχία κατά τη διάρκεια της κανονικής λειτουργίας, είναι N/K . Ο μέσος αριθμός των κύκλων που πρέπει να περιμένει κανείς προκειμένου να συμβούν N επιτυχίες είναι $N \times N/K = N^2/K$. Η προσέγγιση αυτή είναι ικανοποιητική όταν $K \ll N$. Για τιμές του K μέχρι 32 η παραπάνω προσέγγιση είναι αρκετά ικανοποιητική.

Πίνακας: Κόστος υλοποίησης της τεχνικής MHSAT σε Ισοδύναμες Πύλες

n	m	K				
		2	4	8	16	32
10	8	492	984	1968	3936	7872
10	16	684	1368	2736	5472	10944
10	32	1068	2136	4272	8544	17088
12	8	552	1104	2208	4416	8832
12	16	744	1488	2976	5952	11904
12	32	1128	2256	4512	9024	18048
14	8	612	1224	2448	4896	9792
14	16	804	1608	3216	6432	12864
14	32	1188	2376	4752	9504	19008
16	8	672	1344	2688	5376	10752
16	16	864	1728	3456	6912	13824
16	32	1248	2496	4992	9984	19968
18	8	732	1464	2928	5856	11712
18	16	924	1848	3696	7392	14784
18	32	1308	2616	5232	10464	20928
20	8	792	1584	3168	6336	12672
20	16	984	1968	3936	7872	15744
20	32	1368	2736	5472	10944	21888

Για να υπολογίσουμε το χρόνο ολοκλήρωσης αυτοδοκιμής με προσομοίωση της λειτουργίας θεωρούμε ότι οι μονάδες παραγωγής διανυσμάτων υλοποιούνται σαν απαριθμητές. Η τεχνική MHSAT προσομοιώνεται με τη ρουτίνα που δίνουμε στη συνέχεια.

```
int CTL (n) {
    N=2n;
    for i=0 to K-1 Counter(i)=(N/K)× i;
    Tries=0;      numofhit=0;
    do{
        V=rand(0, N-1);
        Tries++;
        for i=0 to K-1
            if Counter (i)=V {
                Counter(i)=Counter(i)+1; numofhit++; }
        }until numofhit=N;
    return(Tries)
}
```

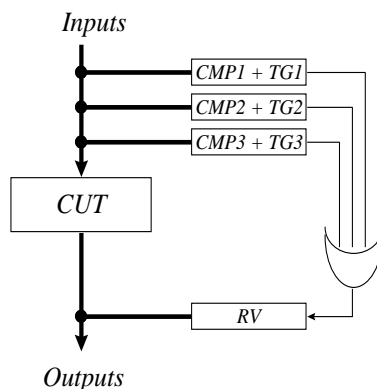
Αλγόριθμος: Υπολογισμός χρόνου Ολοκλήρωσης Αυτοδοκιμής για την τεχνική MHSAT

Τα αποτελέσματα της προσομοίωσης της τεχνικής για διάφορες τιμές των n και K δίνονται στον Πίνακα 4.2, για διάφορες τιμές του πλήθους των εισόδων της μονάδας υπό έλεγχο και των μονάδων παραγωγής διανυσμάτων δοκιμής.

Πίνακας: Χρόνος Ολοκλήρωσης Αυτοδοκιμής για τις τεχνικές MHSAT, OISAT

n	K				
	2	4	8	16	32
10	524.288	262.144	131.072	65.536	32.768
11	2.097.152	1.048.576	524.288	262.144	131.072
12	8.388.608	4.194.304	2.097.152	1.048.576	524.288
13	33.554.432	16.777.216	8.388.608	4.194.304	2.097.152
14	134.217.728	67.108.864	33.554.432	16.777.216	8.388.608
15	536.870.912	268.435.456	134.217.728	67.108.864	33.554.432
16	2.147.483.648	1.073.741.824	536.870.912	268.435.456	134.217.728
17	8.589.934.592	4.294.967.296	2.147.483.648	1.073.741.824	536.870.912
18	34.359.738.368	17.179.869.184	8.589.934.592	4.294.967.296	2.147.483.648
19	137.438.953.472	68.719.476.736	34.359.738.368	17.179.869.184	8.589.934.592
20	549.755.813.888	274.877.906.944	137.438.953.472	68.719.476.736	34.359.738.368

Η τεχνική MHSAT έχει αρκετά υψηλό κόστος υλοποίησης, όταν το K αυξάνει. Για το λόγο αυτό, προτάθηκε η τεχνική Order Independent Signature Analysis Technique (OISAT), η οποία έχει χαμηλότερο κόστος υλοποίησης. Στην τεχνική OISAT χρησιμοποιούνται K μονάδες παραγωγής διανυσμάτων δοκιμής (και αντίστοιχα K συγκριτές) και μία μόνο μονάδα συμπίεσης των αποκρίσεων εξόδου. Τα σήματα hit όλων των συγκριτών οδηγούνται σε μια πύλη OR της οποίας η έξοδος χρησιμοποιείται για την ενεργοποίηση της μονάδας συμπίεσης της απόκρισης. Οι μονάδες παραγωγής διανυσμάτων δοκιμής είναι ορθογώνιες (όπως και στην τεχνική MHSAT).



Εικόνα: Η τεχνική OISAT

Εφόσον η σειρά με την οποία επιτυγχάνουν τα διανύσματα εισόδου δεν είναι προκαθορισμένη, η μονάδα συμπίεσης των αποκρίσεων εξόδου πρέπει να έχει την ιδιότητα η τελική, ορθή υπογραφή να είναι ανεξάρτητη από την σειρά με την οποία συμπίεστηκαν τα διανύσματα εξόδου. Οι μονάδες συμπίεσης των διανυσμάτων εξόδου που έχουν την ιδιότητα αυτή αναφέρονται στη βιβλιογραφία με τον όρο ανεξάρτητες σειρές (order-independent). Η πιο οικονομική από πλευράς κόστους υλοποίησης από τις τεχνικές αυτές είναι η συμπίεση με τη βοήθεια συσσωρευτή. Συνεπώς για τις συγκρίσεις θα θεωρήσουμε ότι για την υλοποίηση της τεχνικής OISAT τα διανύσματα εξόδου συμπίεζονται με τη βοήθεια συσσωρευτή.

Έστω ότι η τεχνική OISAT χρησιμοποιείται για την ταυτόχρονη αυτοδοκιμή μιας συνδυαστικής μονάδας υπό έλεγχο με n εισόδους και m εξόδους. Για την υλοποίηση της τεχνικής με K μονάδες παραγωγής διανυσμάτων δοκιμής, απαιτούνται $K \times n$ flip flops τύπου D για την υλοποίηση των απαριθμητών, και $K \times n$ πύλες XOR δύο εισόδων για την υλοποίηση των συγκριτών. Για την υλοποίηση της συμπίεσης με τη βοήθεια συσσωρευτή απαιτούνται m flipflops τύπου D και m πλήρεις αθροιστές FA. Συνεπώς, το κόστος υλοποίησης υπολογίζεται με τη βοήθεια του ακόλουθου τύπου

$$HO_o(n,m,K) = K \times n \times DFF + K \times n \times XOR + K \times n \times MUX + m \times DFF + m \times FA$$

Το κόστος υλοποίησης σε ισοδύναμες πύλες δίνεται από τον ακόλουθο τύπο.

$$HO_o(n, m, K) = K \times n \times 15 + m \times 18$$

Στον επόμενο Πίνακα δίνουμε το κόστος υλοποίησης της τεχνικής OISAT σε ισοδύναμες πύλες για διάφορες τιμές του πλήθους των εισόδων και εξόδων της μονάδας υπό έλεγχο, και του πλήθους των μονάδων παραγωγής που χρησιμοποιούνται.

Πίνακας: Κόστος Υλοποίησης τεχνικής OISAT

n	m	K				
		2	4	8	16	32
10	8	444	744	1344	2544	4944
	16	588	888	1488	2688	5088
	32	876	1176	1776	2976	5376
12	8	504	864	1584	3024	5904
	16	648	1008	1728	3168	6048
	32	936	1296	2016	3456	6336
14	8	564	984	1824	3504	6864
	16	708	1128	1968	3648	7008
	32	996	1416	2256	3936	7296
16	8	624	1104	2064	3984	7824
	16	768	1248	2208	4128	7968
	32	1056	1536	2496	4416	8256
18	8	684	1224	2304	4464	8784
	16	828	1368	2448	4608	8928
	32	1116	1656	2736	4896	9216
20	8	744	1344	2544	4944	9744
	16	888	1488	2688	5088	9888
	32	1176	1776	2976	5376	10176

Ο χρόνος ολοκλήρωσης αυτοδοκιμής για την τεχνική OISAT είναι ίσος με το χρόνο ολοκλήρωσης αυτοδοκιμής για την τεχνική MHSAT για το ίδιο πλήθος μονάδων παραγωγής διανυσμάτων δοκιμής.

Οι τεχνικές MHSAT και OISAT προτάθηκαν προκειμένου να μειωθεί ο χρόνος ολοκλήρωσης αυτοδοκιμής έναντι της τεχνικής C-BIST. Στις τεχνικές αυτές, είναι δυνατό ο χρόνος ολοκλήρωσης αυτοδοκιμής να μειωθεί αυξάνοντας το κόστος υλοποίησης. Με άλλα λόγια, το κόστος υλοποίησης είναι μια παράμετρος που χρησιμοποιείται για τη μείωση του χρόνου ολοκλήρωσης αυτοδοκιμής. Για το λόγο αυτό, οι τεχνικές αυτές ονομάζονται παραμετρικές (parametric). Ομως, το κόστος υλοποίησης των τεχνικών αυτών είναι δυσανάλογα μεγάλο σε σχέση με τη μείωση που επιφέρουν στο χρόνο ολοκλήρωσης του ελέγχου. Για το λόγο αυτό προτείνονται δύο νέες παραμετρικές τεχνικές ταυτόχρονης αυτοδοκιμής. Οι τεχνικές αυτές είναι πιο αποδοτικές από αυτές που περιγράφηκαν μέχρι το σημείο αυτό, με την έννοια ότι για το ίδιο κόστος υλοποίησης ο χρόνος σύγχρονης δοκιμής είναι μικρότερος.

17.7.3 Μια νέα Τεχνική Ταυτόχρονης Ενσωματωμένης Αυτοδοκιμής (Windowed-Comparative Concurrent Built-In Self Test Technique, w-CBIST)

Όπως αναφέρθηκε, στην τεχνική C-BIST όταν το πλήθος των εισόδων της μονάδας υπό έλεγχο είναι μεγάλο, ο χρόνος ολοκλήρωσης αυτοδοκιμής αυξάνεται υπερβολικά. Για το λόγο αυτό, προτάθηκαν οι παραμετρικές τεχνικές ταυτόχρονης αυτοδοκιμής MHSAT, και OISAT, με τη χρήση των οποίων ο χρόνος ολοκλήρωσης αυτοδοκιμής μειώνεται σημαντικά. Οι τεχνικές αυτές έχουν υψηλό κόστος υλοποίησης. Η τεχνική w-CBIST είναι μια νέα παραμετρική τεχνική ταυτόχρονης αυτοδοκιμής, η οποία όπως θα φανεί στην παράγραφο όπου θα γίνουν οι σχετικές συγκρίσεις, είναι πιο αποδοτική από ότι οι τεχνικές MHSAT και OISAT όσον αφορά το κόστος υλοποίησης και το χρόνο ολοκλήρωσης του ελέγχου.

17.7.3.1 Περιγραφή της τεχνικής w-CBIST

Ας θεωρήσουμε μια μονάδα υπό έλεγχο της οποίας το πλήθος των εισόδων είναι n . Το πλήθος των διανυσμάτων εισόδου για τη μονάδα αυτή είναι $N=2^n$. Σύμφωνα με την τεχνική w-CBIST τα N διανύσματα εισόδου χωρίζονται σε N/W παράθυρα (windows) κάθε ένα από τα οποία έχει μέγεθος W . Το W είναι μια δύναμη του 2, δηλαδή $W=2^w$, και $W < N$. Το πλήθος των παραθύρων είναι N/W . Κάθε στιγμή κάποιο από τα N/W παράθυρα διανυσμάτων είναι το ενεργό παράθυρο. Η τεχνική w-CBIST μπορεί να βρίσκεται είτε σε κανονική λειτουργία είτε σε λειτουργία ελέγχου.

Κατά τη διάρκεια της κανονικής λειτουργίας, η τεχνική w-CBIST εξετάζει το ενεργό παράθυρο, δηλαδή εκμεταλλεύεται την άφιξη οποιουδήποτε διανύσματος ανήκει στο ενεργό παράθυρο. Συνεπώς το σύνολο ενεργών διανυσμάτων αποτελείται από τα διανύσματα που ανήκουν στο ενεργό παράθυρο και δεν έχουν ληφθεί ακόμη. Για την υλοποίηση της τεχνικής χρειαζόμαστε μια μονάδα παραγωγής διανυσμάτων δοκιμής (test generator, TG) η οποία να αποτελείται από $n-w$ βαθμίδες. Η μονάδα αυτή μπορεί να υλοποιηθεί είτε σαν καταχωρητής ολίσθησης με μη-γραμμική ανάδραση (Non-Linear Feedback Shift Register, NFSR) είτε σαν απεριθμητής και χρησιμεύει για να δείχνει το ενεργό παράθυρο. Το γενικό σχήμα της τεχνικής w-CBIST έχει ως ακολούθως. Τα $n-w$ ψηφία του διανύσματος εισόδου συγκρίνονται με τα περιεχόμενα της μονάδας παραγωγής διανυσμάτων. Αν τα δύο αυτά διανύσματα, κάθε ένα από τα οποία αποτελείται από $(n-w)$ ψηφία, είναι ίσα, τότε το διάνυσμα ανήκει στο ενεργό παράθυρο. Επιπλέον, αν το διάνυσμα εισόδου ανήκει στο ενεργό παράθυρο και δεν έχει ξαναεμφανιστεί στις εισόδους της μονάδας υπό έλεγχο κατά τη διάρκεια της εξέτασης του ενεργού παραθύρου, τότε λέμε ότι συνέβη μια επιτυχία (hit). Όταν συμβεί μια επιτυχία, θα πρέπει να ενεργοποιηθεί η μονάδα συμπίεσης των αποκρίσεων, προκειμένου να συμπίεσει την απόκριση της μονάδας υπό έλεγχο στο διάνυσμα που σημείωσε επιτυχία. Ακόμη, όταν συμβεί μια επιτυχία, θα πρέπει ένα στοιχείο μνήμης (flip flop) να αλλάξει κατάσταση προκειμένου, στην περίπτωση που το διάνυσμα φτάσει ξανά στις εισόδους της μονάδας υπό έλεγχο, να μην ενεργοποιηθεί η μονάδα συμπίεσης των αποκρίσεων.

Παράδειγμα: Εστω μια μονάδα υπό έλεγχο με $n=4$ εισόδους. Ο επόμενος Πίνακας δείχνει τον τρόπο με τον οποίο χωρίζονται τα διανύσματα εισόδου σύμφωνα με την τεχνική w-CBIST όταν το μέγεθος του παραθύρου που χρησιμοποιείται είναι $W=4$, και τα περιεχόμενα της μονάδας παραγωγής συγκρίνονται με τα υψηλής τάξης ψηφία του διανύσματος εισόδου.

Παράθυρο1	Παράθυρο2	Παράθυρο3	Παράθυρο4
0000	0100	1000	1100
0001	0101	1001	1101
0010	0110	1010	1110
0011	0111	1011	1111

Όταν τα διανύσματα που αντιστοιχούν σε ένα παράθυρο εμφανιστούν στις εισόδους της μονάδας υπό έλεγχο, τότε πρέπει όλα τα στοιχεία μνήμης να μηδενιστούν, και η μονάδα παραγωγής διανυσμάτων να ενεργοποιηθεί ώστε να περάσει στην επόμενη κατάσταση, προκειμένου να εξεταστεί το επόμενο παράθυρο.

Η λειτουργία ελέγχου χρησιμοποιείται όταν η μονάδα υπό έλεγχο δεν λειτουργεί κανονικά. Αυτό μπορεί να συμβεί τόσο στον έλεγχο κατά την κατασκευή όσο και κατά τη διάρκεια της κανονικής λειτουργίας του κυκλώματος όταν για κάποιους κύκλους λειτουργίας η μονάδα υπό έλεγχο δε χρησιμοποιείται. Οι κύκλοι αυτοί ονομάζονται στη βιβλιογραφία idle states και χρησιμοποιούνται στο μη-ταυτόχρονο έλεγχο σε κανονική λειτουργία του κυκλώματος (non-concurrent on-line testing).

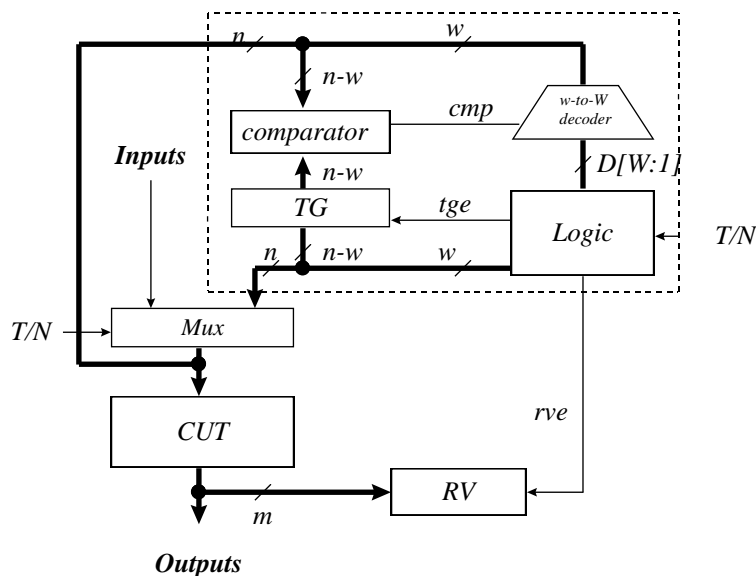
Όταν η τεχνική w-CBIST περνάει από κανονική λειτουργία σε λειτουργία ελέγχου, είναι δυνατό κάποια από τα διανύσματα που ανήκουν στο ενεργό παράθυρο να έχουν επιτύχει. Εστω ότι από τα W συνολικά διανύσματα που ανήκουν στο ενεργό παράθυρο, υπάρχουν $k < W$ τα οποία δεν έχουν επιτύχει. Μπορούμε

να επιλέξουμε ανάμεσα σε δύο εναλλακτικές λύσεις. Σύμφωνα με την πρώτη, υλοποιείται μια ειδική μονάδα, η οποία έχει σα σκοπό να παράγει τα k αυτά διανύσματα μέσα σε k ακριβώς κύκλους μηχανής. Σύμφωνα με τη δεύτερη λύση, χρησιμοποιείται μια οποιαδήποτε μονάδα παραγωγής η οποία να είναι σε θέση να παράγει όλα τα W διανύσματα δοκιμής w ψηφίων. Κατά την παραγωγή των διανυσμάτων αυτών που έχουν ήδη επιτύχει δεν θα ενεργοποιηθεί το σήμα *hit*, και συνεπώς η απόκρισή τους δε θα συμπίεστεί στη μονάδα συμπίεσης των αποκρίσεων. Από τις δύο παραπάνω επιλογές, η πρώτη προσφέρει αυξημένη απόδοση, ενώ η δεύτερη είναι πιο οικονομική στην υλοποίηση.

Στην παρούσα παράγραφο περιγράψαμε τη λειτουργία της προταθείσας τεχνικής *w-CBIST*. Στην επόμενη παράγραφο θα περιγράψουμε την υλοποίηση της τεχνικής και θα υπολογίσουμε το κόστος υλοποίησης.

17.7.3.2 Υλοποίηση της τεχνικής *w-CBIST*

Το Σχηματικό διάγραμμα της τεχνικής *w-CBIST* φαίνεται στην επόμενη Εικόνα. Αποτελείται από τη μονάδα παραγωγής διανυσμάτων, ένα συγκριτή, ένα αποκωδικοποιητή και μια λογική (*logic*). Η μονάδα παραγωγής διανυσμάτων δοκιμής και ο συγκριτής αποτελούνται από $(n-w)$ ψηφία.



Εικόνα: Η τεχνική *w-CBIST*

Κατά τη διάρκεια της κανονικής λειτουργίας, σε κάθε κύκλο ρολογιού, ένα διάνυσμα εφαρμόζεται στις εισόδους της μονάδας υπό έλεγχο. Το διάνυσμα εισόδου τροφοδοτείται επίσης στις εισόδους της μονάδας ταυτόχρονης παραγωγής διανυσμάτων δοκιμής, η οποία περιβάλλεται από διακεκομμένη γραμμή. Από τα n ψηφία του διανύσματος που φτάνει στις εισόδους της μονάδας υπό έλεγχο, τα $(n-w)$ ψηφία συγκρίνονται με τις εξόδους της $(n-w)$ -βαθμίδων της μονάδας παραγωγής διανυσμάτων δοκιμής. Αν τα δύο αυτά διανύσματα $(n-w)$ -ψηφίων είναι ίσα, ενεργοποιείται το σήμα *cmp*. Τα υπόλοιπα w ψηφία του διανύσματος εισόδου οδηγούνται στις εισόδους του αποκωδικοποιητή με επίτρεψη από w -σε- W , του οποίου το σήμα επίτρεψης οδηγείται από το *cmp*.

Ο αποκωδικοποιητής λειτουργεί ως ακολούθως. Αν το σήμα *cmp* είναι ενεργό, τότε ενεργοποιείται μια έξοδος του αποκωδικοποιητή, η οποία αντιστοιχεί στη διεύθυνση του διανύσματος που έφτασε στις εισόδους της μονάδας υπό έλεγχο στον τρέχοντα κύκλο. Αν το σήμα *cmp* είναι ανενεργό, τότε καμία έξοδος του αποκωδικοποιητή δεν ενεργοποιείται, εφόσον το διάνυσμα δεν ανήκει στο ενεργό παράθυρο.

Η μονάδα λογικής αποτελείται από W κυψελίδες λογικής (*logic cells*). Κάθε μια από τις W κυψελίδες αντιστοιχεί σε ένα από τα διανύσματα του ενεργού παράθυρου. Ο σκοπός μιας κυψελίδας λογικής είναι να αποθηκεύει πληροφορία σχετικά με το αν το διάνυσμα που αντιστοιχεί στη συγκεκριμένη κυψελίδα

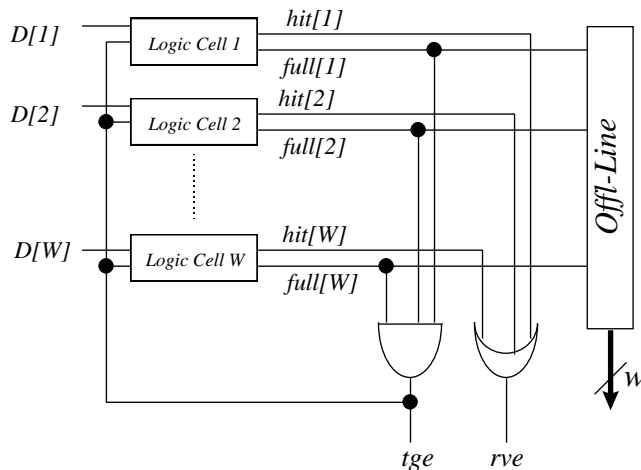
έχει φτάσει στις εισόδους της μονάδας υπό έλεγχο κατά τη διάρκεια της εξέτασης του ενεργού παραθύρου. Η κυψελίδα λογικής έχει δύο εξόδους που ονομάζονται hit και full.

Αν η έξοδος full μιας κυψελίδας είναι ενεργή, αυτό σημαίνει ότι το διάνυσμα που αντιστοιχεί στην κυψελίδα έχει φτάσει στις εισόδους της μονάδας υπό έλεγχο κατά τη διάρκεια της εξέτασης του ενεργού παραθύρου. Αν η έξοδος hit μιας κυψελίδας ενεργοποιηθεί, αυτό σημαίνει ότι το διάνυσμα που αντιστοιχεί στην κυψελίδα έφτασε στις εισόδους της μονάδας υπό έλεγχο το συγκεκριμένο κύκλο ρολογιού.

Η μονάδα λογικής έχει ακόμη δύο λογικές πύλες W εισόδων. Η μία από αυτές είναι μια πύλη AND της οποίας η έξοδος ονομάζεται test generator enable (tge) και η οποία ενεργοποιείται όταν όλα τα σήματα full έχουν ενεργοποιηθεί. Αυτό σημαίνει ότι όλα τα διανύσματα που αντιστοιχούν στο ενεργό παράθυρο έχουν φτάσει στις εισόδους της μονάδας υπό έλεγχο και επομένως θα πρέπει να ενεργοποιηθεί η μονάδα παραγωγής διανυσμάτων δοκιμής (test generator, από όπου πήρε και το όνομά του το σήμα) και όλες οι κυψελίδες λογικής πρέπει να μηδενιστούν. Για το λόγο αυτό το σήμα tge οδηγείται και σε όλες τις κυψελίδες λογικής.

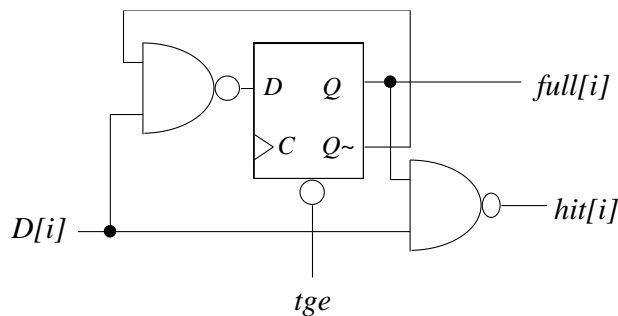
Η δεύτερη πύλη W εισόδων είναι μια πύλη OR της οποίας η έξοδος ονομάζεται response verifier enable (rve) και ενεργοποιεί τη μονάδα συμπίεσης των αποκρίσεων εξόδου. Το σήμα rve ενεργοποιείται όταν ενεργοποιηθεί οποιοδήποτε σήμα hit.

Η μονάδα λογικής περιλαμβάνει ακόμη μια μονάδα παραγωγής διανυσμάτων δοκιμής εκτός κανονικής λειτουργίας (Off-line Module). Η μονάδα αυτή έχει w εξόδους, οι οποίες χρησιμοποιούνται κατά τη διάρκεια της λειτουργίας ελέγχου και θα περιγραφεί αναλυτικότερα στη συνέχεια.



Εικόνα: Μονάδα Λογικής για την τεχνική w-CBIST

Μια κυψελίδα λογικής αποτελείται από ένα στοιχείο μνήμης (flip flop τύπου D), και δύο λογικές πύλες τύπου NAND δύο εισόδων. Λέμε ότι μια κυψελίδα λογικής είναι άδεια αν το στοιχείο μνήμης το οποίο περιέχει η κυψελίδα έχει σαν έξοδο τη λογική τιμή 0. Στην αντίθετη περίπτωση λέμε ότι η κυψελίδα είναι γεμάτη. Μια κυψελίδα είναι γεμάτη, αν κατά τη διάρκεια της εξέτασης του ενεργού παραθύρου το διάνυσμα που αντιστοιχεί στην κυψελίδα αυτή έχει σημειώσει επιτυχία.



Εικόνα: Κυψελίδα Λογικής

Αν μέχρι τον προηγούμενο κύκλο ρολογιού η κυψελίδα ήταν άδεια, ενώ στον τρέχοντα κύκλο γέμισε, το διάνυσμα που αντιστοιχεί στην κυψελίδα εμφανίστηκε στις εισόδους της υπό έλεγχο μονάδας στον τρέχοντα κύκλο ρολογιού. Στον επόμενο Πίνακα περιγράφουμε τα σήματα της λογικής ελέγχου και τη συνθήκη ενεργοποίησης καθενός από τα σήματα αυτά.

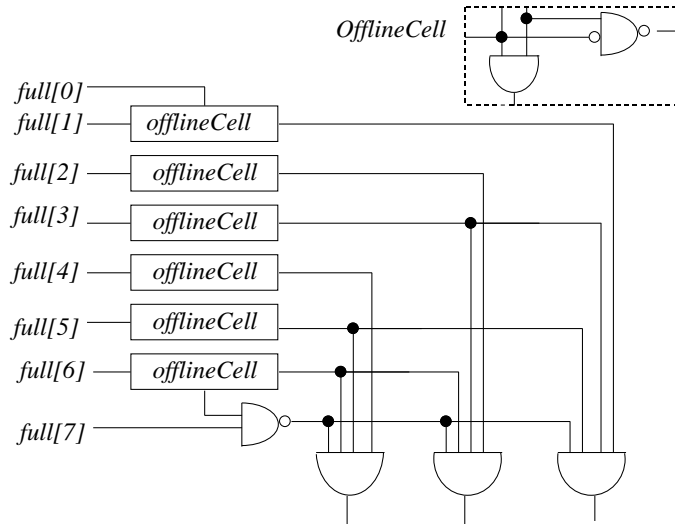
Πίνακας: Σήματα της Λογικής

Σήμα	Ενεργοποιείται
hit[i]	Αν η κυψελίδα λογικής i ήταν άδεια μέχρι τον προηγούμενο κύκλο ρολογιού, και γέμισε στον κύκλο αυτό.
full[i]	Όταν μια κυψελίδα γεμίσει (παραμένει ενεργό καθ'όλη την εξέταση του παρόντος ενεργού παραθύρου).
tge	Όταν όλα τα σήματα full[i] είναι ενεργοποιημένα. Στην περίπτωση αυτή, όλα τα διανύσματα που ανήκουν στο ενεργό παράθυρο έχουν επιτύχει. Συνεπώς, δύο πράγματα πρέπει να συμβούν (α) η μονάδα παραγωγής διανυσμάτων δοκιμής να προχωρήσει στην επόμενη κατάσταση και (β) όλα τα κελιά λογικής πρέπει να αδειάσουν.
rve	Ενεργοποιείται όταν ενεργοποιηθεί οποιοδήποτε σήμα hit[i]. Στην περίπτωση αυτή, θα ενεργοποιηθεί η μονάδα συμπίεσης των αποκρίσεων εξόδου προκειμένου να συμπίεσει την απόκριση της μονάδας υπό έλεγχο στο διάνυσμα εισόδου.

Οποιαδήποτε στιγμή η τεχνική w-CBIST μπορεί να μεταχθεί από κανονική λειτουργία σε λειτουργία ελέγχου. Όταν η τεχνική w-CBIST μετάγεται από κανονική λειτουργία σε λειτουργία ελέγχου, κάποια από τα διανύσματα που ανήκουν στο ενεργό παράθυρο έχουν ήδη εφαρμοστεί στις εισόδους του κυκλώματος και η απόκριση της μονάδας υπό έλεγχο σε αυτά έχει συμπεριστεί στη μονάδα συμπίεσης των αποκρίσεων εξόδου. Συνεπώς, πρέπει να εφαρμοστούν στις εισόδους της μονάδας υπό έλεγχο τα υπόλοιπα διανύσματα του ενεργού παραθύρου πριν εξεταστεί το επόμενο παράθυρο.

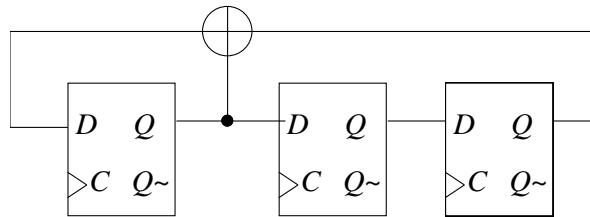
Κατά τη διάρκεια της λειτουργίας ελέγχου, τα διανύσματα που εφαρμόζονται στις εισόδους της μονάδας υπό έλεγχο προέρχονται από τη μονάδα ταυτόχρονης παραγωγής διανυσμάτων δοκιμής. Από τα n ψηφία του διανύσματος εισόδου τα n-w ψηφία προέρχονται από τις εξόδους της μονάδας παραγωγής διανυσμάτων δοκιμής και τα w ψηφία είναι τα ψηφία του σήματος offline[1:w]. Το σήμα offline[1:w] παράγεται από τη μονάδα παραγωγής διανυσμάτων δοκιμής εκτός κανονικής λειτουργίας (Off-Line). Έχουν προταθεί δύο υλοποιήσεις της μονάδας παραγωγής διανυσμάτων δοκιμής εκτός κανονικής λειτουργίας, οι οποίες περιγράφονται στη συνέχεια.

Σύμφωνα με την πρώτη υλοποίηση, η μονάδα παραγωγής διανυσμάτων δοκιμής εκτός κανονικής λειτουργίας δίνει τη διεύθυνση της πρώτης άδειας κυψελίδας λογικής. Για παράδειγμα, όταν όλες οι κυψελίδες είναι άδειες, offline[1:w]=0. Όταν οι πρώτες i κυψελίδες είναι γεμάτες και η i+1 είναι άδεια, offline[1:w]=i. Η μονάδα διαιτησίας για μια λογική που αποτελείται από 8 κυψελίδες φαίνεται στην ακόλουθη Εικόνα.



Εικόνα: Μονάδα παραγωγής διανυσμάτων δοκιμής εκτός κανονικής λειτουργίας (α' υλοποίηση)

Η υλοποίηση που περιγράφηκε, έχει το πλεονέκτημα ότι κατά τη μεταγωγή από την κανονική λειτουργία στη λειτουργία ελέγχου, αν υπάρχουν κ άδεια κελιά λογικής στο ενεργό παράθυρο, τα αντίστοιχα διανύσματα εφαρμόζονται στις εισόδους της μονάδας υπό έλεγχο σε κ ακριβώς κύκλους μηχανής. Από την άλλη μεριά όμως, η υλοποίηση αυτή παρουσιάζει υψηλό κόστος. Για το λόγο αυτό προτάθηκε η δεύτερη υλοποίηση της μονάδας παραγωγής διανυσμάτων δοκιμής εκτός κανονικής λειτουργίας, σύμφωνα με την οποία χρησιμοποιείται μια μονάδα παραγωγής διανυσμάτων δοκιμής w βαθμίδων.



Εικόνα: Μονάδα Εκτός Λειτουργίας (β' υλοποίηση)

Όταν η τεχνική w-CBIST μεταχθεί από κανονική λειτουργία σε λειτουργία δοκιμής, η μονάδα παραγωγής (η οποία μπορεί να υλοποιηθεί σαν απαριθμητής ή καταχωρητής ολίσθησης με μη-γραμμική ανάδραση) παράγει όλα τα $W=2^w$ διανύσματα w ψηφίων. Εφόσον κάποια από αυτά αντιστοιχούν σε διανύσματα που έχουν επιτύχει κατά τη διάρκεια της κανονικής λειτουργίας, κατά την εφαρμογή τους στις εισόδους της μονάδας υπό έλεγχο δεν θα ενεργοποιηθεί το σήμα gve. Με την υλοποίηση αυτή της μονάδας διαιτησίας, όταν η τεχνική w-CBIST μετάγεται από κανονική λειτουργία σε λειτουργία ελέγχου, απαιτούνται ακριβώς W κύκλοι προκειμένου να επιτύχουν τα διανύσματα που ανήκουν στο ενεργό παράθυρο, από την άλλη μεριά όμως έχει χαμηλότερο κόστος υλοποίησης και είναι σχεδιαστικά απλούστερη. Στον επόμενο Πίνακα δίνουμε για διάφορες τιμές του W το κόστος των δύο τρόπων υλοποίησης της μονάδας εκτός λειτουργίας.

Πίνακας: Κόστος υλοποίησης Μονάδας Εκτός Λειτουργίας (ισοδύναμες Πύλες)

W	ΠΡΩΤΗ ΥΛΟΠΟΙΗΣΗ	ΔΕΥΤΕΡΗ ΥΛΟΠΟΙΗΣΗ
8	36	24
16	80	32
32	176	40
64	384	48
128	832	56

Όταν έχουν επιτύχει όλα τα διανύσματα δοκιμής, εξετάζονται τα περιεχόμενα της μονάδας συμπίεσης των αποκρίσεων. Για τη συμπίεση των αποκρίσεων του κυκλώματος χρησιμοποιείται μια τεχνική συμπίεσης ανεξάρτητη σειράς (order-independent response verification technique), όπως και στην περίπτωση της τεχνικής OISAT. Για το λόγο αυτό, χρησιμοποιείται η τεχνική συμπίεσης των αποκρίσεων με τη βοήθεια συσσωρευτή (Accumulator Based Compression). Για μια μονάδα υπό έλεγχο με n εισόδους και m εξόδους, το κόστος υλοποίησης της τεχνικής μπορεί να υπολογιστεί με τη βοήθεια των ανωτέρω Εικόνων και δίνεται από τον ακόλουθο τύπο.

$$HO_w(n,m,W) = n \times MUX + n \times DFF + n \times XOR_2 + CTG + ABC$$

όπου

$$CTG = W \times (NAND_2 + NOR_2 + DFF) + AND_w + OR_w$$

$$ABC = m \times DFF + m \times FA$$

Το κόστος υλοποίησης σε ισοδύναμες πύλες δίνεται από τον ακόλουθο τύπο

$$HO_w(n,m,W) = 15 \times n + 10 \times W + 18 \times m$$

Στον ακόλουθο Πίνακα δίνουμε το κόστος υλοποίησης της τεχνικής για διάφορες τιμές του πλήθους των εισόδων και εξόδων της μονάδας υπό έλεγχο, καθώς και του μεγέθους του παραθύρου.

Πίνακας: Κόστος υλοποίησης της τεχνικής w -CBIST σε ισοδύναμες πύλες

n	m	W				
		8	16	32	64	128
10	8	390	486	678	1062	1830
	16	534	630	822	1206	1974
	32	822	918	1110	1494	2262
12	8	420	516	708	1092	1860
	16	564	660	852	1236	2004
	32	852	948	1140	1524	2292
14	8	450	546	738	1122	1890
	16	594	690	882	1266	2034
	32	882	978	1170	1554	2322
16	8	480	576	768	1152	1920
	16	624	720	912	1296	2064
	32	912	1008	1200	1584	2352
18	8	510	606	798	1182	1950
	16	654	750	942	1326	2094
	32	942	1038	1230	1614	2382
20	8	540	636	828	1212	1980
	16	684	780	972	1356	2124
	32	972	1068	1260	1644	2412

Κατά τη διάρκεια της κανονικής λειτουργίας, είναι δυνατό να συμβούν οι ακόλουθες περιπτώσεις

1. Το διάνυσμα εισόδου δεν ανήκει στο ενεργό παράθυρο. Στην περίπτωση αυτή, κανένα από τα σήματα $D[i]$ δεν ενεργοποιείται.
2. Το διάνυσμα εισόδου ανήκει στο ενεργό παράθυρο, αλλά δεν είναι επιτυχία. Η περίπτωση αυτή παρουσιάζεται όταν το διάνυσμα έχει επιτύχει κατά τη διάρκεια εξέτασης του ενεργού παραθύρου.
3. Το διάνυσμα εισόδου ανήκει στο ενεργό παράθυρο, και σημειώνει επιτυχία. Το σήμα tge δεν ενεργοποιείται. Η περίπτωση αυτή παρουσιάζεται όταν το διάνυσμα σημειώνει επιτυχία, και δεν είναι το τελευταίο διάνυσμα του παραθύρου.

4. Το διάνυσμα ανήκει στο ενεργό παράθυρο, σημειώνει επιτυχία, και το σήμα tge ενεργοποιείται. Η περίπτωση αυτή εμφανίζεται όταν το διάνυσμα εισόδου είναι το τελευταίο διάνυσμα του ενεργού παραθύρου. Οι παραπάνω περιπτώσεις φαίνονται στο επόμενο παράδειγμα.

Παράδειγμα: Στον επόμενο Πίνακα φαίνεται η λειτουργία της τεχνικής w-CBIST όταν χρησιμοποιείται για τον έλεγχο μιας μονάδας υπό έλεγχο τεσσάρων εισόδων. Χρησιμοποιείται ένα παράθυρο μεγέθους $W=4$. Στον πίνακα φαίνονται οι τιμές των σημάτων, καθώς και τα διανύσματα εισόδου κανονικής λειτουργίας της μονάδας υπό έλεγχο. Στον Πίνακα φαίνονται 7 κύκλοι λειτουργίας.

Πίνακας: Λειτουργία τεχνικής w-CBIST

Clock#	Input[4:1]	Cnt[1:0]	Cmp	D[4:1]	Full[4:1]	hit[4:1]	tge	rve	comment
1	0010	00	1	0100	0000	0100	0	1	hit
2	0100	00	0	0000	0100	0000	0	0	not in Active
3	0000	00	1	0001	0100	0001	0	1	hit
4	0010	00	1	0100	0101	0000	0	0	in Active, no hit
5	0011	00	1	1000	0101	1000	0	1	hit
6	0001	00	1	0010	1101	0010	1	1	hit, full window
7	1011	01	0	0000	0000	0000	0	0	not in window

Στην παρούσα παράγραφο περιγράψαμε την υλοποίηση της τεχνικής w-CBIST και υπολογίσαμε το κόστος υλοποίησης της τεχνικής σε ισοδύναμες πύλες. Στην επόμενη παράγραφο θα υπολογίσουμε το χρόνο ολοκλήρωσης αυτοδοκιμής τόσο με αναλυτικό τρόπο όσο και με τη βοήθεια προσομοιώσεων.

17.7.3.3 Υπολογισμός Χρόνου Ολοκλήρωσης Αυτοδοκιμής

Όπως αναφέρθηκε, μια από τις παραμέτρους αξιολόγησης των τεχνικών ταυτόχρονης αυτοδοκιμής, είναι ο χρόνος ολοκλήρωσης αυτοδοκιμής (Concurrent Test Latency, CTL) δηλαδή ο χρόνος που απαιτείται προκειμένου να ολοκληρωθεί ο έλεγχος ενώ η μονάδα υπό έλεγχο βρίσκεται σε κανονική λειτουργία. Προκειμένου να υπολογιστεί αναλυτικά ο χρόνος ολοκλήρωσης αυτοδοκιμής για την τεχνική w-CBIST πρέπει να υπολογιστεί ο Χρόνος Πλήρωσης Παραθύρου (Window Latency, WL). Το WL είναι ο μέσος αριθμός των κύκλων που απαιτούνται προκειμένου να εμφανιστούν στις εισόδους της υπό έλεγχο μονάδας όλα τα διανύσματα που αντιστοιχούν στο ενεργό παράθυρο κατά τη διάρκεια της κανονικής λειτουργίας του κυκλώματος.

Ο χρόνος πλήρωσης παραθύρου, WL μπορεί να υπολογιστεί με τη βοήθεια του ακόλουθου τύπου ο οποίος δίνει την πιθανότητα πλήρωσης παραθύρου, (Probability of Window Completion, P_{wc}):

$$P_{wc}(L) = \sum_{k_1=1}^{L-1} \sum_{k_2=1}^{L-2} \dots \sum_{k_W=1}^{L-W} \frac{p^{k_1} q^{L-k_1}}{k_1! 2^{k_2} \dots k_W! W^{L-K}} \quad \text{όπου } K = \sum_{j=1}^W k_j \text{ και } i_r = K - k_r, 1 < r < W$$

Η ποσότητα $P_{wc}(L)$ δίνει την πιθανότητα να εμφανιστούν μέσα σε L κύκλους όλα τα διανύσματα που αντιστοιχούν σε ένα παράθυρο ενώ η μονάδα υπό έλεγχο λειτουργεί κανονικά. Προκειμένου να βρούμε το μέσο χρόνο πλήρωσης παραθύρου πρέπει να βρούμε το πλήθος των κύκλων για τους οποίους ισχύει $P_{wc}(WL(\alpha))=0.5$. Τα p και q συμβολίζουν τις πιθανότητες επιτυχίας (hit) και αποτυχίας (miss) αντίστοιχα για οποιοδήποτε διάνυσμα. Συνεπώς, $p=I/N$ και $q=1-p$. Ο υπολογισμός του παραπάνω τύπου για μεγάλες τιμές των N και W είναι ιδιαίτερα χρονοβόρος. Για το λόγο αυτό, για τον υπολογισμό του χρόνου ολοκλήρωσης του ελέγχου χρησιμοποιείται ο ακόλουθος προσεγγιστικός υπολογισμός.

Θα συμβολίσουμε με $hit(i)$ την πιθανότητα να συμβεί μια επιτυχία σε ένα κύκλο ρολογιού και με $L(i)$ το μέσο πλήθος κύκλων ρολογιού που απαιτούνται για να συμβεί μια επιτυχία. Η πιθανότητα να συμβεί επιτυχία στην αρχή της εξέτασης ενός παραθύρου (όταν όλα τα κελιά της λογικής είναι άδεια) είναι $hit(W)=W/N$, και το πλήθος των κύκλων που απαιτούνται είναι $L(W)=N/W$. Μετά από κάθε hit η πιθανότητα επιτυχίας μειώνεται. Όταν έχει επιτύχει ένα διάνυσμα, η πιθανότητα επιτυχίας είναι $hit(W-1)=(W-1)/N$, και ο αντίστοιχος χρόνος είναι $L(W-1)=N/(W-1)$. Όταν έχει μείνει μόνο ένα διάνυσμα του ενεργού παραθύρου που δεν έχει επιτύχει, η πιθανότητα επιτυχίας είναι $hit(1)=1/N$ και ο

αντίστοιχος χρόνος είναι $L(I)=N/I=N$. Ο Χρόνος Πλήρωσης Παραθύρου (Window Latency, WL) είναι το άθροισμα των κύκλων που απαιτούνται προκειμένου να συμβεί επιτυχία για όλα τα διανύσματα του ενεργού παραθύρου και δίνεται από τον ακόλουθο τύπο

$$WL = \sum_{i=1}^W L_i = N \times \sum_{i=1}^W \frac{1}{i}$$

Ο τύπος δίνει το μέσο χρόνο πλήρωσης παραθύρου. Αφού συνολικά πρέπει να γεμίσουν N/W παράθυρα, για να βρεθεί ο χρόνος ολοκλήρωσης αυτοδοκιμής, θα πρέπει να πολλαπλασιαστεί ο χρόνος πλήρωσης παραθύρου με το πλήθος των παραθύρων. Τελικά, ο χρόνος ολοκλήρωσης αυτοδοκιμής δίνεται από τον τύπο

$$t_{w(n,m,W)} = CTL = WL \times \frac{N}{W} = \frac{N^2}{W} \times \sum_{i=1}^W \frac{1}{i}$$

Τα αποτελέσματα που δίνει ο παραπάνω τύπος για διάφορες τιμές του πλήθους των εισόδων της μονάδας υπό έλεγχο και για ενδεικτικές τιμές του μεγέθους του παραθύρου φαίνονται στον ακόλουθο Πίνακα.

Πίνακας: Χρόνος Σύγχρονης Δοκιμής (w-CBIST): Αναλυτικά Αποτελέσματα

n	W				
	8	16	32	64	128
10	356.235	216.384	129.856	75.904	43.464
12	5.699.760	3.545.088	2.127.488	1.243.584	712.288
14	91.196.160	56.723.456	34.040.832	19.897.600	11.393.827
16	1.459.138.560	907.507.520	544.722.048	318.357.184	182.306.176
18	23.346.216.980	14.520.120.320	8.715.552.768	5.093.714.944	2.916.898.816
20	373.539.471.360	232.321.925.120	139.448.844.288	81.494.439.910	46.670.381.056

Για να υπολογίσουμε το χρόνο ολοκλήρωσης αυτοδοκιμής με προσομοίωση, η μονάδα παραγωγής διανυσμάτων δοκιμής υλοποιείται σαν απαριθμητής. Η ρουτίνα της προσομοίωσης της τεχνικής υλοποιείται όπως φαίνεται στη συνέχεια

```

int CTL(n)
begin
    N=2n;      TG=0;      Fulls=0;
    for i=1 to W Full(i)=0;
    do
        V=rand(0,N-1);
        Tries++;
        V1=V[n:w+1];
        V2=V[w:1];
        if V1=TG then
            if (Full(V2)=0)
                begin
                    Full(V2)=1;
                    Fulls++;
                    numofhits++;
                end
        if (Fulls>=W)
            begin
                for i=0 to W-1
                    Full(i)=0;
                fulls=0;
            end;
        trig(TG);
    until (numofhits=N);
    return (Tries)
end;

```

Αλγόριθμος: Προσομοίωση της λειτουργίας της τεχνικής w-CBIST

Σε κάθε κύκλο παράγεται ένα διάνυσμα V από τη συνάρτηση $\text{rand}()$. Το διάνυσμα χωρίζεται σε δύο τμήματα V_1 και V_2 . Το V_1 συγκρίνεται με τα περιεχόμενα της μονάδας παραγωγής διανυσμάτων δοκιμής. Αν τα δύο διανύσματα βρεθούν ίσα, ελέγχεται αν η κυψελίδα που αντιστοιχεί στο διάνυσμα V_2 είναι γεμάτη. Αν είναι άδεια γεμίζει και το πλήθος των επιτυχιών αυξάνεται κατά ένα. Αν οι επιτυχίες του τρέχοντος παραθύρου υπερβαίνουν το W , καθαρίζονται όλες οι κυψελίδες, μηδενίζεται το πλήθος των γεμάτων κυψελίδων και ενεργοποιείται η μονάδα παραγωγής διανυσμάτων δοκιμής. Η διαδικασία επαναλαμβάνεται έως ότου το πλήθος των επιτυχιών φτάσει το 2^n . Η ρουτίνα υλοποιήθηκε στη γλώσσα προγραμματισμού C και πραγματοποιήθηκαν προσομοιώσεις για διάφορες τιμές του πλήθους των εισόδων της μονάδας υπό δοκιμή και του μεγέθους του παραθύρου. Τα αποτελέσματα των προσομοιώσεων αυτών φαίνονται στον ακόλουθο Πίνακα. Μπορεί κανείς να παρατηρήσει ότι τα αποτελέσματα της προσομοίωσης προσεγγίζονται ικανοποιητικά από τα νούμερα που υπολογίστηκαν αναλυτικά.

Πίνακας: Χρόνος Σύγχρονης Δοκιμής (w-CBIST), Αποτελέσματα Προσομοιώσεων

n	W				
	8	16	32	64	128
10	328.040	216.384	140.254	74.809	46.086
12	5.701.553	3.545.088	2.172.825	1.242.825	715.362
14	90.603.916	56.723.456	34.251.219	19.609.405	11.195.606
16	1.457.973.912	907.507.520	541.973.192	315.543.800	183.509.095
18	23.399.876.342	14.520.120.321	8.728.766.343	5.126.587.546	2.909.976.745
20	373.265.894.536	232.321.925.120	139.976.345.873	81.587.654.828	46.716.759.858

Στην παρούσα παράγραφο παρουσιάσαμε την υλοποίηση της προτεινόμενης τεχνικής w-CBIST και υπολογίσαμε το κόστος υλοποίησης. Στην επόμενη παράγραφο θα παρουσιάσουμε μια ιδιότητα της τεχνικής w-CBIST την οποία δεν έχει καμία από τις υπόλοιπες τεχνικές ταυτόχρονης παραγωγής διανυσμάτων δοκιμής με παρακολούθηση των διανυσμάτων εισόδου. Με τη βοήθεια της ιδιότητας αυτής θα εξερευνήσουμε τη δυνατότητα μείωσης της πιθανότητας απόκρυψης με την τεχνική w-CBIST, καθώς και τη δυνατότητα μείωσης του χρόνου καθυστέρησης ανάδειξης ελαττώματος (error latency reduction). Με τη μελέτη που θα παρουσιάσουμε φαίνεται ότι τόσο η πιθανότητα απόκρυψης όσο και ο χρόνος καθυστέρησης ανάδειξης ελαττώματος μπορεί να μειωθεί θεαματικά με ελάχιστο επιπλέον κόστος υλοποίησης.

17.7.4 Μείωση της πιθανότητας απόκρυψης στην τεχνική w-CBIST

Στην παράγραφο αυτή θα εξεταστεί η δυνατότητα μείωσης της απόκρυψης (aliasing) στη μονάδα συμπίεσης των αποκρίσεων εξόδου για την τεχνική w-CBIST. Είναι εύκολο να παρατηρήσει κανείς ότι στην τεχνική w-CBIST ενώ η σειρά με την οποία επιτυγχάνουν τα διανύσματα δεν είναι καθορισμένη, η σειρά με την οποία ολοκληρώνονται τα παράθυρα καθορίζεται αυστηρά από την ακολουθία διανυσμάτων που παράγει η μονάδα παραγωγής διανυσμάτων δοκιμής. Επομένως, κατά την ολοκλήρωση της εξέτασης κάθε παράθυρου, η υπογραφή που πρέπει να βρίσκεται συμπίεσμένη στη μονάδα συμπίεσης των αποκρίσεων είναι γνωστή. Αξίζει να σημειωθεί ότι καμία από τις άλλες τεχνικές σύγχρονης αυτοδοκιμής με παρατήρηση διανυσμάτων εισόδου δεν έχει την ιδιότητα αυτή.

Λαμβάνοντας υπόψη μας την παρατήρηση αυτή, είναι δυνατό να εξετάσουμε την υπογραφή που έχει συμπίεσθεί στο συσσωρευτή στο τέλος της εξέτασης οποιουδήποτε παράθυρου. Έχει αποδειχθεί ότι με την εξέταση p υπογραφών κατά τη διάρκεια του ελέγχου, η πιθανότητα απόκρυψης μειώνεται κατά ένα παράγοντα p . Για παράδειγμα, εξετάζοντας 8 υπογραφές κατά τη διάρκεια του ελέγχου, η πιθανότητα απόκρυψης μειώνεται κατά 8. Αυτό μπορεί να μεταφραστεί σε μια μείωση της πιθανότητας απόκρυψης

από πχ. 0.01 σε περίπου 0.001. Συνεπώς, με ελάχιστο επιπλέον κόστος υλοποίησης (για την εξέταση μιας υπογραφής σε μια μονάδα υπό έλεγχο m εξόδων απαιτείται μια πύλη m εισόδων) η πιθανότητα απόκρυψης μπορεί να μειωθεί σημαντικά. Στον επόμενο Πίνακα παρουσιάζουμε για μια μονάδα υπό έλεγχο με $n=16$ εισόδους και $m=16$ εξόδους στην οποία χρησιμοποιείται η τεχνική w -CBIST με μέγεθος παραθύρου $W=128$ την πιθανότητα απόκρυψης και το κόστος υλοποίησης σε συνάρτηση του πλήθους των υπογραφών που δειγματοληπτούνται. Ακόμη στον Πίνακα παρουσιάζουμε το επιπλέον κόστος υλοποίησης και τη μείωση της πιθανότητας απόκρυψης.

Πίνακας: Μείωση Πιθανότητας Απόκρυψης και Αύξηση κόστους υλοποίησης με το πλήθος των υπογραφών στην τεχνική W -CBIST

#Υπογραφών	P_{al}	Μείωση P_{al}	Κόστος υλοποίησης	Αύξηση κόστους υλοποίησης
1	$1,52 \times 10^{-5}$	1	2384	
2	$7,62 \times 10^{-6}$	2	2448	1,02
4	$3,81 \times 10^{-6}$	4	2576	1,08
8	$1,90 \times 10^{-6}$	8	2832	1,18
16	$9,53 \times 10^{-7}$	16	3344	1,40
32	$4,76 \times 10^{-7}$	32	4368	1,83
64	$2,38 \times 10^{-7}$	64	6416	2,69
128	$1,19 \times 10^{-7}$	128	10512	4,40
256	$5,96 \times 10^{-8}$	256	18704	7,84
512	$2,98 \times 10^{-8}$	512	35088	14,71

Από τον παραπάνω Πίνακα μπορεί κανείς να διαπιστώσει ότι η πιθανότητα απόκρυψης μειώνεται εντυπωσιακά, ενώ το κόστος υλοποίησης αυξάνει με πολύ μικρότερο ρυθμό. Ο Πίνακας αυτός μπορεί να αποτελέσει ένα χρήσιμο οδηγό στις αποφάσεις σχετικά με το πλήθος των υπογραφών που θα δειγματοληπτηθούν.

Στην παρούσα παράγραφο μελετήσαμε τη μείωση της πιθανότητας απόκρυψης στην τελική υπογραφή σε συνάρτηση του πλήθους των υπογραφών που δειγματοληπτούνται κατά τη διάρκεια του ελέγχου. Στην επόμενη παράγραφο θα μελετήσουμε τη μείωση της καθυστέρησης ανάδειξης ελαττώματος σε συνάρτηση του πλήθους των υπογραφών.

17.7.5 Μείωση της καθυστέρησης ανάδειξης ελαττώματος

Η παρατήρηση που έγινε στην προηγούμενη παράγραφο, ότι δηλαδή η υπογραφή που έχει συμπιεστεί με την ολοκλήρωση της εξέτασης κάθε παραθύρου είναι εκ των προτέρων γνωστή μπορεί να χρησιμοποιηθεί για τη μείωση της καθυστέρησης ανάδειξης ελαττώματος. Όπως έχει σημειωθεί, στις τεχνικές ταυτόχρονης ενσωματωμένης αυτοδοκιμής μέχρι να ολοκληρωθεί ο έλεγχος δεν είναι δυνατό να διαπιστωθεί η ύπαρξη ενός ελαττώματος στη μονάδα υπό έλεγχο. Ο χρόνος που απαιτείται για την ανάδειξη ενός ελαττώματος ονομάζεται καθυστέρηση ανάδειξης ελαττώματος (error latency) και σε συστήματα όπου απαιτείται υψηλή αξιοπιστία, είναι επιθυμητό να είναι όσο το δυνατό μικρότερος. Με τη χρήση ενδιάμεσων υπογραφών, η ύπαρξη ενός ελαττώματος είναι δυνατό να ανιχνευθεί πριν το τέλος της ολοκλήρωσης του ελέγχου ώστε να ληφθούν οι κατάλληλες ενέργειες.

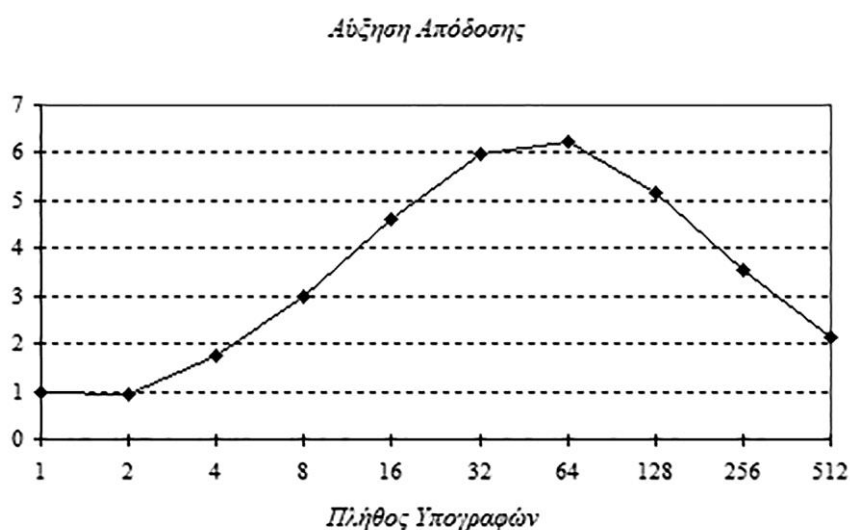
Στον επόμενο Πίνακα παρουσιάζουμε για μια μονάδα υπό έλεγχο με $n=16$ εισόδους και $m=16$ εξόδους, το κόστος υλοποίησης και την καθυστέρηση ανάδειξης ελαττώματος της τεχνικής w -CBIST με $W=128$, για διάφορες τιμές του πλήθους των υπογραφών που δειγματοληπτούνται. Οι στήλες του Πίνακα έχουν την εξής σημασία. Στην πρώτη στήλη βρίσκεται το πλήθος των υπογραφών που δειγματοληπτούνται. Στη δεύτερη στήλη βρίσκεται η μέση καθυστέρηση ανάδειξης ελαττώματος. Οι υπολογισμοί στη στήλη αυτή βασίζονται στην υπόθεση ότι ένα ελάττωμα μπορεί να ανιχνευθεί μέχρι την λήψη και σύγκριση μιας υπογραφής. Στην τρίτη στήλη δίνουμε τη μείωση στο χρόνο καθυστέρησης ανίχνευσης λάθους.

Στην τέταρτη στήλη δίνουμε το κόστος υλοποίησης της τεχνικής και στην πέμπτη στήλη δίνουμε την αύξηση στο κόστος υλοποίησης. Τα δεδομένα της στήλης αυτής μπορούν να βρεθούν αν διαιρέσει κανείς το αντίστοιχο στοιχείο της τέταρτης στήλης με το πρώτο στοιχείο της τέταρτης στήλης (που αντιστοιχεί στο κόστος υλοποίησης για μια υπογραφή). Στην έκτη στήλη του Πίνακα φαίνεται το πηλίκo της μείωσης καθυστέρησης ανίχνευσης ελαττώματος προς την αύξηση του κόστους υλοποίησης. Όσο υψηλότερο είναι το πηλίκo αυτό, τόσο μεγαλύτερη είναι η μείωση της καθυστέρησης ανίχνευσης, σε συνδυασμό με μικρή αύξηση του κόστους υλοποίησης.

Πίνακας: Καθυστέρηση ανάδειξης ελαττώματος και κόστος υλοποίησης σε συνάρτηση του πλήθους των υπογραφών που δειγματοληπτούνται

L	Error Latency (clock cycles)	Error Latency Reduction (ELR)	HO (gates)	HO Increase	ELR/HOI	Αύξηση ELR/HOI
1	182.306.176	1	2.384	1,000	1,00	1
2	91.153.088	2	2.448	1,040	1,92	0,93
4	45.576.544	4	2.576	1,095	3,65	1,73
8	22.788.272	8	2.832	1,204	6,64	2,99
16	11.394.136	16	3.344	1,421	11,25	4,60
32	5.697.068	32	4.368	1,857	17,23	5,97
64	2.848.534	64	6.416	2,727	23,46	6,23
128	1.424.267	128	10.512	4,469	28,63	5,17
256	712.134	256	18.704	7,952	32,19	3,55
512	356.067	512	35.088	14,918	34,32	2,12

Από τον Πίνακα βλέπουμε ότι το πηλίκo αυξάνεται όσο αυξάνεται το πλήθος των υπογραφών. Τέλος, στην έβδομη στήλη δείχνουμε τη διαφορά κάθε στοιχείου της έκτης στήλης από το προηγούμενό του. Το μέτρο αυτό είναι η Αύξηση της απόδοσης σε συνάρτηση του πλήθους των δειγματοληπτούμενων υπογραφών. Στην ακόλουθη Εικόνα παρουσιάζουμε το μέτρο αυτό για διάφορες τιμές του πλήθους των δειγματοληπτούμενων υπογραφών.



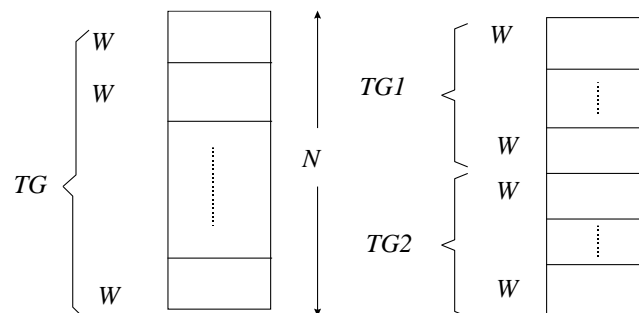
Εικόνα: Αύξηση της απόδοσης της τεχνικής w-CBIST σαν συνάρτηση του πλήθους των υπογραφών που δειγματοληπτούνται

Από την ανωτέρω Εικόνα μπορεί κανείς να διαπιστώσει ότι υπάρχει βέλτιστη τιμή για το μέτρο αυτό, η οποία στη συγκεκριμένη περίπτωση $n=m=16$, $W=128$, είναι η τιμή $L=64$. Αξίζει να σημειωθεί ότι με τη δειγματολήπτηση περισσότερων της μιας υπογραφής, ο χρόνος ανίχνευσης ελαττώματος είναι δυνατό να μειωθεί δραστικά έως και N/W φορές (512 φορές στο προηγούμενο παράδειγμα). Συνεπώς, η αξιοπιστία του συστήματος αυξάνεται δραματικά.

Στην παρούσα παράγραφο εξετάσαμε τη βελτίωση του χρόνου ολοκλήρωσης της αυτοδοκιμής σε συνάρτηση του πλήθους των υπογραφών που δειγματοληπτούνται για την τεχνική w-CBIST, κλείνοντας έτσι την παρουσίαση της τεχνικής. Στην επόμενη παράγραφο θα μελετηθεί η γενίκευση της τεχνικής w-CBIST προκειμένου να εξετάζονται ταυτόχρονα περισσότερα του ενός παράθυρα. Με τον τρόπο αυτό, ο οποίος όπως θα δειχθεί αποτελεί γενίκευση-ενοποίηση των τεχνικών w-CBIST και OISAT, είναι δυνατό να αυξηθεί η απόδοση της τεχνικής. Αυτό ποσοτικά εκφράζεται με μείωση του γινομένου του κόστους υλοποίησης επί το χρόνο ολοκλήρωσης της αυτοδοκιμής.

17.7.6 Γενίκευση της τεχνικής w-CBIST για την εξέταση περισσότερων του ενός παραθύρων (Generalized Window-Comparative Concurrent BIST, gw-BIST)

Στην προηγούμενη παράγραφο παρουσιάστηκε η τεχνική w-CBIST και έγινε ο υπολογισμός του χρόνου ολοκλήρωσης της αυτοδοκιμής και του κόστους υλοποίησης. Στην παράγραφο αυτή θα παρουσιάσουμε τη γενίκευση της τεχνικής w-CBIST για την παρατήρηση περισσότερων του ενός παραθύρων ταυτόχρονα. Θα αναφερόμαστε στη γενικευμένη τεχνική με το όνομα generalized-windowed Comparative concurrent BIST (gw-BIST). Σύμφωνα με την τεχνική gw-BIST, για την παρατήρηση $NW > 1$ παραθύρων χρησιμοποιούνται NW μονάδες ταυτόχρονης αυτοδοκιμής, κάθε μια από τις οποίες είναι όμοια με τη μονάδα σύγχρονης δοκιμής της τεχνικής w-CBIST. Το πλήθος των διανυσμάτων που παρατηρούνται οποιαδήποτε χρονική στιγμή είναι $W \times NW$. Στην επόμενη Εικόνα φαίνεται ο τρόπος χωρισμού των διανυσμάτων σε παράθυρα και σε μονάδες παραγωγής για την τεχνική gw-BIST σε σύγκριση με την τεχνική w-CBIST. Στην Εικόνα το πλήθος των μονάδων παραγωγής διανυσμάτων δοκιμής είναι $NW=2$. Οι μονάδες παραγωγής στην περίπτωση της τεχνικής gw-BIST ονομάζονται TG_1 και TG_2 . Στην περίπτωση της τεχνικής gw-BIST τα μισά διανύσματα αντιστοιχούν στη μονάδα παραγωγής TG_1 ενώ τα υπόλοιπα στη μονάδα παραγωγής TG_2 .



Εικόνα: Χωρισμός των διανυσμάτων εισόδου σε παράθυρα σύμφωνα με την τεχνική (α) w-CBIST και (β) gw-BIST

Σε γενικές γραμμές, η κανονική λειτουργία της τεχνικής έχει ως ακολούθως. Κάθε στιγμή το διάνυσμα που φτάνει στις εισόδους της μονάδας υπό έλεγχο οδηγείται στις εισόδους όλων των μονάδων παραγωγής διανυσμάτων δοκιμής. Το πολύ μια από αυτές τις μονάδες αυτές είναι δυνατό να σημειώσει επιτυχία. Τα σήματα hit των μονάδων αυτών οδηγούνται στις εισόδους μιας πύλης OR, η έξοδος της οποίας ενεργοποιεί τη μονάδα συμπίεσης των αποκρίσεων εξόδου.

Όταν όλες οι μονάδες ταυτόχρονης αυτοδοκιμής έχουν ολοκληρώσει τους κύκλους τους, εξετάζεται η απόκριση της μονάδας υπό έλεγχο που βρίσκεται στη μονάδα συμπίσης των αποκρίσεων εξόδου. Η κανονική λειτουργία της τεχνικής gw-CBIST προσομοιώνεται από την ακόλουθη ρουτίνα.

```

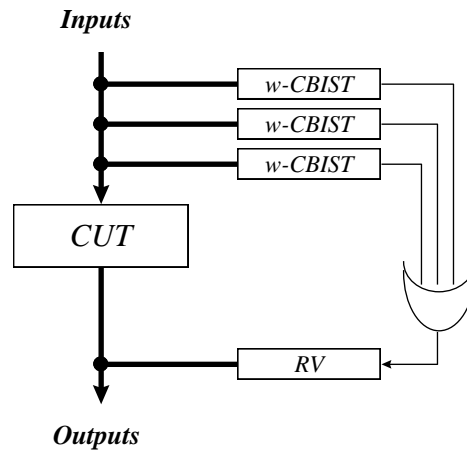
Int CTL(n,W,NW)
begin
  N=2n;
  for i=1 to NW
    begin
      TG[i]=0;    Fulls[i]=0;
    end;
  for i=1 to W
    for j=1 to NW
      Full(i,j)=0;
    do
      V=rand(0,N-1);  Tries++;
      V1=V[n:w+1];
      V2=V[w:1];
      for i=1 to NW
        if V1=TG[i] then
          if (Full(V2,i)=0)
            begin
              Full(V2,i)=1;
              Fulls[i]++;
              numofhits++;
            end;
          if (Full[i]s>=W)
            begin
              for j=1 to W
                Full(i,j)=0;
              Fulls[i]=0;
            end;
          trig(TG[i]);
        until (numofhits=N);
      return (Tries)
    end;
end;

```

Αλγόριθμος: Προσομοίωση της λειτουργίας της τεχνικής gw-BIST

Κατά τη λειτουργία ελέγχου, ενεργοποιείται η μονάδα παραγωγής διανυσμάτων δοκιμής TG₁ ώστε να εφαρμοστούν στη μονάδα υπό έλεγχο τα διανύσματα που αντιστοιχούν στα παράθυρα αυτής της μονάδας παραγωγής διανυσμάτων δοκιμής. Όταν ολοκληρωθεί η εφαρμογή αυτών των διανυσμάτων, ενεργοποιείται η μονάδα παραγωγής διανυσμάτων δοκιμής TG₂, ως ότου ενεργοποιηθεί και η τελευταία μονάδα παραγωγής διανυσμάτων δοκιμής. Αυτό επιτυγχάνεται με τη βοήθεια του πολυπλέκτη μονάδων παραγωγής. Στη γενική περίπτωση, σε κάθε μονάδα παραγωγής αντιστοιχεί ένας πολυπλέκτης μονάδας παραγωγής διανυσμάτων δοκιμής. Ένας πολυπλέκτης μονάδας παραγωγής διανυσμάτων δοκιμής αποτελείται από n πολυπλέκτες 2-σε-1.

Στην ακόλουθη Εικόνα φαίνεται το σχηματικό διάγραμμα της γενίκευσης για NW=2. Χρησιμοποιούνται δύο όμοιες μονάδες παραγωγής διανυσμάτων δοκιμής. Οι έξοδοι gne των δύο μονάδων οδηγούνται σε μία πύλη OR, της οποίας η έξοδος τροφοδοτεί τη μονάδα συμπίσης των αποκρίσεων. Το συνολικό πλήθος των διανυσμάτων που εξετάζονται είναι W×NW. Η γενικευμένη τεχνική gw-BIST στις οριακές περιπτώσεις NW=1 και W=1 εκφυλίζεται στις τεχνικές w-CBIST και OISAT αντίστοιχα.



Εικόνα: Τεχνική gw-BIST για NW=2

Το κόστος υλοποίησης της τεχνικής δίνεται από τον ακόλουθο τύπο

$$HO_{GW-BIST}(n,m,NW,W)=NW \times n \times MUX + NW \times CTG + ABC$$

Οι μονάδες CTG και ABC είναι όμοιες με τις αντίστοιχες μονάδες που χρησιμοποιούνται στην τεχνική w-CBIST, επομένως το κόστος υλοποίησής τους δίνεται από τους ακόλουθους τύπους.

$$CTG= W \times (NAND+NOR + DFF) + AND_w + OR_w$$

$$ABC=m \times DFF + m \times FA$$

Το κόστος υλοποίησης της τεχνικής σε ισοδύναμες πύλες δίνεται από τον τύπο

$$HO_{GW-CBIST}(n,m,NW,W)=NW \times n \times 3 + NW \times W \times 12 + m \times 18$$

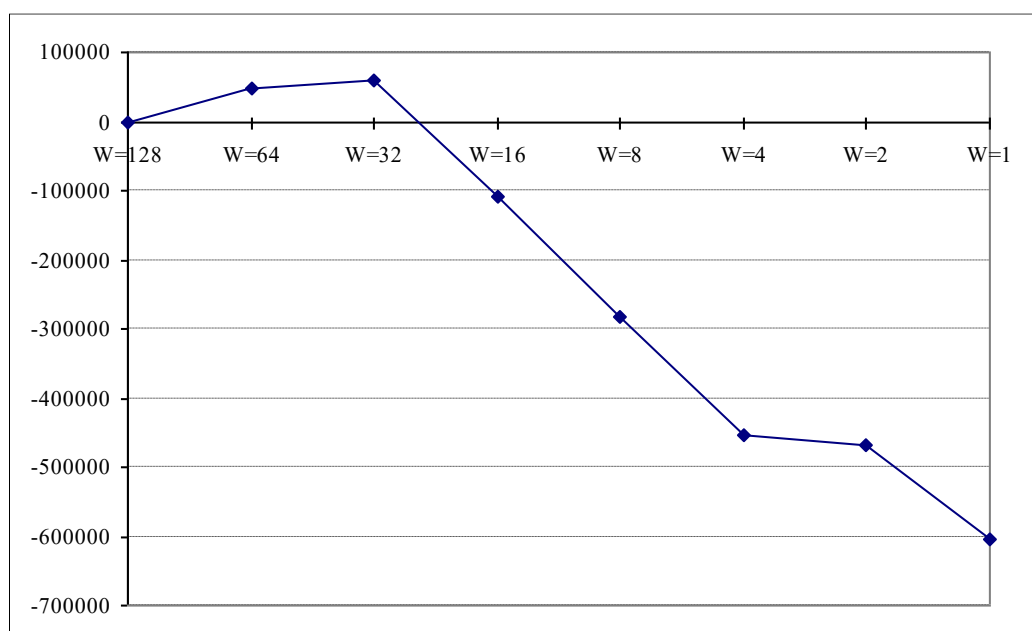
Προκειμένου να υπολογίσουμε την απόδοση της τεχνικής gw-BIST σε συνάρτηση του πλήθους των εξεταζόμενων παραθύρων, στον επόμενο Πίνακα δίνουμε το χρόνο ολοκλήρωσης της αυτοδοκιμής και το κόστος υλοποίησης για μια μονάδα υπό έλεγχο με n=12 εισόδους, και m=16 εξόδους όταν το πλήθος των παρατηρούμενων διανυσμάτων είναι 128. Στην πρώτη στήλη του Πίνακα δίνουμε το συνδυασμό του μεγέθους των παραθύρων επί το πλήθος τους. Στη δεύτερη στήλη δίνουμε το χρόνο ολοκλήρωσης της αυτοδοκιμής, και στην τρίτη στήλη το κόστος υλοποίησης εκφρασμένο σε ισοδύναμες πύλες. Στην τέταρτη στήλη δίνουμε το γινόμενο του κόστους υλοποίησης επί το χρόνο ολοκλήρωσης της αυτοδοκιμής. Στην πέμπτη στήλη παρουσιάζουμε για κάθε στοιχείο της τέταρτης στήλης τη διαφορά του από το προηγούμενο.

Πίνακας: Χρόνος Ολοκλήρωσης Αυτοδοκιμής και Κόστος Υλοποίησης της γενικευμένης τεχνικής gw-CBIST (n=12, m=16)

W × NW	CTL (×10 ³ clock cycles)	HO (gates)	CTL × HO (×10 ³)	Δ(CTL×HO) (×10 ³)
128 × 1	712	1.980	1.409	0
64 × 2	630	2.160	1.360	49
32 × 4	520	2.500	1.300	61
16 × 8	440	3.200	1.408	-108
8 × 16	360	4.700	1.692	-284
4 × 32	290	7.400	2.146	-454
2 × 64	201	13.000	2.613	-467
1 × 128	133	24.200	3.218	-606

Από τα δεδομένα του Πίνακα μπορούμε να εξάγουμε κάποια συμπεράσματα όσον αφορά τη σχέση της τιμής του NW με την απόδοση της τεχνικής. Στην ακόλουθη Εικόνα φαίνεται η ποσότητα $\Delta(CTL \times HO)$ για τα δεδομένα του Πίνακα ($n=12$, $m=16$, $NW \times W=128$). Από την Εικόνα φαίνεται ότι η καμπύλη παρουσιάζει άνοδο για $NW=2, 4$ και στη συνέχεια κατεβαίνει θεαματικά για μεγαλύτερες τιμές του NW. Το γεγονός αυτό, μας οδηγεί στην εξαγωγή των ακόλουθων συμπερασμάτων.

- Για $NW=2,4$ η απόδοση της τεχνικής gw-CBIST είναι υψηλότερη από ότι της τεχνικής w-CBIST.
- Για $W=1$, που αντιστοιχεί στην τεχνική OISAT, όπως αναφέρθηκε στην αρχή της παραγράφου, η απόδοση της τεχνικής γίνεται χειρίστη. Αυτό μας οδηγεί σε ένα πρώτο συμπέρασμα ότι η τεχνική OISAT είναι υποδεέστερη της τεχνικής w-CBIST.
- Για $NW=1$ που αντιστοιχεί στην τεχνική w-CBIST η απόδοση είναι ελάχιστα χειρότερη από ότι για λίγο υψηλότερες τιμές του NW. Η παρατήρηση αυτή, σε συνδυασμό με το ότι η τεχνική wCBIST παρουσιάζει απλότητα στην υλοποίηση καθώς και τη δυνατότητα μείωσης τόσο της πιθανότητας απόκρυψης στη συμπιεσμένη απόκριση όσο της καθυστέρησης ανίχνευσης ελαττωμάτων, οδηγεί στο συμπέρασμα ότι η τεχνική w-CBIST είναι η πλέον υποσχόμενη τεχνική σε πρακτικές εφαρμογές.



Εικόνα: Αύξηση (Χρόνου Ολοκλήρωσης Αυτοδοκιμής × Κόστος υλοποίησης) σε συνάρτηση του πλήθους και του μεγέθους των εξεταζομένων παραθύρων

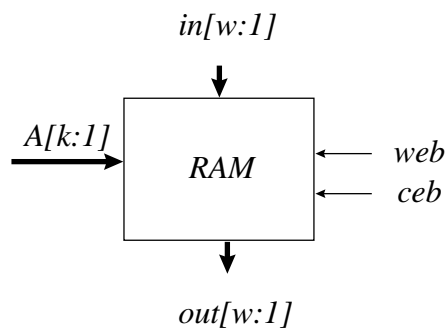
Στην παρούσα παράγραφο, παρουσιάστηκε η γενίκευση της τεχνικής w-CBIST για την παρατήρηση περισσότερων του ενός παραθύρων ταυτόχρονα. Από τις μετρήσεις που πραγματοποιήθηκαν προέκυψε το συμπέρασμα ότι για μεγάλες τιμές του πλήθους των παραθύρων (NW) η τεχνική δεν παρουσιάζει υψηλή απόδοση. Για τιμές του NW λίγο μεγαλύτερες του 1, η τεχνική παρουσιάζει βελτίωση έναντι της τεχνικής w-CBIST η οποία όμως δεν είναι τόσο σημαντική ώστε να αντισταθμίσει την αύξηση σε πολυπλοκότητα λόγω της προσθήκης περισσότερων της μιας μονάδων παραγωγής διανυσμάτων. Προκειμένου να μειωθεί ακόμη περισσότερο ο χρόνος ολοκλήρωσης αυτοδοκιμής (για δεδομένο κόστος υλοποίησης) προτείνεται στη συνέχεια μια ακόμη τεχνική, οι οποία είναι (όπως θα φανεί στην παράγραφο όπου θα γίνουν οι σχετικές συγκρίσεις) πιο αποδοτική από την τεχνική w-CBIST όσον αφορά το κόστος υλοποίησης και το χρόνο ολοκλήρωσης αυτοδοκιμής.

17.8 Μια νέα τεχνική Ταυτόχρονης ενσωματωμένης αυτοδοκιμής (RAM-based input vector monitoring Concurrent BIST, R-BIST)

Στην παράγραφο αυτή θα παρουσιαστεί η τεχνική ταυτόχρονης παραγωγής διανυσμάτων δοκιμής με τη χρήση μνήμης RAM (RAM-based input vector monitoring concurrent BIST technique R-BIST). Πρόκειται για μια τεχνική ενσωματωμένης αυτοδοκιμής με παρακολούθηση διανυσμάτων εισόδου στην οποία στη μονάδα ταυτόχρονης παραγωγής διανυσμάτων δοκιμής χρησιμοποιείται μια μνήμη RAM. Όπως θα φανεί στην παράγραφο όπου θα γίνουν οι σχετικές συγκρίσεις, η ιδέα αυτή μειώνει κάθετα το κόστος υλοποίησης, αυξάνοντας έτσι την απόδοση της τεχνικής. Πριν προχωρήσουμε στην περιγραφή της τεχνικής θα κάνουμε μια σύντομη παρουσίαση του τρόπου λειτουργίας μιας μνήμης RAM.

17.8.1 Λειτουργία Μνήμης RAM

Μια μνήμη RAM οργανωμένη σε λέξεις (word-oriented) είναι ένας μονοδιάστατος πίνακας $K=2^k$ θέσεων, κάθε μια από τις οποίες αποτελείται από w ψηφία. Κάθε θέση (λέξη της μνήμης) μπορεί να διευθυνσιοδοτηθεί ανεξάρτητα. Κάθε στιγμή μια θέση μνήμης είναι ενεργή, και η διεύθυνσή της ονομάζεται ενεργή διεύθυνση. Τα σήματα εισόδου και εξόδου μιας μνήμης RAM χωρίζονται σε τρεις ομάδες, που ονομάζονται διάδρομος διευθύνσεων (address bus), διάδρομος δεδομένων (data bus) και διάδρομος ελέγχου (control bus). Στην ακόλουθη Εικόνα δίνουμε το σχηματικό διάγραμμα μιας μνήμης RAM με ξεχωριστό διάδρομο δεδομένων (separate data bus) η οποία αποτελείται από 2^k λέξεις των w ψηφίων.



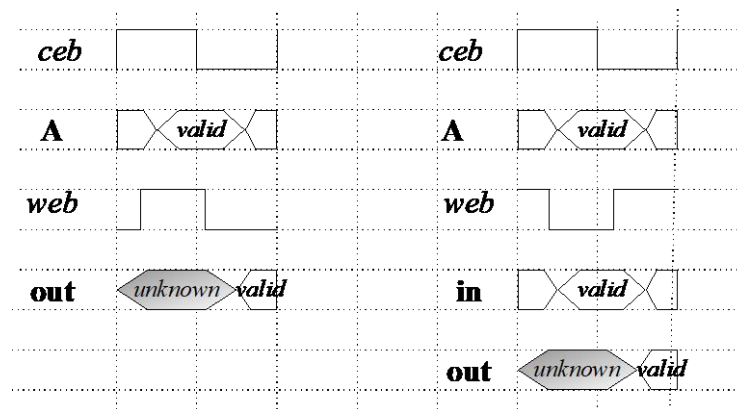
Εικόνα: Μνήμη RAM, Σχηματικό διάγραμμα

Για μια μνήμη που αποτελείται από $K=2^k$ θέσεις, ο διάδρομος διευθύνσεων αποτελείται από k ψηφία και συμβολίζεται με $A[k:1]$. Κάθε στιγμή, η τιμή που περιέχεται στο διάδρομο διευθύνσεων δίνει τη διεύθυνση μιας λέξης της μνήμης η οποία μπορεί να διαβαστεί ή στην οποία μπορούν να γραφτούν νέα δεδομένα. Θα λέμε στη συνέχεια ότι η διεύθυνση που περιέχει ο διάδρομος δεδομένων είναι η ενεργή διεύθυνση, και ότι η αντίστοιχη θέση μνήμης είναι η ενεργή θέση μνήμης.

Σε μια μνήμη με ξεχωριστό διάδρομο δεδομένων (separate data bus) χρησιμοποιούνται δυο διακριτές ομάδες σημάτων για την είσοδο των δεδομένων, οι οποίες ονομάζονται διάδρομος δεδομένων εισόδου (input data bus) και διάδρομος δεδομένων εξόδου (output data bus). Για μια μνήμη με μέγεθος λέξης w , το πλάτος των διαδρόμων δεδομένων εισόδου και εξόδου είναι w , και συμβολίζονται με $in[w:1]$ και $out[w:1]$ αντίστοιχα.

Ο διάδρομος ελέγχου αποτελείται από τα σήματα που χρησιμοποιούνται για τον έλεγχο της διαδικασίας ανάγνωσης/εγγραφής στη μνήμη. Ο διάδρομος ελέγχου περιλαμβάνει τουλάχιστον δύο σήματα, το σήμα ενεργοποίησης χρονισμού (clock enable bar, ceb) και το σήμα ενεργοποίησης εγγραφής (write enable bar, web). Το σήμα ενεργοποίησης χρονισμού χρησιμοποιείται για να συγχρονίσει τη διαδικασία ανάγνωσης/εγγραφής, ενώ το σήμα ενεργοποίησης εγγραφής χρησιμοποιείται για να επιτρέψει / αποτρέψει την εγγραφή των περιεχομένων του διαδρόμου δεδομένων εισόδου στην ενεργή θέση μνήμης. Σε μια μνήμη RAM με ξεχωριστό διάδρομο δεδομένων, η έξοδος είναι πάντα παρατηρήσιμη.

Μια μνήμη RAM προσπελαίνεται με ένα κύκλο προσπέλασης. Υπάρχουν δύο κύκλοι προσπέλασης, ο κύκλος προσπέλασης ανάγνωσης (read access cycle) και ο κύκλος προσπέλασης εγγραφής (write access cycle). Κατά τη διάρκεια ενός κύκλου προσπέλασης ανάγνωσης τα περιεχόμενα της ενεργής θέσης μνήμης μεταφέρονται στο διάδρομο δεδομένων εξόδου. Σε ένα κύκλο προσπέλασης εγγραφής τα περιεχόμενα του διαδρόμου δεδομένων εισόδου μεταφέρονται στην ενεργή θέση μνήμης. Στην ακόλουθη Εικόνα φαίνονται οι κυματομορφές για τους κύκλους προσπέλασης (ανάγνωσης και εγγραφής).



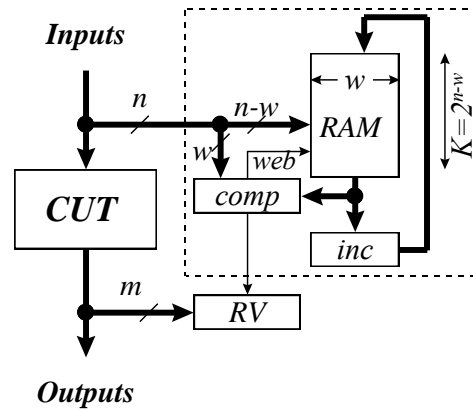
Εικόνα: Μνήμη RAM: (α) κύκλος ανάγνωσης (β) κύκλος εγγραφής

Σε ένα κύκλο ανάγνωσης, οι διευθύνσεις σταθεροποιούνται στο διάδρομο δεδομένων πριν την πύττουσα ακμή του ρολογιού. Το σήμα *web* έχει ενεργοποιηθεί πριν την πύττουσα ακμή του ρολογιού και μένει ενεργό και μετά τη πτώση της ακμής. Τα δεδομένα γίνονται διαθέσιμα στο διάδρομο δεδομένων εξόδου μετά την πύττουσα ακμή του ρολογιού και πριν το τέλος του κύκλου.

Σε ένα κύκλο προσπέλασης εγγραφής, η διεύθυνση είναι διαθέσιμη πριν την πύττουσα ακμή του ρολογιού και παραμένει ενεργή μετά την πτώση του παλμού. Το σήμα *web* πρέπει να έχει ενεργοποιηθεί πριν την πύττουσα ακμή του ρολογιού, ενώ τα δεδομένα εισόδου πρέπει να βρίσκονται στο διάδρομο δεδομένων εισόδου πριν την πύττουσα ακμή. Τα περιεχόμενα μπορούν να είναι διαθέσιμα στην έξοδο πριν την ολοκλήρωση του κύκλου.

17.8.2 Η Βασική Προσέγγιση R-BIST

Το σχηματικό διάγραμμα της τεχνικής R-BIST φαίνεται στην επόμενη Εικόνα. Αποτελείται από μια μνήμη RAM 2^k θέσεων, w ψηφίων η κάθε μια. Για τις τιμές των k , w ισχύει η σχέση $k+w=n$, όπου n είναι το πλήθος των εισόδων της μονάδας υπό έλεγχο. Αρχικά όλες οι θέσεις μνήμης παίρνουν την τιμή 0. Κατά τη διάρκεια της κανονικής λειτουργίας, το διάνυσμα που φτάνει στις εισόδους της μονάδας υπό έλεγχο και το οποίο συμβολίζεται με $A[n:1]$ οδηγείται στις εισόδους της μονάδας παραγωγής διανυσμάτων δοκιμής της τεχνικής R-BIST όπου χωρίζεται σε δύο τμήματα k και w ψηφίων, με $k=n-w$, τα οποία συμβολίζουμε με $A[n:w+1]$ και $A[w:1]$. Το διάνυσμα $A[n:w+1]$ χρησιμοποιείται για να δείξει μια διεύθυνση της μνήμης RAM. Τα περιεχόμενα αυτής της θέσης μνήμης οδηγούνται στο διάδρομο δεδομένων εξόδου, που συμβολίζεται με $out[w:1]$ και συγκρίνονται ψηφίο-προς-ψηφίο με τα w ψηφία του διανύσματος εισόδου $A[w:1]$. Αν τα δύο διανύσματα είναι ίσα, ενεργοποιείται το σήμα *web*. Το διάνυσμα *out* οδηγείται επίσης στις εισόδους ενός επαυξητή (*inc*), οι έξοδοι του οποίου οδηγούνται στο διάδρομο δεδομένων εισόδου της μνήμης RAM.



Εικόνα: Τεχνική R-BIST

Αν τα σήματα $\mathbf{out}[w:1]$ και $\mathbf{V}[w:1]$ είναι ίσα, τότε ενεργοποιείται η είσοδος ελέγχου web της μνήμης RAM και η έξοδος του επαυξητή γράφεται στη θέση μνήμης από την οποία διαβάστηκε. Συνεπώς, έχουμε επιτυχία κάθε φορά που τα περιεχόμενα της θέσης μνήμης της οποίας η διεύθυνση ισούται με τα k υψηλής τάξης ψηφία του διανύσματος εισόδου συμπίπτουν με τα w χαμηλής τάξης ψηφία του διανύσματος εισόδου. Το σύνολο των ενεργών διανυσμάτων της τεχνικής R-BIST αποτελείται από K διανύσματα. Κάθε φορά που έχουμε επιτυχία, τα περιεχόμενα της θέσης μνήμης αυξάνονται κατά ένα. Επομένως, αν μια θέση μνήμης περιέχει την τιμή i , τότε έχει σημειώσει i επιτυχίες. Η συζήτηση αυτή θα διευκρινιστεί με το ακόλουθο παράδειγμα.

Παράδειγμα: Ας θεωρήσουμε μια μνήμη RAM που αποτελείται από $K=2^k=2^2=4$ λέξεις των $w=3$ ψηφίων η κάθε μια. Η RAM αυτή μπορεί να χρησιμοποιηθεί για τον έλεγχο μιας μονάδας υπό έλεγχο $n=2+3=5$ εισόδων. Ας υποθέσουμε ότι σε μια δεδομένη χρονική στιγμή, τα περιεχόμενα των θέσεων της μνήμης έχουν όπως φαίνεται στον επόμενο Πίνακα.

Διεύθυνση	Περιεχόμενα
00	001
01	110
10	000
11	111

Στην περίπτωση αυτή, τα διανύσματα που μπορούν να επιτύχουν στον επόμενο κύκλο είναι τα ακόλουθα: **00001**, **01110**, **10000**, **11111**, και το πλήθος των επιτυχιών που έχει σημειώσει κάθε λέξη είναι 1, 6, 7, 0.

□

Η προσέγγιση της τεχνικής R-BIST που αναφέραμε αφήνει ανοικτά τα ακόλουθα θέματα:

1. Πώς ξέρουμε αν σε μια λέξη της μνήμης η οποία περιέχει τη μηδενική τιμή αντιστοιχούν καμία (μηδέν) ή 2^w επιτυχίες; Στο προηγούμενο Παράδειγμα, η θέση μνήμης 10 μπορεί να έχει πραγματοποιήσει 8 επιτυχίες και να έχει υπερχειλίσει.
2. Πώς γνωρίζουμε ότι ο σύγχρονος έλεγχος έχει ολοκληρωθεί και επομένως μπορούμε να εξετάσουμε τα περιεχόμενα της μονάδας συμπίεσης των αποκρίσεων; Προκειμένου να αντιμετωπιστεί το θέμα αυτό θα υλοποιηθεί ένα είδος μηχανισμού απαρίθμησης ο οποίος θα ενεργοποιείται κάθε φορά που θα υπερχειλίζει μια θέση μνήμης.
3. Είναι δυνατό (από πλευράς υλοποίησης) να διευθυνσιοδοτηθεί μια θέση μνήμης, να διαβαστούν τα περιεχόμενά της, να συγκριθούν με κάποιο διάνυσμα και να ενεργοποιηθεί (πιθανόν) το σήμα web ώστε η αυξημένη τιμή να γραφεί στην ίδια θέση μνήμης, και όλα αυτά μέσα σε ένα κύκλο ρολογιού; Ας σημειωθεί ότι κατά τη διάρκεια της κανονικής λειτουργίας δεν είναι δυνατό να υποθέσουμε ότι ο

διάδρομος διευθύνσεων της μνήμης έχει πάρει τιμή κατά την άνοδο του παλμού του ρολογιού (στην αρχή του κύκλου) λόγω πιθανών τυχαίων καθυστερήσεων στις εισόδους του κυκλώματος.

4. Είναι δυνατό να πραγματοποιηθεί μη-ταυτόχρονος έλεγχος με την τεχνική R-BIST; Το ερώτημα αυτό αναλύεται σε δύο συνιστώσες, (α) αν είναι δυνατός ο έλεγχος εκτός κανονικής λειτουργίας, που πραγματοποιείται στον τόπο παραγωγής (field testing) και (β) αν κατά τη διάρκεια της λειτουργίας του κυκλώματος η μονάδα υπό έλεγχο τεθεί εκτός λειτουργίας για ένα περιορισμένο αριθμό κύκλων (idle states) είναι δυνατό να εφαρμοστούν κάποια διανύσματα στις εισόδους της προκειμένου να επιταχυνθεί ο έλεγχος εν λειτουργία.

Θα αναφερθούμε στα παραπάνω θέματα σε επόμενη παράγραφο, όπου θα περιγράψουμε με αναλυτικό τρόπο τη λειτουργία της τεχνικής R-BIST.

17.8.3 Χρόνος Ολοκλήρωσης Αυτοδοκιμής

Προκειμένου να υπολογίσουμε το χρόνο ολοκλήρωσης αυτοδοκιμής για την τεχνική R-BIST πραγματοποιήσαμε εκτεταμένες προσομοιώσεις με τη βοήθεια H/Y. Το πρόγραμμα που χρησιμοποιήσαμε δίνεται στη συνέχεια με τη μορφή ψευδοκώδικα.

```

CTL(n, k)
/* simulate R-BIST normal operation;
   n=number of CUT inputs, k=address lines of the RAM */
begin
  N=2n; K=2k;
  for i=0 to K-1
    begin
      RAM[i]=0;
      Overflow[i]=0;
    end;
  Tries=0;
  numofhit=0;
  /* operate in normal mode */
  do
    V=rand(0,N-1);
    Tries++;
    V1=V[n:w+1];
    V2=V[w:1];
    if (V2=RAM[V1]) and Overflow[V1]=0) then
      begin
        numofhit++;
        RAM[V1]=RAM[V1]+1;
        if RAM[V1]=2w then Overflow[V1]=1;
      end;
  until numofhit=N;
  return(Tries);
end;

```

Αλγόριθμος: Λειτουργία της τεχνικής R-BIST

Η ρουτίνα λειτουργεί ως εξής. Αρχικά μηδενίζονται τα περιεχόμενα των θέσεων της μνήμης. Σε κάθε κύκλο λειτουργίας, παράγεται τυχαία ένα νέο διάνυσμα V. Αν τα περιεχόμενα της θέσης μνήμης που υποδεικνύεται από το V₁ (τα υψηλής τάξης ψηφία του V) είναι ίσα με το V₂ (τα χαμηλής τάξης ψηφία του V) αυξάνεται το πλήθος των επιτυχιών και τα περιεχόμενα της ενεργής θέσης μνήμης. Αν τα περιεχόμενα της θέσης μνήμης υπερβαίνουν το 2^w-1, η θέση μνήμης έχει υπερχειλίσει και δεν θα ξαναπραγματοποιήσει επιτυχία. Η διαδικασία επαναλαμβάνεται ωσότου το πλήθος των επιτυχιών φτάσει το N.

Πραγματοποιήσαμε προσομοιώσεις για διάφορες τιμές του πλήθους των εισόδων της μονάδας υπό έλεγχο και του πλήθους των λέξεων της μνήμης (K=2^k). Αποτελέσματα των προσομοιώσεων φαίνονται στον επόμενο Πίνακα. Κάθε αριθμός στον Πίνακα αντιπροσωπεύει το μέσο όρο τριών πειραμάτων.

Πίνακας: Χρόνος Ολοκλήρωσης Αυτοδοκιμής για την τεχνική R-BIST

n	K				
	4	16	64	256	1024
10	281.865	77.616	28.046		
12	4.348.837	1.240.092	344.835	111.388	
14	72.428.798	18.281.163	5.059.442	1.893.447	535.165
16	1.292.115.452	281.911.457	68.201.278	32.162.438	8.669.673
18	24.583.789.165	4.347.364.892	838.193.458	530.674.177	143.677.271
20	497.575.124.954	67.040.547.384	1.179.506.634	8.862.258.673	2.356.316.462

17.8.4 Υλοποίηση της τεχνικής R-BIST

Στην παράγραφο αυτή θα περιγράψουμε την υλοποίηση της τεχνικής R-BIST. Στην πορεία, η μονάδα παραγωγής διανυσμάτων δοκιμής που δόθηκε σε μια αρχική μορφή θα τροποποιηθεί με τέτοιο τρόπο ώστε να αντιμετωπιστούν τα Θέματα 1-4 που αναφέρθηκαν στην προηγούμενη παράγραφο.

Προκειμένου να αντιμετωπιστεί το Θέμα 1, χρησιμοποιείται μια RAM με μέγεθος λέξης $w+1$. Το υψηλής τάξης ψηφίο κάθε λέξης αντιπροσωπεύει το σήμα υπερχείλισης (overflow) για τη συγκεκριμένη λέξη. Προκειμένου να διασφαλιστεί ότι μια λέξη η οποία έχει υπερχείλισει δεν θα πραγματοποιήσει ξανά επιτυχία, η έξοδος του συγκριτή comp συνδέεται μέσω μιας πύλης OR με το υψηλής τάξης ψηφίο της θέσης μνήμης. Αν το υψηλής τάξης ψηφίο έχει την τιμή 1, το σήμα hit δεν είναι δυνατό να ενεργοποιηθεί.

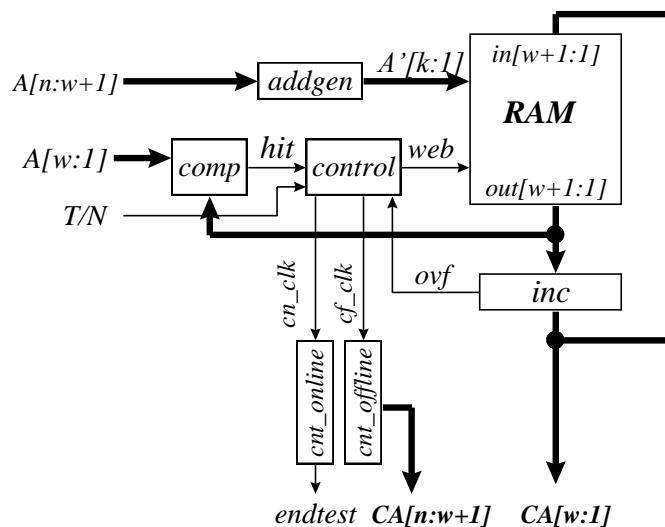
Προκειμένου να αντιμετωπιστεί το Θέμα 3, υποθέτουμε ότι το διάνυσμα εισόδου έχει φτάσει στις εισόδους της μονάδας παραγωγής διανυσμάτων δοκιμής μέχρι την πίπτουσα ακμή του ρολογιού. Η υπόθεση αυτή δεν είναι αυστηρή, εφόσον είναι πρακτικά αδύνατο να μην έχει φτάσει το σήμα στις εισόδους της μονάδας υπό έλεγχο σε χρόνο ίσο με το μισό του κύκλου ρολογιού του συστήματος. Αν το διάνυσμα που φτάνει στις εισόδους της μονάδας υπό έλεγχο στον κύκλο t σημειώσει επιτυχία, θα συμβούν τα ακόλουθα: θα ενεργοποιηθεί το σήμα hit, ενώ το σήμα web θα ενεργοποιηθεί στον επόμενο κύκλο ($t+1$). Αυτό επιτυγχάνεται με τη βοήθεια της μονάδας ελέγχου (control). Επίσης, η διεύθυνση που εφαρμόζεται στις εισόδους του διαδρόμου διευθύνσεων της RAM στον κύκλο $t+1$ παραμένει αμετάβλητη. Αυτό επιτυγχάνεται από τη μονάδα addgen (address generator). Με τους χειρισμούς που αναφέρθηκαν, το επαυξημένο κατά ένα περιεχόμενο τη θέσης μνήμης γράφεται στη θέση από την οποία διαβάστηκε.

Με την υλοποίηση αυτή, το διάνυσμα που φτάνει στις εισόδους της μονάδας υπό έλεγχο στον κύκλο $t+1$ δεν μπορεί να πραγματοποιήσει επιτυχία, με άλλα λόγια αγνοείται. Όμως η πιθανότητα δύο διαδοχικά διανύσματα να σημειώσουν επιτυχία είναι εξαιρετικά χαμηλή. Η λογική αυτή υπόθεση επαληθεύτηκε από πειραματικές μετρήσεις. Ένα σημαντικό πλεονέκτημα της υλοποίησης αυτής είναι ότι η λογική είναι απολύτως σύγχρονη (χρησιμοποιείται μόνο ένα ρολόι δύο φάσεων, το οποίο μπορεί να συμπίπτει με το ρολόι του συστήματος).

Προκειμένου να αντιμετωπιστεί το Θέμα 2, χρησιμοποιείται ένας απαριθμητής k -βαθμίδων, ο οποίος συμβολίζεται με cnt_online, και ο οποίος αυξάνεται κάθε φορά που υπερχειλίζει μια λέξη της μνήμης RAM. Όταν ο απαριθμητής φτάσει την τιμή 2^k , έχουν υπερχείλισει 2^k λέξεις της μνήμης, επομένως έχουν πραγματοποιηθεί $2^k \times 2^w = 2^n = N$ επιτυχίες. Είναι χρήσιμο να σημειωθεί ότι οποιαδήποτε ακολουθιακή μηχανή είναι δυνατό να χρησιμοποιηθεί (πχ. ένας καταχωρητής ολισθησης με γραμμική ανάδραση). Η χρήση του απαριθμητή εξυπηρετεί περισσότερο διαισθητικούς σκοπούς.

Προκειμένου να αντιμετωπιστεί το Θέμα 4, χρησιμοποιείται ένας απαριθμητής k βαθμίδων τον οποίο συμβολίζουμε με cnt_offline και ο οποίος αυξάνεται κάθε φορά που υπερχειλίζει μια θέση μνήμης κατά

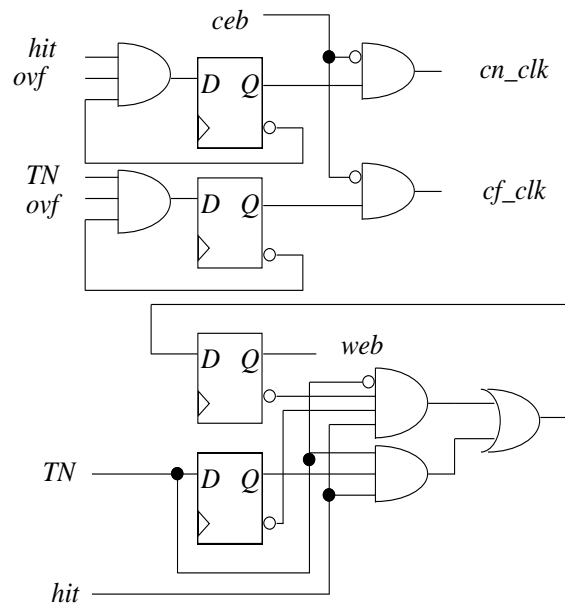
τη διάρκεια της λειτουργίας ελέγχου της τεχνικής R-BIST. Κατά τη διάρκεια της λειτουργίας ελέγχου, στις εισόδους της μονάδας υπό έλεγχο οδηγείται ένα διάνυσμα που σχηματίζεται ως εξής: τα k υψηλής τάξης ψηφία είναι οι έξοδοι του `cnt_offline`, ενώ τα w χαμηλής τάξης ψηφία είναι τα περιεχόμενα της λέξης της μνήμης RAM της οποίας η διεύθυνση είναι το περιεχόμενο του `cnt_offline`. Θα πρέπει να σημειωθεί ότι κατά τη διάρκεια της λειτουργίας ελέγχου, εφόσον η διεύθυνση στην οποία θα γίνει η εγγραφή δεν μεταβάλλεται παρά μόνο μετά από κάθε υπερχειλίση, δεν χάνονται κύκλοι όπως στην περίπτωση της κανονικής λειτουργίας. Σε αυτό ακριβώς έγκειται και η χρησιμότητα του μηχανισμού `offline` που περιγράφηκε, συγκριτικά με τη χρήση ενός απλού καταχωρητή ολίσθησης με γραμμική ανάδραση n ψηφίων. Στην περίπτωση που θα χρησιμοποιούνταν ένας τέτοιος μηχανισμός, κατά τη διάρκεια της λειτουργίας ελέγχου θα απαιτούνταν διπλάσιος αριθμός κύκλος προκειμένου να παραχθούν τα διάνυσματα δοκιμής, εφόσον τα μισά διανύσματα θα χάνονταν.



Εικόνα: Υλοποίηση της τεχνικής R-BIST

Μετά την αντιμετώπιση των θεμάτων που αναφέρθηκαν, η μονάδα παραγωγής διανυσμάτων δοκιμής της τεχνικής R-BIST φαίνεται στην προηγούμενη Εικόνα. Προκειμένου να είναι πλήρης η περιγραφή της τεχνικής θα πρέπει να περιγράψουμε τη λειτουργία των μονάδων ελέγχου (`control`) και παραγωγής διευθύνσεων (`address generator, addgen`).

Η μονάδα ελέγχου λειτουργεί ως ακολούθως. Αν τα σήματα `hit` και `overflow` είναι ενεργοποιημένα, έχει υπερχειλίσει μια λέξη μνήμης, συνεπώς ενεργοποιείται το σήμα `cn_clk`. Το σήμα `web` ενεργοποιείται στις ακόλουθες περιπτώσεις. Κατά τη διάρκεια της λειτουργίας ελέγχου ($T/N=1$), το σήμα `web` ενεργοποιείται σε κάθε κύκλο ρολογιού στον οποίο πραγματοποιείται `hit`. Κατά τη διάρκεια της κανονικής λειτουργίας το σήμα ενεργοποιείται αν το διάνυσμα αυτό έχει σημειώσει επιτυχία, και το αμέσως προηγούμενο δεν είχε σημειώσει επιτυχία.



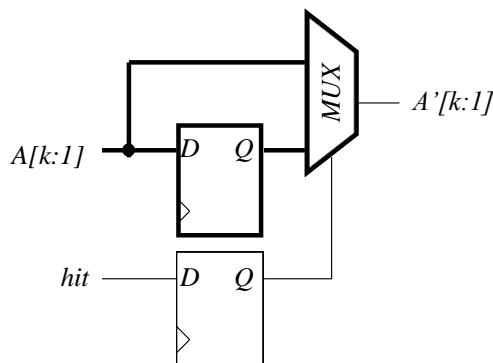
Εικόνα: Μονάδα ελέγχου (control) για την τεχνική R-BIST

Η διεύθυνση που εφαρμόζεται στις εισόδους του διαδρόμου διευθύνσεων της μνήμης RAM παράγεται από τη μονάδα addgen, την οποία παρουσιάζουμε στην επόμενη Εικόνα. Η μονάδα αυτή λειτουργεί ως εξής. Αν το σήμα web είναι ενεργοποιημένο, αυτό σημαίνει ότι πρέπει να γίνει εγγραφή, και μάλιστα στη διεύθυνση που έδειξε το σήμα $A[k:1]$ στον προηγούμενο κύκλο ρολογιού. Επομένως, η είσοδος του ρολογιού οδηγείται από την καθυστερημένη έκδοση του σήματος $A[k:1]$. Όταν το σήμα web είναι ανενεργό, δεν θα γίνει εγγραφή και μπορεί να εφαρμοστεί στο διάδρομο δεδομένων το σήμα $A[k:1]$ που εφαρμόζεται στην είσοδο της υπό έλεγχο μονάδας αυτή τη χρονική στιγμή. Οποιαδήποτε στιγμή, μια από τις παρακάτω περιπτώσεις είναι δυνατό να συμβεί κατά τη διάρκεια της κανονικής λειτουργίας.

1. Το διάνυσμα εισόδου δεν επιτυγχάνει. Στον επόμενο κύκλο θα εξεταστεί το επόμενο διάνυσμα εισόδου.
2. Το διάνυσμα εισόδου επιτυγχάνει. Στον επόμενο κύκλο δεν θα εξεταστεί το διάνυσμα εισόδου. Στην περίπτωση αυτή αν η λέξη που πέτυχε υπερχειλίσει, τότε στον επόμενο κύκλο θα ενεργοποιηθεί το σήμα cn_clk .

Κατά τη διάρκεια της λειτουργίας ελέγχου, το περιεχόμενο της λέξης μνήμης συγκρίνεται με τον εαυτό του, επομένως έχουμε επιτυχία σε κάθε κύκλο, εκτός από την περίπτωση κατά την οποία συμβαίνει υπερχειλίση. Επομένως είναι δυνατό να παρουσιαστούν οι ακόλουθες περιπτώσεις.

1. Η λέξη μνήμης δεν υπερχειλίσει. Στην περίπτωση αυτή έχουμε επιτυχία, επομένως ενεργοποιείται το σήμα web .
2. Η λέξη μνήμης υπερχειλίσει. Τότε η έξοδος του επαυξητή είναι ίση με 2^w . Ενεργοποιείται το σήμα web , καθώς και το cf_clk . Στον επόμενο κύκλο ($t+1$) θα διαβαστεί η ίδια θέση μνήμης, δεν θα πραγματοποιηθεί όμως επιτυχία, εφόσον θα διαβαστεί η τιμή 2^w . Επομένως, στον κύκλο ($t+2$) θα διαβαστεί η επόμενη θέση μνήμης.



Εικόνα: Μονάδα address generator

Στη συνέχεια αναφέρουμε τα σήματα που παράγονται στη μονάδα σύγχρονης παραγωγής διανυσμάτων δοκιμής, και τότε ενεργοποιείται το καθένα.

Πίνακας: Σήματα της Τεχνικής R-BIST

Σήμα	Ενεργοποιείται
overflow	Όταν το υψηλής (w+1) τάξης ψηφίο μιας θέσης μνήμης έχει γίνει 1.
web	Αν στον προηγούμενο κύκλο συνέβη hit
cnt_clock	Αν στον προηγούμενο κύκλο υπερχείλισε μια λέξη μνήμης
hit	Όταν τα w χαμηλής τάξης ψηφία του διανύσματος εισόδου είναι ίσα με τα w χαμηλής τάξης ψηφία της λέξης της μνήμης και το υψηλής τάξης ψηφίο του περιεχομένου της θέσης μνήμης είναι 0.

Προκειμένου να διασαφηνιστεί η λειτουργία της τεχνικής θα χρησιμοποιήσουμε το επόμενο παράδειγμα.

Παράδειγμα: Στον επόμενο Πίνακα φαίνεται η εφαρμογή της τεχνικής για την ταυτόχρονη αυτοδοκιμή μιας μονάδας υπό δοκιμή με τρεις εισόδους, με τη χρήση μιας μνήμης RAM $2^1 \times 3$ ψηφίων. Στον Πίνακα 4.5 φαίνονται οι τιμές των σημάτων που περιγράφηκαν, καθώς και οι τιμές των σημάτων εισόδου και εξόδου της μνήμης RAM. Όταν ενεργοποιηθεί το υψηλής τάξης ψηφίο του απαριθμητή εν λειτουργία, ο σύγχρονος έλεγχος έχει ολοκληρωθεί.

Πίνακας: Λειτουργία της τεχνικής R-BIST

Input[3:1]	hit	web	cnt_clock	A'[2:1]	comment
000	1	0	0	00	this cycle is hit
001	0	1	0	00	hit in previous cycle, write in this cycle
001	1	0	0	00	this cycle is hit
111	0	1	0	00	hit in previous cycle, write in this cycle
010	1	0	0	00	this cycle is hit
111	0	1	0	00	hit in previous cycle, write in this cycle
011	1	0	0	00	this cycle is hit
100	0	1	1	00	hit in previous cycle, write in this cycle
110	0	0	1	00	this cycle is miss

17.8.5 Υπολογισμός κόστους υλοποίησης

Για να υπολογίσουμε το κόστος υλοποίησης της τεχνικής θα χρησιμοποιήσουμε τις προηγούμενες Εικόνες. Για την υλοποίηση της τεχνικής απαιτείται μια RAM $2^k \times (w+1)$ ψηφίων, οι απαριθμητές εν λειτουργία και εκτός λειτουργίας, ο συγκριτής και ο επαυξητής. Για την υλοποίηση ενός απαριθμητή χρησιμοποιούνται w flip flop τύπου D. Για το συγκριτή χρησιμοποιούνται w πύλες XOR δύο εισόδων, και ο επαυξητής υλοποιείται με w ημιαθροιστές (half adders, HA).

Στη μονάδα συμπίεσης των αποκρίσεων, η τελική υπογραφή είναι ανεξάρτητη της σειράς των διανυσμάτων εξόδου. Για το σκοπό αυτό χρησιμοποιείται η συμπίεση των αποκρίσεων με τη βοήθεια συσσωρευτή. Για την υλοποίηση της τεχνικής συμπίεσης της m-ψήφιας απόκρισης με τη βοήθεια συσσωρευτή, απαιτούνται m flip flops τύπου D και m πλήρεις αθροιστές (FA). Συνολικά, το κόστος υλοποίησης δίνεται από τον ακόλουθο τύπο

$$HO_R(n,m,K) = RAM(2^k, w+1) + MUX + Addgen + control + hitcomp + offlinecomp + inc + online_cnt + offline_cnt + ABC$$

Ο ακόλουθος Πίνακας δίνει για κάθε μια από τις μονάδες τον τρόπο υλοποίησης και το κόστος υλοποίησης σε ισοδύναμες πύλες.

Πίνακας: Μονάδες της τεχνικής R-BIST και κόστος υλοποίησης

Module	hardware	gates
addgen	$k \times DFF + k \times MUX$	11k
hitcomp	$w \times XOR + OR_w$	5w
inc	$w \times HA$	5w
online_cnt	$k \times DFF$	8k
offlin_cnt	$k \times DFF$	8k
control	$3 \times DFF + 12 \times OR_2$	44
MUX	$n \times MUX$	3k+3w
ABC	$m \times (FA + DFF)$	18m

Προκειμένου να υπολογιστεί το κόστος υλοποίησης της τεχνικής σε ισοδύναμες πύλες, (ώστε να είναι δυνατή η σύγκριση με τις υπόλοιπες τεχνικές που έχουν προταθεί) απαιτείται ο υπολογισμός του κόστους υλοποίησης της RAM σε ισοδύναμες πύλες. Το κόστος υλοποίησης των μνημών RAM δίνεται σε τετραγωνικά Mils. Προκειμένου να συγκριθεί η τεχνική R-BIST με τις υπόλοιπες τεχνικές σύγχρονης αυτοδοκιμής, πρέπει το κόστος να μετατραπεί σε ισοδύναμες πύλες. Για το λόγο αυτό εργαστήκαμε όπως περιγράφεται στη συνέχεια.

Υλοποιήσαμε την τεχνική στο σχεδιαστικό εργαλείο Compass Design Automation Tools σε μια συγκεκριμένη βιβλιοθήκη υλοποίησης, σε διαστάσεις του 1μm. Στη βιβλιοθήκη αυτή, το μέγεθος της RAM δίνεται σε τετραγωνικά Mils. Μετατρέψαμε τα τετραγωνικά Mils σε τετραγωνικά μικρά (1mil=2.54cm). Στη συνέχεια, υπολογίσαμε το εμβαδό που καταλαμβάνει μια ισοδύναμη πύλη. Στη συγκεκριμένη βιβλιοθήκη, το εμβαδό μιας ισοδύναμης πύλης μπορεί να βρεθεί πολλαπλασιάζοντας το ύψος των κελλιών της βιβλιοθήκης με το πλάτος της πύλης NAND, συνεπώς είναι $43.2 \times 14.1 \approx 622$ τετραγωνικά μικρόμετρα. Τέλος διαιρέσαμε το κόστος υλοποίησης της RAM μετρημένο σε τετραγωνικά μικρόμετρα με το κόστος υλοποίησης της ισοδύναμης πύλης σε τετραγωνικά μικρόμετρα, προκειμένου να υπολογιστεί το κόστος υλοποίησης της μνήμης RAM σε ισοδύναμες πύλες. Στους επόμενους Πίνακες δίνουμε το κόστος υλοποίησης μιας μνήμης RAM (σε ισοδύναμες πύλες) για διάφορες τιμές των w, k καθώς και το συνολικό κόστος υλοποίησης της τεχνικής R-BIST για διάφορες τιμές των n, m και $K(=2^k)$.

Πίνακας: Κόστος υλοποίησης μνήμης RAM σε πύλες

K	W+1								
	3	5	7	9	11	13	15	17	19
4	368	332	403	479	548	618	688	742	812
16	368	366	445	530	607	684	761	821	898
64	481	571	695	835	957	1078	1200	1295	1417
256	927	1334	1695	2062	2362	2661	2961	3197	3496
1024	2512	3646	4846	6003	7079	8156	9231		

Πίνακας: Κόστος υλοποίησης μνήμης RAM σε πύλες

Κ					
n	4	16	64	256	1024
10	479	445	571	927	
12	548	530	695	1334	2512
14	618	607	835	1695	3646
16	688	684	957	2062	4846
18	742	761	1078	2362	6003
20	812	821	1200	2661	7079

Στην παρούσα παράγραφο παρουσιάστηκε μια νέα τεχνική ταυτόχρονης αυτοδοκιμής, η οποία στηρίζεται στη χρήση μιας μνήμης RAM για την υλοποίηση της μονάδας ταυτόχρονης παραγωγής διανυσμάτων δοκιμής. Στο σημείο αυτό κλείνει η παρουσίαση των τεχνικών που προτάθηκαν για την ταυτόχρονη ενσωματωμένη δοκιμή με παρατήρηση των διανυσμάτων εισόδου. Στην επόμενη παράγραφο οι τεχνικές που προτάθηκαν θα συγκριθούν με τις τεχνικές ταυτόχρονης αυτοδοκιμής που έχουν προταθεί στη διεθνή βιβλιογραφία. Τα κριτήρια με τα οποία θα γίνει η σύγκριση είναι το κόστος υλοποίησης και ο χρόνος ολοκλήρωσης αυτοδοκιμής.

Πίνακας: Κόστος υλοποίησης της τεχνικής R-BIST

Κ						
n	m	4	16	64	256	1024
10	5	791	729	827	1155	
10	10	881	819	917	1245	
10	20	1061	999	1097	1425	
12	6	928	882	1019	1630	2780
12	12	1036	990	1127	1738	2888
12	18	1144	1098	1235	1846	2996
14	7	1066	1027	1227	2059	3982
14	14	1192	1153	1353	2185	4108
14	21	1318	1279	1479	2311	4234
16	8	1204	1172	1417	2494	5250
16	16	1348	1316	1561	2638	5394
16	24	1492	1460	1705	2782	5538
18	9	1326	1317	1606	2862	6475
18	18	1488	1479	1768	3024	6637
18	27	1650	1641	1930	3186	6799
20	10	1464	1445	1796	3229	7619
20	20	1644	1625	1976	3409	7799
20	30	1824	1805	2156	3589	7979

17.8.6 Συγκρίσεις των τεχνικών σύγχρονης αυτοδοκιμής με παρατήρηση διανυσμάτων εισόδου

Στην παράγραφο αυτή, θα πραγματοποιηθούν οι συγκρίσεις των τεχνικών με τις υπόλοιπες τεχνικές που έχουν προταθεί στη βιβλιογραφία για ταυτόχρονη ενσωματωμένη αυτοδοκιμή. Τα κριτήρια με βάση τα οποία αξιολογείται μια τεχνική ταυτόχρονης αυτοδοκιμής είναι το κόστος υλοποίησης και ο χρόνος που απαιτείται για το σύγχρονο έλεγχο.

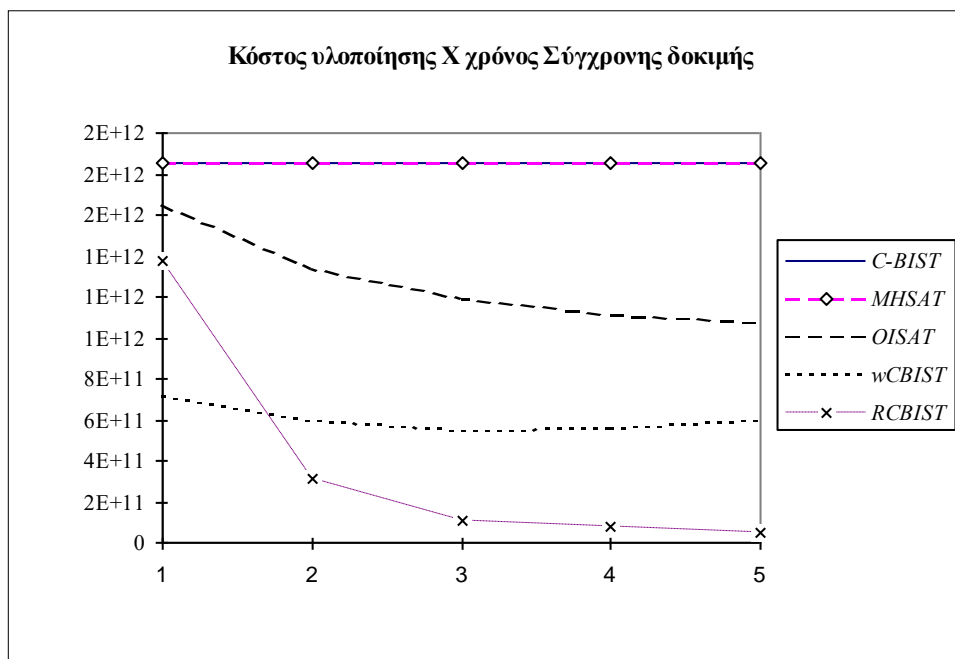
Εστω μια συνδυαστική μονάδα υπό έλεγχο με n εισόδους και m εξόδους. Όπως έχει αναφερθεί, οι τεχνικές ταυτόχρονης αυτοδοκιμής με παρακολούθηση διανυσμάτων εισόδου χωρίζονται σε μη παραμετρικές (C-BIST) και παραμετρικές (MHSAT, OISAT, w-CBIST, R-BIST). Για τη μη-παραμετρική τεχνική (C-BIST) για συγκεκριμένο πλήθος των εισόδων της μονάδας υπό έλεγχο ο χρόνος ολοκλήρωσης αυτοδοκιμής και το κόστος υλοποίησης δεν μπορούν να μεταβληθούν. Αντιθέτως, στις παραμετρικές τεχνικές υπάρχει η δυνατότητα να αυξηθεί το κόστος υλοποίησης ώστε να μειωθεί ο χρόνος ολοκλήρωσης αυτοδοκιμής και το αντίστροφο (concurrent test latency-hardware overhead tradeoff). Για το λόγο αυτό, οι συγκρίσεις θα γίνουν σε δύο φάσεις. Στην πρώτη φάση, κάθε μια από τις παραμετρικές τεχνικές MHSAT, OISAT, w-CBIST και R-BIST θα συγκριθεί με την τεχνική C-BIST. Στη δεύτερη φάση θα γίνει η σύγκριση των παραμετρικών τεχνικών μεταξύ τους.

17.8.6.1 Σύγκριση των παραμετρικών τεχνικών με την τεχνική C-BIST

Εστω μια μονάδα υπό δοκιμή με n εισόδους και m εξόδους. Ο χρόνος ολοκλήρωσης αυτοδοκιμής της μονάδας αυτής με την τεχνική C-BIST είναι σταθερός (δεν μπορεί να μειωθεί) και είναι της τάξης του 2^{2n} . Αν ο χρόνος αυτός υπερβαίνει τα αποδεκτά όρια είναι απαραίτητη η χρήση μιας παραμετρικής τεχνικής. Το ερώτημα που προκύπτει είναι αν με την επιλογή μιας από τις παραμετρικές τεχνικές το γινόμενο του κόστους υλοποίησης επί το χρόνο ολοκλήρωσης αυτοδοκιμής μειώνεται ή αυξάνεται. Με άλλα λόγια, αν η αύξηση του κόστους υλοποίησης είναι μεγαλύτερη ή μικρότερη από τη μείωση του χρόνου ολοκλήρωσης αυτοδοκιμής.

Προκειμένου να αποφασιστεί αν είναι συμφέρουσα η εφαρμογή μιας παραμετρικής τεχνικής, στην ακόλουθη Εικόνα παρουσιάζουμε για κάθε παραμετρική τεχνική το γινόμενο του κόστους υλοποίησης επί το χρόνο ολοκλήρωσης αυτοδοκιμής για διάφορες τιμές των παραμέτρων των τεχνικών για μια μονάδα υπό έλεγχο με $n=20$ εισόδους και $m=20$ εξόδους. Από την Εικόνα φαίνεται ότι για όλες τις παραμετρικές τεχνικές, με εξαίρεση την τεχνική MHSAT, το γινόμενο αυτό είναι χαμηλότερο από εκείνο της τεχνικής C-BIST και συνεπώς η εφαρμογή τους είναι πιο συμφέρουσα από ότι της τεχνικής C-BIST. Ακόμη φαίνεται ότι για τις τεχνικές w-CBIST και R-BIST το γινόμενο αυτό είναι χαμηλότερο από ότι για τις τεχνικές MHSAT και OISAT. Συνεπώς, η Εικόνα δίνει μια πρώτη ένδειξη ότι οι τεχνικές που παρουσιάστηκαν είναι πιο αποδοτικές από τις ήδη υπάρχουσες τεχνικές.

Αξίζει να γίνει μια αναφορά στο γεγονός ότι για μικρές τιμές του κόστους υλοποίησης, η τεχνική R-BIST είναι χειρότερη από ότι η τεχνική w-CBIST, ενώ για υψηλότερες τιμές του κόστους υλοποίησης γίνεται αισθητά καλύτερη. Το γεγονός αυτό οφείλεται στο ότι για μικρές τιμές του κόστους υλοποίησης, το μέγεθος της μνήμης RAM που χρησιμοποιείται είναι μικρό. Συνεπώς, το κόστος υλοποίησης της RAM ανά ψηφίο μνήμης (RAM cell) είναι υψηλότερο, λόγω του κόστους των αποκωδικοποιητών διεθύνσεων, και της λογικής εισόδου και εξόδου (overhead circuitry). Είναι χαρακτηριστικό ότι το κόστος υλοποίησης ανά ψηφίο μνήμης είναι 1.4 mils^2 για μικρές μνήμες (512 bits), ενώ πέφτει στα 0.58 mils^2 για μεγάλες μνήμες (16K bits). Όσο η μνήμη μεγαλώνει, το κόστος ανά ψηφίο πέφτει, και το κόστος υλοποίησης της τεχνικής συγκριτικά με τις υπόλοιπες μειώνεται θεαματικά. Το γεγονός αυτό εξηγεί και το παράδοξο της Εικόνας.



Εικόνα: Σύγκριση τεχνικής C-BIST με τις παραμετρικές τεχνικές

Προκειμένου να συγκρίνουμε την τεχνική C-BIST με τις υπόλοιπες (παραμετρικές) τεχνικές ορίζουμε τα ακόλουθα μέτρα.

Μείωση του χρόνου ολοκλήρωσης αυτοδοκιμής (Concurrent Test Latency Reduction, CTLR) για μια παραμετρική τεχνική είναι το πηλίκο του χρόνου ολοκλήρωσης αυτοδοκιμής της τεχνικής CBIST προς το χρόνο ολοκλήρωσης αυτοδοκιμής της παραμετρικής τεχνικής.

$$CTLR_{technique}(n) = \frac{CTL_{technique}(n)}{CTL_{CBIST}(n)}$$

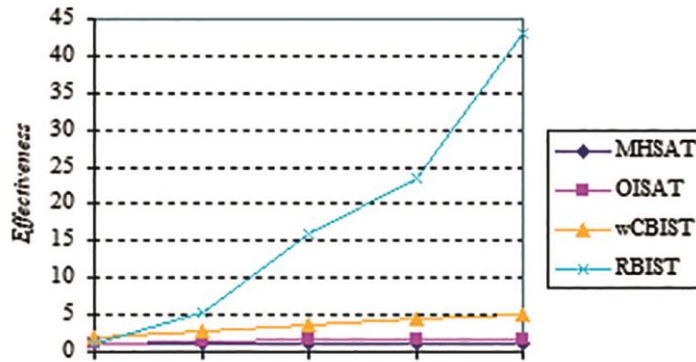
Αύξηση του κόστους υλοποίησης (Hardware Overhead Increase, HOI) μιας παραμετρικής τεχνικής είναι το πηλίκο του κόστους υλοποίησης της παραμετρικής τεχνικής προς το κόστος υλοποίησης της τεχνικής C-BIST.

$$HOI_{technique}(n,m) = \frac{HO_{technique}(n,m)}{HO(n,m)}$$

Απόδοση (effectiveness) μιας παραμετρικής τεχνικής συγκριτικά με την τεχνική CBIST είναι το πηλίκο της μείωσης του χρόνου σύγχρονης δοκιμής προς την αύξηση του κόστους υλοποίησης της τεχνικής

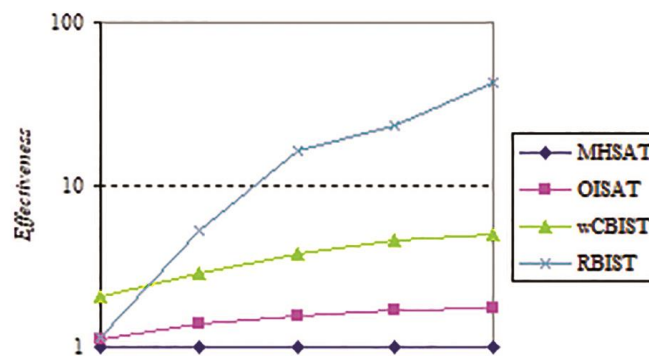
$$Effectiveness_{technique}(n,m) = \frac{CTLR_{technique}(n)}{HOI_{technique}(n,m)}$$

Μια τεχνική θα είναι καλύτερη από την τεχνική CBIST αν η **απόδοσή** της είναι μεγαλύτερη από τη μονάδα. Επιπλέον, μια τεχνική είναι τόσο καλύτερη όσο η απόδοσή της είναι μεγαλύτερη. Στην ακόλουθη Εικόνα παρουσιάζουμε την απόδοση των παραμετρικών τεχνικών ταυτόχρονης ενσωματωμένης αυτοδοκιμής με παρακολούθηση των διανυσμάτων εισόδου για μια μονάδα υπό έλεγχο με n=16 εισόδους και m=16 εξόδους.



Εικόνα: Απόδοση τεχνικών σύγχρονης ενσωματωμένης αυτοδοκιμής

Προκειμένου να φανούν καλύτερα τα δεδομένα, στην ακόλουθη Εικόνα παρουσιάζουμε τα ίδια δεδομένα σε λογαριθμική κλίμακα.



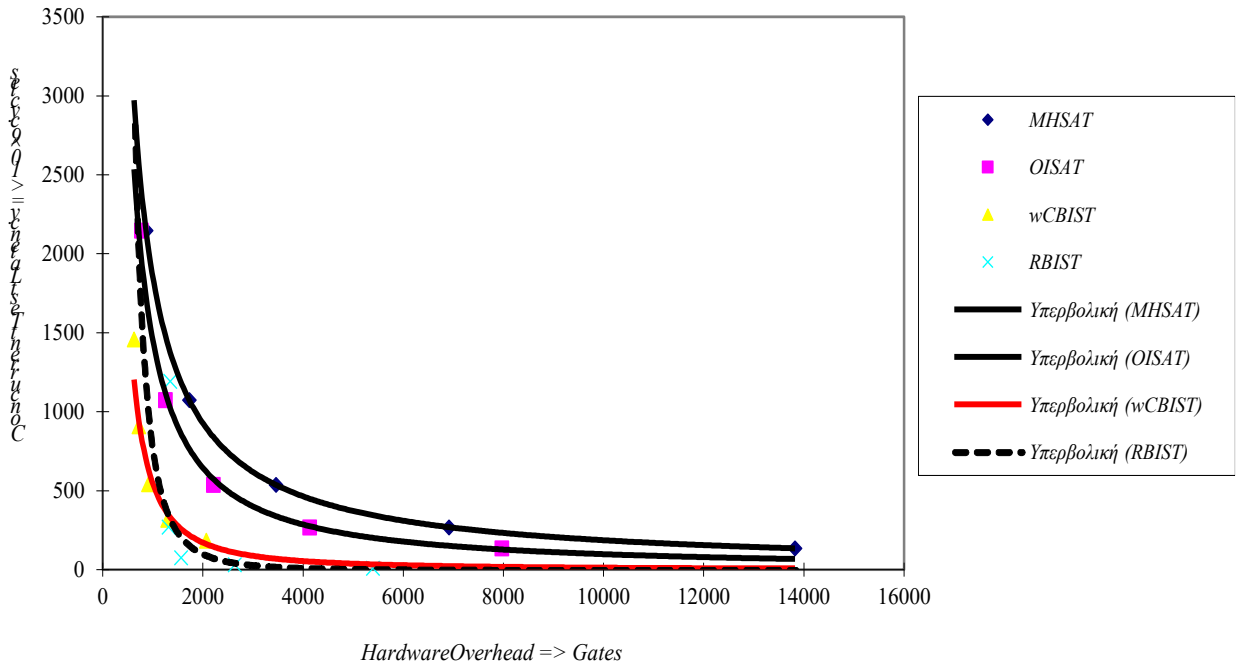
Εικόνα: Απόδοση τεχνικών σύγχρονης ενσωματωμένης αυτοδοκιμής (λογαριθμική Κλίμακα)

Από τις ανωτέρω Εικόνες μπορεί κανείς να συμπεράνει ότι οι παραμετρικές τεχνικές έχουν απόδοση μεγαλύτερη από τη μονάδα, η οποία μάλιστα μεγαλώνει όσο αυξάνεται το πλήθος των διανυσμάτων του συνόλου ενεργών διανυσμάτων, επομένως η εφαρμογή τους είναι προτιμότερη από την εφαρμογή της τεχνικής C-BIST. Ακόμη από τις Εικόνες που παρουσιάστηκαν φαίνεται ότι οι προτεινόμενες τεχνικές w-CBIST και R-BIST παρουσιάζουν μεγαλύτερη απόδοση από τις υπόλοιπες τεχνικές. Επομένως, μπορεί κανείς να θεωρήσει τις Εικόνες μία πρώτη ένδειξη ότι οι προτεινόμενες τεχνικές είναι πιο αποτελεσματικές από τις ήδη υπάρχουσες. Προκειμένου το συμπέρασμα αυτό να φανεί πιο καθαρά, στην επόμενη παράγραφο θα συγκρίνουμε τις παραμετρικές τεχνικές μεταξύ τους.

17.8.6.2 Σύγκριση των παραμετρικών τεχνικών Ταυτοχρονής αυτοδοκιμής με παρατήρηση των διανυσμάτων εισόδου

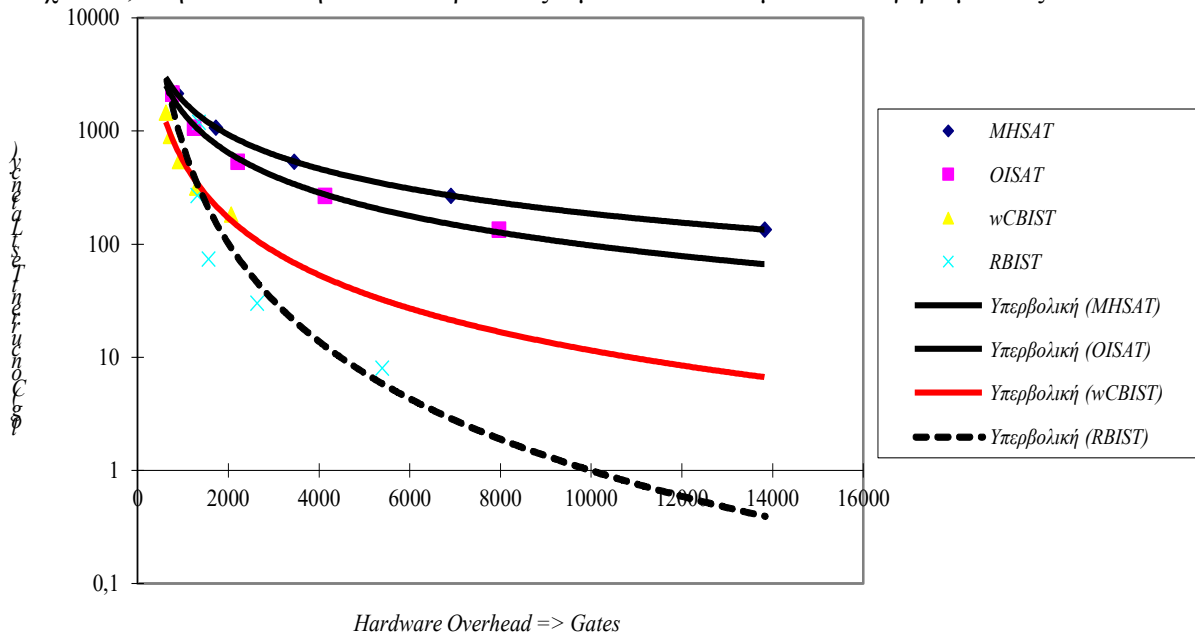
Στην παρούσα παράγραφο θα συγκρίνουμε τις παραμετρικές τεχνικές σύγχρονης ενσωματωμένης αυτοδοκιμής. Προκειμένου να πραγματοποιηθεί η σύγκριση αυτή, θα χρησιμοποιηθεί σα μέτρο ο χρόνος σύγχρονης δοκιμής σα συνάρτηση του κόστους υλοποίησης της τεχνικής. Εφόσον όσο μειώνεται ο χρόνος σύγχρονης δοκιμής αυξάνει το κόστος υλοποίησης της τεχνικής, η συνάρτηση θα αποτελείται από σημεία, τα οποία αν ενωθούν θα σχηματίζουν μια καμπύλη με τη μορφή παραβολής. Μια τεχνική θα είναι τόσο καλύτερη, όσο η καμπύλη που της αντιστοιχεί είναι πιο κοντά στους άξονες, διότι αυτό θα συνεπάγεται μικρότερο κόστος υλοποίησης για τον ίδιο χρόνο σύγχρονης δοκιμής (ή μικρότερο χρόνο σύγχρονης δοκιμής για το ίδιο κόστος υλοποίησης). Για τις γραφικές παραστάσεις θα χρησιμοποιήσουμε τα στοιχεία των πινάκων που έχουμε παρουσιάσει.

Στην ακόλουθη Εικόνα φαίνεται η γραφική παράσταση του χρόνου ολοκλήρωσης αυτοδοκιμής σε συνάρτηση του κόστους υλοποίησης για τις παραμετρικές τεχνικές για μια μονάδα υπό δοκιμή με $n=16$ εισόδους και $m=16$ εξόδους. Τα σημεία έχουν προσεγγιστεί με γραμμές τάσης (trendlines) από το εργαλείο επεξεργασίας υπολογιστικών φύλλων Microsoft Excel.



Εικόνα: Χρόνος σύγχρονης δοκιμής και κόστος υλοποίησης (παραμετρικές τεχνικές)

Στην ανωτέρω Εικόνα φαίνεται ότι οι καμπύλες που αντιστοιχούν στις προτεινόμενες τεχνικές w-CBIST και R-BIST βρίσκονται πιο κοντά στους άξονες από ότι οι καμπύλες που αντιστοιχούν στις τεχνικές MHSAT και OISAT. Αυτό σημαίνει ότι για το ίδιο κόστος υλοποίησης ο χρόνος ολοκλήρωσης αυτοδοκιμής των προτεινόμενων τεχνικών είναι μικρότερος, ενώ για τον ίδιο χρόνο ολοκλήρωσης αυτοδοκιμής το κόστος υλοποίησης είναι χαμηλότερο. Συνεπώς, οι προτεινόμενες τεχνικές είναι πιο αποδοτικές από τις τεχνικές που έχουν προταθεί στη βιβλιογραφία. Προκειμένου να φανούν πιο καθαρά οι συγκρίσεις των τεχνικών, στην ακόλουθη Εικόνα παρουσιάζουμε τα αποτελέσματα σε λογαριθμικό άξονα.



Εικόνα: Χρόνος σύγχρονης δοκιμής και κόστος υλοποίησης για τις παραμετρικές τεχνικές σύγχρονης ενσωματωμένης αυτοδοκιμής (λογαριθμικός άξονας)

Από την Εικόνα φαίνεται καθαρότερα ότι στις προτεινόμενες τεχνικές για το ίδιο κόστος υλοποίησης ο χρόνος ολοκλήρωσης αυτοδοκιμής είναι μικρότερος, επομένως η εφαρμογή τους είναι πιο ελκυστική από την εφαρμογή των τεχνικών που έχουν προταθεί στη διεθνή βιβλιογραφία.

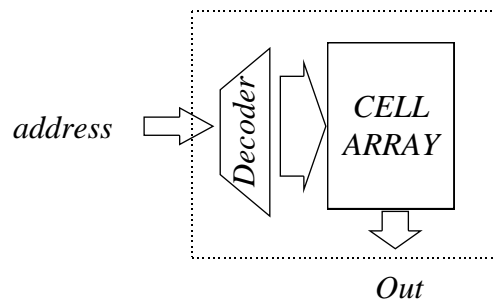
Εως το σημείο αυτό παρουσιάστηκαν οι τεχνικές ταυτόχρονης αυτοδοκιμής με παρακολούθηση των διανυσμάτων εισόδου και αποδείχθηκε μέσα από συγκρίσεις ότι είναι πιο αποδοτικές από τις τεχνικές που έχουν προταθεί για τον ίδιο σκοπό στη διεθνή βιβλιογραφία όσον αφορά το κόστος υλοποίησης και το χρόνο ολοκλήρωσης δοκιμής. Στη συνέχεια θα μελετηθεί η χρήση των προτεινόμενων τεχνικών για την ταυτόχρονη αυτοδοκιμή μιας συγκεκριμένης κατηγορίας μονάδων υπό έλεγχο, οι οποίες συναντώνται πολύ συχνά σε πραγματικά κυκλώματα.

17.9 Ταυτόχρονη Ενσωματωμένη Αυτοδοκιμή για μνήμες ROM

Προκειμένου να φανεί η πρακτική χρησιμότητα των προτεινόμενων τεχνικών, μελετήσαμε την εφαρμογή τους στην περίπτωση που η μονάδα η οποία θα ελεγχθεί ταυτόχρονα με τη λειτουργία της, είναι μια μνήμη μόνο-ανάγνωσης (Read Only Memory, ROM). Οι μνήμες ROM συναντώνται πολύ συχνά σε κυκλώματα πολύ υψηλής κλίμακας ολοκλήρωσης, αποτελούν δε πολύ κρίσιμα τμήματα αυτών των κυκλωμάτων. Συνεπώς, δύο είναι οι στόχοι που πρέπει να επιτευχθούν κατά τον έλεγχο τους: (α) πολύ υψηλή κάλυψη ελαττωμάτων και (β) ο χρόνος για τον οποίο πρέπει να τεθούν εκτός λειτουργίας προκειμένου να πραγματοποιηθεί ο ταυτόχρονος έλεγχος πρέπει να είναι όσο το δυνατό μικρότερος.

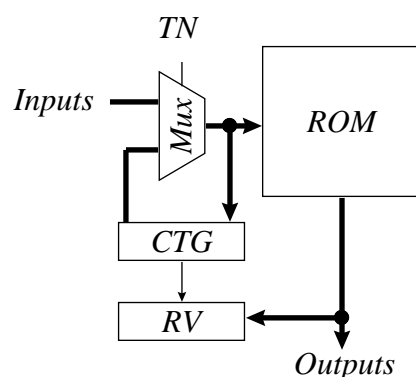
Προκειμένου να επιτευχθεί ο πρώτος στόχος, οι τεχνικές ενσωματωμένης αυτοδοκιμής που χρησιμοποιούνται για τον έλεγχο μνημών ROM εφαρμόζουν εξαντλητικό έλεγχο, με την έννοια ότι διαβάζονται όλες οι θέσεις μνήμης. Συνεπώς επιτυγχάνεται πλήρης (100%) κάλυψη συνδυαστικών ελαττωμάτων. Προκειμένου να επιτευχθεί ο δεύτερος στόχος πρέπει η μνήμη να ελεγχθεί ταυτόχρονα με την κανονική λειτουργία της.

Το σχηματικό διάγραμμα μιας μνήμης ROM φαίνεται στην ακόλουθη Εικόνα. Αποτελείται από ένα αποκωδικοποιητή διευθύνσεων (address decoder) τον πίνακα θέσεων μνήμης (cell array) και τη λογική εξόδου (output logic).



Εικόνα: Σχηματικό διάγραμμα Μνήμης ROM

Στην επόμενη Εικόνα φαίνεται το σχηματικό διάγραμμα της εφαρμογής μιας τεχνικής ταυτόχρονης αυτοδοκιμής για τον έλεγχο μιας μνήμης ROM. Προκειμένου να φανεί αν η εφαρμογή μιας τεχνικής ταυτόχρονης αυτοδοκιμής είναι πρακτικά εφαρμόσιμη, πρέπει να υπολογιστεί το κόστος υλοποίησης της τεχνικής και ο χρόνος ολοκλήρωσης αυτοδοκιμής για ρεαλιστικά μεγέθη μνημών ROM.



Εικόνα: Ταυτόχρονη Αυτοδοκιμή για μνήμες ROM

Το ποσοστιαίο κόστος υλοποίησης μιας τεχνικής ενσωματωμένης αυτοδοκιμής ορίζεται σαν το κλάσμα του κόστους υλοποίησης της τεχνικής προς το κόστος υλοποίησης της μονάδας υπό έλεγχο. Σε πραγματικά εμπορικά κυκλώματα, ποσοστιαίο κόστος υλοποίησης μέχρι 10% θεωρείται αποδεκτό για τεχνικές ενσωματωμένης αυτοδοκιμής εκτός λειτουργίας.

Υλοποιήσαμε μνήμες ROM διαφόρων μεγεθών στο εργαλείο σχεδίασης ολοκληρωμένων κυκλωμάτων της εταιρείας Compass Design Automation. Στον επόμενο Πίνακα φαίνεται το κόστος υλοποίησης για διάφορες τιμές του πλήθους των λέξεων και του μεγέθους (πλάτους, width) της λέξης της μνήμης ROM σε τετραγωνικά μικρόμετρα και σε ισοδύναμες πύλες σε τεχνολογία του 1μ. Για τον υπολογισμό του κόστους υλοποίησης σε ισοδύναμες πύλες διαιρέσαμε το κόστος υλοποίησης εκφρασμένο σε τετραγωνικά μικρόμετρα με το κόστος υλοποίησης μιας ισοδύναμης πύλης σε τετραγωνικά μικρόμετρα.

Πίνακας: Κόστος υλοποίησης ROM

Μέγεθος ROM	Κόστος υλοποίησης	
	$\times 10^6 \mu^2$	$\times 10^3$ πύλες
16K \times 8	68	10
32K \times 8	136	21
64K \times 8	272	43
16K \times 16	128	22
32K \times 16	276	44
64K \times 16	552	88
16K \times 32	200	32
32K \times 32	400	64
64K \times 32	800	128
16K \times 64	400	64
32K \times 64	800	128
64K \times 64	1600	257

Στη συνέχεια υλοποιήσαμε τις προτεινόμενες τεχνικές για διάφορα μεγέθη μνημών **ROM** και παραμέτρους των προτεινόμενων τεχνικών (μέγεθος παραθύρου, μέγεθος μνήμης RAM). Στον επόμενο Πίνακα δίνουμε το ποσοστιαίο κόστος υλοποίησης της τεχνικής w-CBIST για διάφορα μεγέθη μνημών ROM και για διάφορες τιμές του μεγέθους W του παραθύρου.

Αντίστοιχα, στον επόμενο Πίνακα παρουσιάζουμε το ποσοστιαίο κόστος υλοποίησης της τεχνικής R-BIST για διάφορα μεγέθη μνημών ROM, καθώς και του πλήθους των λέξεων της μνήμης RAM, το οποίο συμβολίζουμε με K.

Από τους Πίνακες φαίνεται ότι στη συντριπτική πλειοψηφία των μεγεθών μνημών ROM που χρησιμοποιούνται στην πράξη, οι προτεινόμενες τεχνικές παρουσιάζουν αποδεκτό κόστος υλοποίησης (<10%). Προκειμένου να φανεί η αποτελεσματικότητα των προτεινόμενων τεχνικών, παρουσιάζουμε την επόμενη Εικόνα.

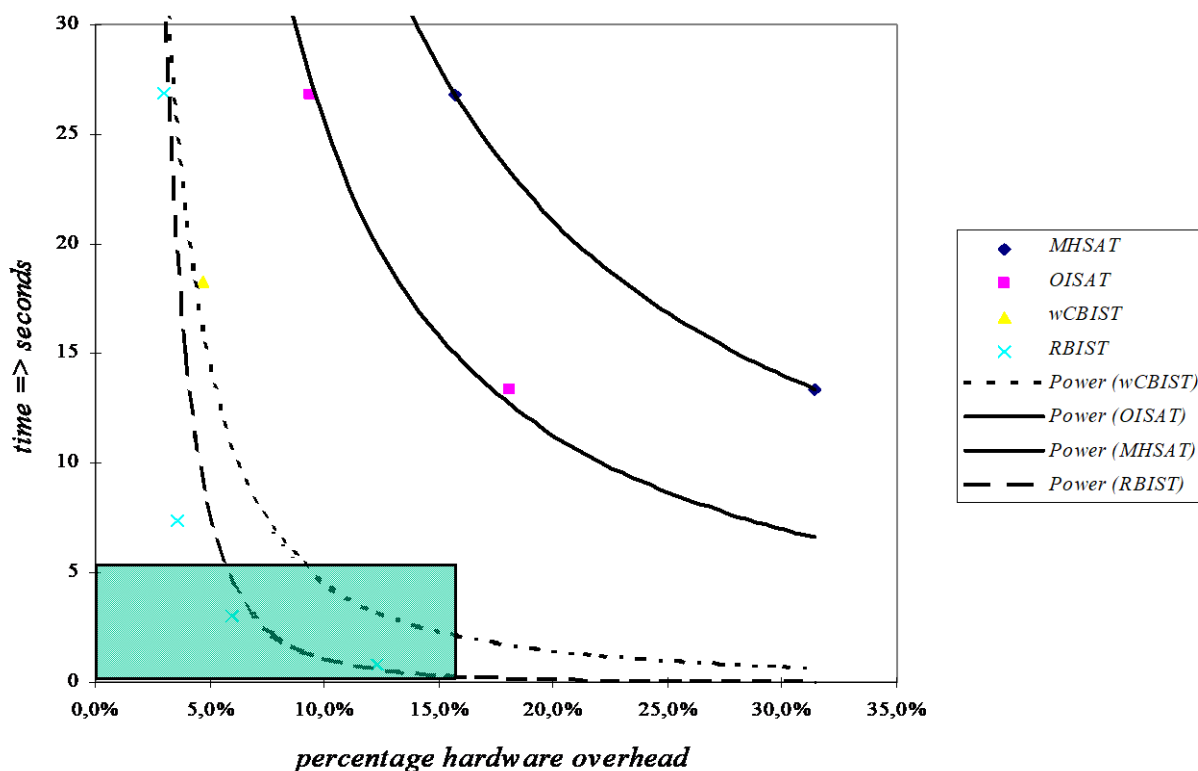
Πίνακας: Ποσοστιαίο κόστος υλοποίησης w-CBIST

ROM size	W				
	8	16	32	64	128
16K × 8	4.81%	6.46%	9.82%	16.70%	30.75%
32K × 8	3.72%	4.72%	6.76%	10.94%	19.47%
64K × 8	2.98%	3.54%	4.68%	7.02%	11.80%
16K × 16	2.47%	3.30%	4.98%	8.42%	15.44%
32K × 16	1.90%	2.40%	3.42%	5.51%	9.78%
64K × 16	1.51%	1.79%	2.37%	3.53%	5.92%
16K × 32	1.27%	1.68%	2.52%	4.24%	7.76%
32K × 32	0.97%	1.22%	1.73%	2.78%	4.91%
64K × 32	0.77%	0.91%	1.19%	1.78%	2.97%
16K × 64	0.65%	0.86%	1.28%	2.14%	3.90%
32K × 64	0.50%	0.62%	0.88%	1.40%	2.47%
64K × 64	0.39%	0.46%	0.60%	0.90%	1.49%

Πίνακας: Ποσοστιαίο κόστος υλοποίησης R-BIST

ROM size	K				
	4	16	64	256	1024
16K × 8	10,84%	10,45%	12,45%	20,77%	40,00%
32K × 8	5,45%	5,42%	6,34%	10,88%	22,02%
64K × 8	2,80%	2,73%	3,30%	5,80%	12,21%
16K × 16	5,58%	5,40%	6,31%	10,10%	18,84%
32K × 16	2,93%	2,92%	3,35%	5,52%	10,84%
64K × 16	1,53%	1,50%	1,77%	3,00%	6,13%
16K × 32	4,74%	4,62%	5,24%	7,84%	13,85%
32K × 32	2,46%	2,45%	2,75%	4,25%	7,90%
64K × 32	1,28%	1,25%	1,44%	2,29%	4,44%
16K × 64	1,79%	1,78%	2,08%	3,57%	7,23%
32K × 64	1,71%	1,68%	1,88%	2,72%	4,87%
64K × 64	0,88%	0,88%	0,99%	1,48%	2,89%

Στην επόμενη Εικόνα φαίνεται για μια μνήμη ROM 16K λέξεων των 32 ψηφίων, ο χρόνος ολοκλήρωσης αυτοδοκιμής σε συνάρτηση του ποσοστιαίου κόστους υλοποίησης για όλες τις τεχνικές ταυτόχρονης αυτοδοκιμής που έχουν προταθεί. Για να φανούν τα αποτελέσματα με ρεαλιστικό τρόπο, οι χρόνοι ολοκλήρωσης αυτοδοκιμής έχουν δοθεί σε χρονικές μονάδες. Για το λόγο αυτό θεωρήσαμε ότι το κύκλωμα λειτουργεί σε συχνότητα 10MHz. Αξίζει να σημειωθεί ότι η ταχύτητα αυτή είναι αρκετά χαμηλή για τα σημερινά κυκλώματα. Σε πραγματικά κυκλώματα στα οποία η ταχύτητα λειτουργίας είναι δεκαπλάσια ή και εικοσαπλάσια από αυτή των 10MHz, οι χρόνοι που φαίνονται στην Εικόνα θα μειωθούν αντίστοιχα. Από την Εικόνα φαίνεται ότι για μεγέθη μνημών που χρησιμοποιούνται στην πράξη, με τη χρήση των προτεινόμενων τεχνικών, η ταυτόχρονη αυτοδοκιμή ολοκληρώνεται σε χρόνους που θεωρούνται εν γένει αποδεκτοί (πχ. <5sec) με ποσοστιαίο κόστος υλοποίησης που θεωρείται αποδεκτό ακόμη και για τεχνικές ενσωματωμένης αυτοδοκιμής εκτός λειτουργίας (<15%).



Εικόνα: Χρόνος Ολοκλήρωσης Αυτοδοκιμής σαν συνάρτηση του ποσοστιαίου κόστους υλοποίησης

Στο σημείο αυτό είναι ενδεικτικό να γίνει η σύγκριση της εφαρμογής των προτεινόμενων (παραμετρικών) τεχνικών με την τεχνική C-BIST. Ας θεωρήσουμε μια μνήμη ROM που αποτελείται από 16K λέξεις των 32 ψηφίων ($n=14, m=32$). Η μνήμη αυτή όπως παράγεται αυτόματα από το εργαλείο Cell Compiler της Compass Design Automation έχει εμβαδό το οποίο ισοδυναμεί με 32154 ισοδύναμες πύλες. Το κόστος υλοποίησης της τεχνικής C-BIST για την ταυτόχρονη αυτοδοκιμή της μνήμης αυτής είναι 579 πύλες. Συνεπώς, το ποσοστιαίο κόστος υλοποίησης είναι 1.8%. Η τεχνική w-CBIST με παράθυρο μεγέθους 8 ($W=8$) έχει κόστος υλοποίησης 916 πύλες. Έτσι, το ποσοστιαίο κόστος υλοποίησης είναι 2.98%. Από τους Πίνακες φαίνεται ότι η μείωση του χρόνου ολοκλήρωσης αυτοδοκιμής σε σχέση με την τεχνική C-BIST είναι της τάξης του 300%. Βλέπουμε λοιπόν ότι η χρήση της τεχνικής C-BIST, για μια μικρή μείωση στο ποσοστιαίο κόστος υλοποίησης (1.2%) θα επέφερε σημαντική αύξηση (300%) στο χρόνο ολοκλήρωσης αυτοδοκιμής. Συνεπώς, καταλήγουμε στο συμπέρασμα ότι σε πρακτικές εφαρμογές η χρήση των προτεινόμενων τεχνικών βελτιώνει τη σχέση ποσοστιαίο κόστος υλοποίησης-χρόνος ολοκλήρωσης αυτοδοκιμής.

Οι τεχνικές ταυτόχρονης ενσωματωμένης αυτοδοκιμής με παρακολούθηση διανυσμάτων εισόδου πλεονεκτούν έναντι των τεχνικών ενσωματωμένης αυτοδοκιμής εκτός κανονικής λειτουργίας, εφόσον με τη χρήση τους είναι δυνατό να ανιχνευθούν κάποια από τα διαλείποντα ελαττώματα, ενώ η μονάδα υπό έλεγχο δεν χρειάζεται να τεθεί εκτός λειτουργίας. Η τεχνική C-BIST που προτάθηκε αρχικά για την ταυτόχρονη ενσωματωμένη αυτοδοκιμή έχει υψηλούς χρόνους ολοκλήρωσης αυτοδοκιμής. Για το λόγο αυτό προτάθηκαν δύο τεχνικές (MHSAT, OISAT) προκειμένου να επιτευχθεί μείωση του χρόνου αυτού. Οι τεχνικές αυτές χαρακτηρίζονται ως παραμετρικές (parametric) επειδή το κόστος υλοποίησης είναι μια παράμετρος, η μεταβολή της οποίας μπορεί να αυξήσει ή να μειώσει το χρόνο ολοκλήρωσης αυτοδοκιμής.

Στην παράγραφο αυτή παρουσιάστηκαν δύο νέες παραμετρικές τεχνικές ταυτόχρονης ενσωματωμένης αυτοδοκιμής, η ταυτόχρονη αυτοδοκιμή με παρακολούθηση παραθύρου διανυσμάτων (window comparative concurrent BIST, w-CBIST) και η ταυτόχρονη αυτοδοκιμή με χρήση μνήμης RAM (RAM-based comparative Concurrent BIST, R-BIST). Παρουσιάστηκαν οι υλοποιήσεις των τεχνικών και

υπολογίστηκε ο χρόνος ολοκλήρωσης αυτοδοκιμής για κάθε μια από τις προτεινόμενες τεχνικές σε συνάρτηση του πλήθους των εισόδων και εξόδων της μονάδας υπό έλεγχο και του πλήθους των ενεργών διανυσμάτων των τεχνικών. Οι συγκρίσεις έδειξαν ότι οι προτεινόμενες τεχνικές είναι πιο αποδοτικές από τις τεχνικές που έχουν προταθεί στη διεθνή βιβλιογραφία όσον αφορά το χρόνο ολοκλήρωσης αυτοδοκιμής και το κόστος υλοποίησης.

Για να φανεί η πρακτική χρησιμότητα των προτεινόμενων τεχνικών, μελετήσαμε την εφαρμογή τους για την ταυτόχρονη αυτοδοκιμή μνημών ROM. Η μελέτη αυτή έχει αξία επειδή οι μνήμες ROM υπάρχουν σε πολλά κυκλώματα VLSI, απαιτούν εξαντλητικό έλεγχο και λόγω της φύσης τους δεν είναι εύκολο να τεθούν εκτός λειτουργίας (συνήθως οι μνήμες ROM χρησιμοποιούνται στην αποθήκευση μικροπρογραμμάτων ελέγχου και όταν τίθενται εκτός ελέγχου προκειμένου να ελεγχθούν το σύστημα τίθεται αναγκαστικά εκτός διαθεσιμότητας). Οι μετρήσεις έδειξαν ότι για πρακτικά μεγέθη μνημών ROM, η ταυτόχρονη δοκιμή μπορεί να ολοκληρωθεί σε αποδεκτούς χρόνους, με ποσοστιαίο κόστος υλοποίησης που δεν υπερβαίνει το κοινώς αποδεκτό όριο του 15%.

17.10 Παραγωγή Ζευγών Διανυσμάτων Δοκιμής Πολλαπλής Αλλαγής Εισόδου για την ανίχνευση ακολουθιακών ελαττωμάτων σε περιβάλλον Ενσωματωμένης Αυτοδοκιμής

Στις παραγράφους που προηγήθηκαν, παρουσιάστηκαν τεχνικές παραγωγής διανυσμάτων δοκιμής για την ανίχνευση συνδυαστικών ελαττωμάτων σε περιβάλλον ενσωματωμένης αυτοδοκιμής. Όπως έχει αναφερθεί, στα σύγχρονα ολοκληρωμένα κυκλώματα χρησιμοποιούνται όλο και περισσότερο ακολουθιακά (sequential) μοντέλα ελαττωμάτων λόγω του ότι είναι πιο περιεκτικά από ότι τα συνδυαστικά μοντέλα. Για την ανίχνευση ακολουθιακών ελαττωμάτων απαιτείται εν γένει μια ακολουθία (sequence) διανυσμάτων. Για την παραγωγή διανυσμάτων δοκιμής σε περιβάλλον ενσωματωμένης αυτοδοκιμής δεν μπορούν να χρησιμοποιηθούν οι τεχνικές παραγωγής διανυσμάτων δοκιμής που χρησιμοποιούνται για την ανίχνευση συνδυαστικών ελαττωμάτων. Στη συνέχεια γίνεται μια ανασκόπηση των τεχνικών που έχουν προταθεί για την παραγωγή των ζευγών διανυσμάτων Πολλαπλής Αλλαγής Εισόδου (ΠΑΕ). Με την εφαρμογή των ζευγών διανυσμάτων ΠΑΕ είναι δυνατή η ανίχνευση όλων των ανιχνεύσιμων ακολουθιακών ελαττωμάτων. Στη συνέχεια προτείνονται δύο νέες τεχνικές παραγωγής ζευγών διανυσμάτων ΠΑΕ. Από τις συγκρίσεις που θα πραγματοποιηθούν, θα φανεί ότι οι προτεινόμενες τεχνικές είναι πιο αποδοτικές από τις ήδη υπάρχουσες όσον αφορά το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου.

17.10.1 Ακολουθιακά ελαττώματα

Με τον όρο ακολουθιακό ελάττωμα (sequential fault) εννοούμε ένα ελάττωμα για την ανίχνευση του οποίου απαιτείται η εφαρμογή μιας ακολουθίας διανυσμάτων, ακόμα και στην περίπτωση που η υπό έλεγχο μονάδα είναι συνδυαστική. Στη συντριπτική πλειοψηφία των περιπτώσεων, για την ανίχνευση ενός ακολουθιακού ελαττώματος απαιτείται η εφαρμογή ενός ζεύγους διανυσμάτων. Το πρώτο διάνυσμα του ζεύγους ονομάζεται διάνυσμα αρχικοποίησης (initializing vector) ενώ το δεύτερο ονομάζεται διάνυσμα ελέγχου (test vector). Πρώτα εφαρμόζεται στις εισόδους της υπό έλεγχο μονάδας το διάνυσμα αρχικοποίησης. Στη συνέχεια, αφού οι γραμμές του κυκλώματος καταλήξουν σε κάποια τιμή, εφαρμόζεται το διάνυσμα ελέγχου και η απόκριση της μονάδας υπό έλεγχο οδηγείται στη μονάδα συμπίεσης των διανυσμάτων εξόδου. Τα μοντέλα ελαττωμάτων που εμπίπτουν στην κατηγορία των ακολουθιακών ελαττωμάτων είναι το μοντέλο ελαττωμάτων μόνιμα ανοικτού τρανζίστορ (transistor stuck-open fault model) και το μοντέλο ελαττωμάτων καθυστέρησης (delay fault model).

Ένα ελάττωμα μόνιμα ανοικτού τρανζίστορ, εξαναγκάζει ένα τρανζίστορ του κυκλώματος να μην άγει. Ένα ελάττωμα καθυστέρησης έχει σαν αποτέλεσμα μια γραμμή μιας μονάδας είτε να αργεί να σηκωθεί στο λογικό 1 (slow-to-rise delay fault) είτε να αργεί να πέσει στο λογικό 0 (slow-to-fall delay fault). Ανάλογα με το αν η αιτία που προκαλεί την καθυστέρηση αυτή περιορίζεται στις εισόδους/ εξόδους μιας

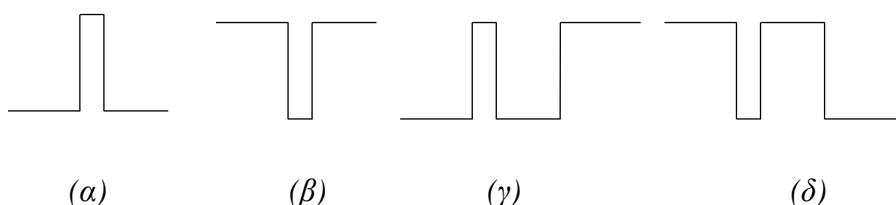
μεμονωμένης πύλης ή οφείλεται σε ένα ολόκληρο μονοπάτι από τις εισόδους ως τις εξόδους μιας μονάδας υπό έλεγχο, το ελάττωμα χαρακτηρίζεται ελάττωμα καθυστέρησης πύλης (gate delay fault) ή ελάττωμα καθυστέρησης μονοπατιού (path delay fault). Το πλήθος των ελαττωμάτων καθυστέρησης πύλης είναι ανάλογο με το πλήθος των πυλών σε ένα κύκλωμα, ενώ το πλήθος των ελαττωμάτων καθυστέρησης μονοπατιού, είναι ανάλογο του πλήθους των μονοπατιών από τις εισόδους στις εξόδους της μονάδας υπό έλεγχο.

Έστω ένα μονοπάτι $x_1x_2...x_n\beta$ από μια είσοδο της μονάδας υπό έλεγχο σε μια έξοδο. Αν εξαιτίας καθυστερήσεων στο μονοπάτι αυτό η λογική τιμή της εξόδου β καθυστερεί να σηκωθεί στο 1, τότε μιλάμε για ένα slow-to-rise ελάττωμα καθυστέρησης μονοπατιού, το οποίο συμβολίζουμε με $x_1x_2...x_n\beta^{\wedge}$. Στην περίπτωση που η λογική τιμή της εξόδου αργεί να πέσει στο 0, μιλάμε για ένα slow-to-fall ελάττωμα καθυστέρησης μονοπατιού, το οποίο συμβολίζουμε με $x_1x_2...x_n\beta^{\vee}$.

Τα ακολουθιακά ελαττώματα χωρίζονται σε ευρώστως ανιχνεύσιμα (robustly testable) και μή- ευρώστως ανιχνεύσιμα (non-robustly testable). Τα ευρώστως ανιχνεύσιμα ελαττώματα μπορούν να ανιχνευθούν με την εφαρμογή ενός ζεύγους διανυσμάτων και η ανίχνευση του ελαττώματος θα γίνει ανεξάρτητα από τυχαίες καθυστερήσεις στις γραμμές του κυκλώματος ή τις εισόδους της μονάδας υπό δοκιμή. Αντίθετα, η ανίχνευση ενός μή-ευρώστως ανιχνεύσιμου ελαττώματος μπορεί να ακυρωθεί (invalidated) από τυχαίες καθυστερήσεις στις γραμμές του κυκλώματος.

Ένα ζεύγος διανυσμάτων δοκιμής ονομάζεται εύρωστο (robust test pair) αν μπορεί να ανιχνεύσει ένα ακολουθιακό ελάττωμα ανεξάρτητα από τυχαίες καθυστερήσεις. Στην αντίθετη περίπτωση αν η εφαρμογή του μπορεί να ακυρωθεί από τέτοιες τυχαίες καθυστερήσεις ονομάζεται μή εύρωστο (non-robust test pair).

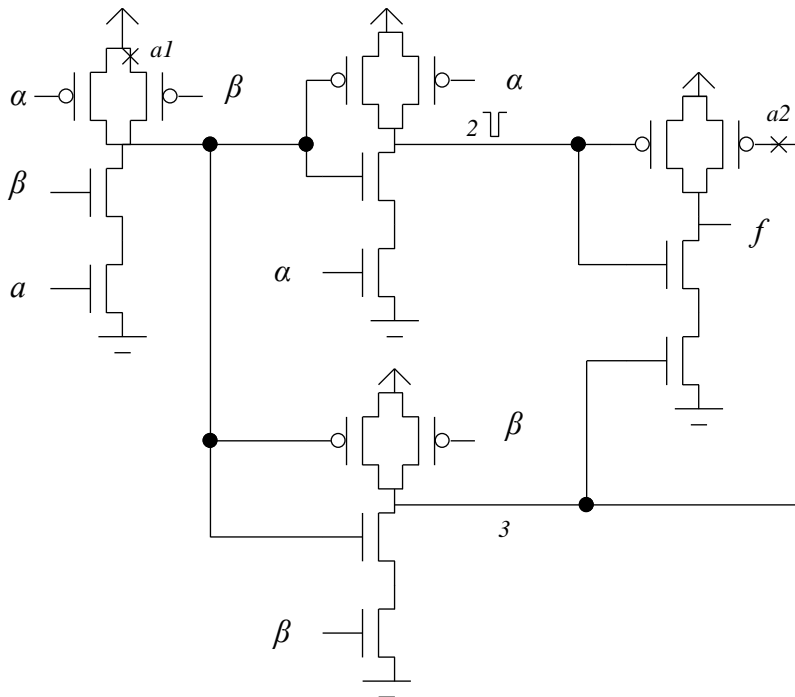
Το αν ένα ζεύγος διανυσμάτων δοκιμής είναι εύρωστο ή όχι, καθορίζεται από το εάν κατά την εφαρμογή του εμφανίζονται στις γραμμές του κυκλώματος hazards. Ένα hazard είναι μια μη επιθυμητή μεταβατική κατάσταση μιας γραμμής σε ένα κύκλωμα και μπορεί να είναι στατικό ή δυναμικό, ανάλογα με το αν η αρχική και η τελική κατάσταση της γραμμής είναι ίδια ή διαφορετική. Στην επόμενη Εικόνα φαίνονται τα hazards που είναι δυνατό να εμφανιστούν στις γραμμές ενός κυκλώματος. Στο (α) εικονίζεται ένα 0-στατικό hazard, στο (β) ένα 1-στατικό hazard, ενώ στα (γ) και (δ) ένα 0-σε-1 δυναμικό hazard και ένα 1-σε-0 δυναμικό hazard αντίστοιχα.



Εικόνα: Hazards που εμφανίζονται σε ψηφιακά κυκλώματα

Μια μονάδα υπό έλεγχο στην οποία όλα τα ακολουθιακά ελαττώματα είναι ευρώστως ανιχνεύσιμα, ονομάζεται ευρώστως ελέγξιμη μονάδα (robustly testable module). Αξίζει να σημειωθεί ότι στη βιβλιογραφία έχουν προταθεί τεχνικές σχεδίασης για δοκιμαστικότητα, η εφαρμογή των οποίων μπορεί να οδηγήσει στη μετατροπή μιας μονάδας υπό έλεγχο σε ευρώστως ελέγξιμη. Τα ακόλουθα παραδείγματα διασαφηνίζουν την έννοια της ευρωστίας για την περίπτωση τόσο των ελαττωμάτων μόνιμα ανοικτού τρανζίστορ, όσο και των ελαττωμάτων καθυστέρησης.

ΠΑΡΑΔΕΙΓΜΑ: Στην επόμενη Εικόνα φαίνεται μια μονάδα υπό έλεγχο που αποτελείται από πύλες NAND δύο εισόδων σε επίπεδο τρανζίστορ. Το ελάττωμα που συμβολίζεται με $a1$ στην Εικόνα ισοδυναμεί με ένα ελάττωμα ανοικτού τρανζίστορ για το τρανζίστορ με είσοδο β στην πρώτη πύλη NAND. Η εφαρμογή του ζεύγους διανυσμάτων (00,01) θα ανιχνεύσει την ύπαρξη του ελαττώματος αυτού στο κύκλωμα, ανεξάρτητα από καθυστερήσεις στις εισόδους ή τις γραμμές του κυκλώματος. Συνεπώς το ελάττωμα $a1$ ανιχνεύεται ευρώστως με το ζεύγος διανυσμάτων (00,01).

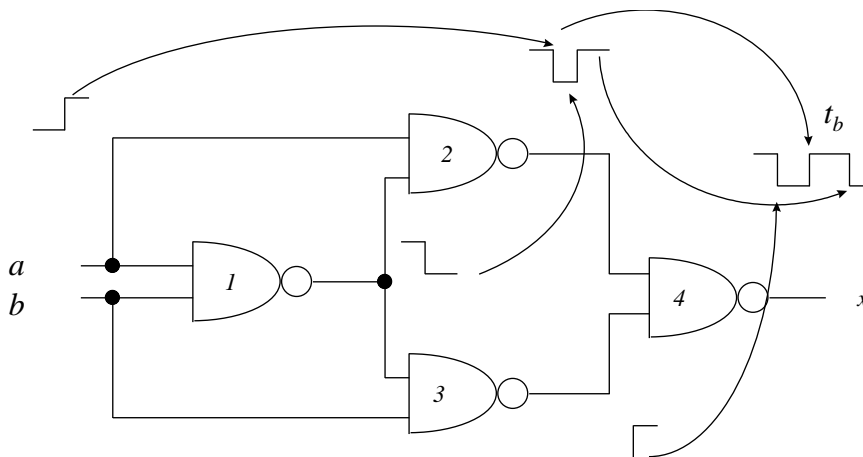


Εικόνα: Ελαττώματα stuck-open

Ας θεωρήσουμε τώρα το ελάττωμα ανοικτού τρανζίστορ για το p-FET της τελευταίας πύλης NAND, το οποίο συμβολίζουμε με $a2$. Ένα ζεύγος διανυσμάτων που μπορεί να ανιχνεύσει το ελάττωμα αυτό είναι το (11,01). Πράγματι, η έξοδος της συνάρτησης στο πρώτο διάνυσμα είναι 1. Με την εφαρμογή του διανύσματος η ορθή απόκριση είναι η 0. Στην παρουσία του ελαττώματος υπό συζήτηση, όταν η γραμμή 3 παίρνει την τιμή 0, το τρανζίστορ δεν άγει, η έξοδος παραμένει στην προηγούμενη κατάσταση και συνεπώς το ελάττωμα ανιχνεύεται. Ας υποθέσουμε τώρα ότι εξαιτίας τυχαίων καθυστερήσεων παρουσιάζεται ένα 1-στατικό hazard στη γραμμή 2 όπως φαίνεται στην Εικόνα. Στην περίπτωση αυτή, όταν η γραμμή 2 πέσει στο 0, η έξοδος f γίνεται 1 και παραμένει στην τιμή αυτή ακόμη και όταν η γραμμή 2 επιστρέψει στην τιμή 1. Συνεπώς, το ελάττωμα υπό μελέτη δεν ανιχνεύεται, και το ζεύγος διανυσμάτων έχει ακυρωθεί. Επομένως το ζεύγος διανυσμάτων (11,01) δεν ανιχνεύει ευρώστως το προς ανίχνευση ελάττωμα.

□

ΠΑΡΑΔΕΙΓΜΑ: Στην επόμενη Εικόνα φαίνεται μια μονάδα υπό έλεγχο σε επίπεδο λογικών πυλών. Το ελάττωμα $a24x^{\wedge}$ είναι ευρώστως ανιχνεύσιμο με το ζεύγος διανυσμάτων (00,10).



Εικόνα: Ελαττώματα καθυστέρησης

Αντιθέτως, το ελάττωμα a_{124x} είναι μή-ευρώστως ανιχνεύσιμο. Ας θεωρήσουμε την περίπτωση κατά την οποία εφαρμόζεται στις εισόδους της μονάδας υπό έλεγχο της Εικόνας το ζεύγος διανυσμάτων εισόδου (01,11). Στην Εικόνα φαίνονται οι μεταβάσεις που θα συμβούν στις γραμμές της μονάδας υπό έλεγχο. Ανάλογα με τις καθυστερήσεις των σημάτων στις γραμμές του κυκλώματος, είναι δυνατό να εμφανιστεί ένα 1-στατικό hazard στη γραμμή που ενώνει την έξοδο της πύλης 2 με την είσοδο της πύλης 4. Στην περίπτωση αυτή, στην έξοδο x θα εμφανιστούν οι μεταβολές των σημάτων που εικονίζονται στην Εικόνα. Ανάλογα με τη στιγμή της δειγματοληψίας, το ελάττωμα καθυστέρησης μπορεί να μην ανιχνευθεί (t_b).

Τα ζεύγη διανυσμάτων στα οποία η απόσταση Hamming του πρώτου διανύσματος του ζεύγους από το δεύτερο έχει οποιαδήποτε τιμή ονομάζονται ζεύγη διανυσμάτων δοκιμής με Πολλαπλή Αλλαγή Εισόδου, ΠΑΕ (Multiple Input Change, MIC). Μια ειδική κατηγορία ζευγών διανυσμάτων είναι εκείνα στα οποία το δεύτερο διάνυσμα του ζεύγους διαφέρει από το πρώτο σε ένα ψηφίο. Τα ζεύγη αυτά ονομάζονται Μονής Αλλαγής Εισόδου, ΜΑΕ (Single Input Change, SIC), και αποτελούν υποσύνολο των διανυσμάτων της προηγούμενης κατηγορίας. Για μια μονάδα υπό έλεγχο με n εισόδους, το πλήθος των ζευγών διανυσμάτων ΜΑΕ είναι $n \times 2^n$ ενώ το πλήθος των ζευγών διανυσμάτων ΠΑΕ είναι $2^n \times (2^n - 1)$.

Για την ανίχνευση ακολουθιακών ελαττωμάτων σε περιβάλλον ενσωματωμένης αυτοδοκιμής, τα ζεύγη διανυσμάτων δοκιμής παράγονται από ειδικές μονάδες παραγωγής ζευγών διανυσμάτων, και αυτό διότι οι μονάδες που χρησιμοποιούνται για την παραγωγή διανυσμάτων για συνδυαστικά ελαττώματα δεν παρέχουν ικανοποιητική κάλυψη ζευγών διανυσμάτων. Ένας πλήρης καταχωρητής ολίσθησης με ανάδραση που παράγει όλα τα 2^n διανύσματα n-ψηφίων παράγει μόνο 2^n από τα $2^n \times (2^n - 1)$ δυνατά ζεύγη διανυσμάτων που απαιτούνται για τον πλήρη έλεγχο ακολουθιακών ελαττωμάτων μιας μονάδας υπό έλεγχο n εισόδων. Μια μονάδα παραγωγής ζευγών διανυσμάτων δοκιμής πρέπει να παράγει δυναμικά όλα τα δυνατά ζεύγη διανυσμάτων (possible exhaustion property) εφόσον μόνο έτσι είναι δυνατό να διασφαλιστεί η πλήρης (100%) κάλυψη ακολουθιακών ελαττωμάτων, στο λιγότερο δυνατό χρόνο με το μικρότερο δυνατό κόστος υλοποίησης.

Οι μονάδες παραγωγής ζευγών διανυσμάτων δοκιμής χωρίζονται σε δύο κατηγορίες. Στη μια κατηγορία εντάσσονται οι μονάδες παραγωγής ζευγών διανυσμάτων ΜΑΕ και στην άλλη κατηγορία εντάσσονται οι μονάδες παραγωγής ζευγών διανυσμάτων ΠΑΕ.

Στη συνέχεια θα παρουσιαστούν οι τεχνικές που έχουν προταθεί στη διεθνή βιβλιογραφία για την παραγωγή ζευγών διανυσμάτων δοκιμής ΠΑΕ. Με την εφαρμογή ζευγών διανυσμάτων ΠΑΕ ανιχνεύονται όλα τα απλά και πολλαπλά (ανιχνεύσιμα) ακολουθιακά ελαττώματα, ευρώστως ή μή-ευρώστως ανιχνεύσιμα.

17.10.2 Τεχνικές Παραγωγής ζευγών διανυσμάτων ΠΑΕ – βιβλιογραφική επισκόπηση

Στην παρούσα παράγραφο θα παρουσιαστούν οι τεχνικές που έχουν προταθεί στη διεθνή βιβλιογραφία για την παραγωγή των ζευγών διανυσμάτων δοκιμής ΠΑΕ σε περιβάλλον ενσωματωμένης αυτοδοκιμής. Για κάθε τεχνική θα παρουσιάσουμε την υλοποίηση της μονάδας παραγωγής ζευγών διανυσμάτων δοκιμής, θα υπολογίσουμε το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου.

Κάθε μια από τις τεχνικές μπορεί να υλοποιηθεί είτε εμφυτευμένα (embedded) είτε απομονωμένα (separate). Στην απομονωμένη έκδοση μιας τεχνικής ενσωματωμένης αυτοδοκιμής τα στοιχεία που χρησιμοποιούνται για την παραγωγή των ζευγών διανυσμάτων δοκιμής εισάγονται στο κύκλωμα ειδικά για το σκοπό αυτό. Αντιθέτως, για την εμφυτευμένη έκδοση των αρχιτεκτονικών, χρησιμοποιούνται στοιχεία που ήδη υπήρχαν στο κύκλωμα, και τα οποία τροποποιούνται κατάλληλα. Στην πράξη χρησιμοποιούνται οι εμφυτευμένες εκδόσεις των αρχιτεκτονικών, εφόσον (α) το κόστος υλοποίησης είναι χαμηλότερο και (β) με τη χρήση των εμφυτευμένων εκδόσεων ελέγχονται ταυτόχρονα οι μονάδες που χρησιμοποιούνται για την παραγωγή των ζευγών διανυσμάτων δοκιμής. Τεχνικές παραγωγής ζευγών

διανυσμάτων ΠΑΕ έχουν προταθεί από τους Starke, Vuksic και Fuchs και Chen και Gupta. Οι τεχνικές αυτές περιγράφονται στη συνέχεια.

Η ανάγκη σχεδιασμού μονάδων οι οποίες να είναι σε θέση να παράγουν ζεύγη διανυσμάτων σε περιβάλλον ενσωματωμένης αυτοδοκιμής, εντοπίστηκε αρκετά ωρίς. Ο Starke παρουσίασε μια τεχνική, στην οποία έδωσε το όνομα Ψευδο-εξαντλητικός έλεγχος μεταβάσεων (Pseudo-Exhaustive Transition Testing, PETT). Σύμφωνα με την τεχνική PETT, για τον έλεγχο μιας μονάδας υπό έλεγχο με n εισόδους, χρησιμοποιείται ένας καταχωρητής ολίσθησης με μή-γραμμική ανάδραση $2n$ -βαθμίδων. Οι εισοδοί της μονάδας υπό έλεγχο τροφοδοτούνται από τις εξόδους των μισών flip flop, δεν προτείνεται όμως ακριβής τρόπος σχεδιασμού του δικτύου επανατροφοδότησης, ούτε επιλογής των θέσεων που θα χρησιμοποιηθούν για να τροφοδοτήσουν τις εισόδους της μονάδας υπό έλεγχο. Για την παραγωγή των $2^n \times (2^n - 1)$ ζευγών διανυσμάτων ΠΑΕ, απαιτούνται $2^{2n} - 1$ κύκλοι μηχανής.

Για τον υπολογισμό του κόστους υλοποίησης της εμφυτευμένης έκδοσης της τεχνικής PETT για τον έλεγχο μιας μονάδας υπό δοκιμή με n εισόδους θεωρούμε ότι στις εισόδους της μονάδας προϋπήρχε ένας καταχωρητής αποτελούμενος από n flip flop τύπου D. Προκειμένου να χρησιμοποιηθούν αυτά τα flip flops για την παραγωγή διανυσμάτων δοκιμής, είναι απαραίτητο να αντικατασταθούν από flip flops με πολυπλεγμένη είσοδο (multiplexed input flip flops). Επιπλέον, πρέπει να προστεθούν ακόμη n flip flops για την υλοποίηση του καταχωρητή ολίσθησης $2n$ βαθμίδων, καθώς και πύλες (AND η OR) συνολικά $2n$ εισόδων. Το κόστος υλοποίησης της εμφυτευμένης έκδοσης της τεχνικής δίνεται από τον ακόλουθο τύπο.

$$HO_s(n) = n \times \text{MUX} + n \times \text{DFF} + n \times \text{OR}$$

$$HO_s(n) = 12 \times n$$

Το επόμενο βήμα στην προσπάθεια σχεδιασμού μονάδων παραγωγής ζευγών διανυσμάτων δοκιμής έγινε από τους Vuksic και Fuchs, οι οποίοι απέδειξαν ότι ένας καταχωρητής ολίσθησης πολλών εισόδων που υλοποιεί πρωτογενές πολώνυμο (primitive polynomial) μπορεί να παράγει τα ζεύγη διανυσμάτων ΠΑΕ για μια μονάδα υπό έλεγχο n εισόδων αν στις εισόδους του καταχωρητή ολίσθησης εφαρμοστούν όλα τα διανύσματα n ψηφίων. Το πλήθος των κύκλων ρολογιού που απαιτούνται για την παραγωγή των ζευγών διανυσμάτων δοκιμής είναι $2^n \times (2^n - 1)$.

Για τον υπολογισμό του κόστους υλοποίησης της εμφυτευμένης έκδοσης της τεχνικής θεωρούμε ότι στις εισόδους της υπό έλεγχο μονάδας υπάρχουν τα n flip flop του καταχωρητή εισόδου. Το επιπλέον κόστος υλοποίησης της τεχνικής περιλαμβάνει την τροποποίηση του καταχωρητή σε καταχωρητή ολίσθησης με πολλές εισόδους, καθώς και την υλοποίηση μιας μονάδας η οποία να μπορεί να εφαρμόσει όλους τους 2^n δυνατούς συνδυασμούς στις εισόδους του MISR. Η μονάδα αυτή μπορεί να υλοποιηθεί είτε σαν απεριθμητής (counter) είτε σαν καταχωρητής ολίσθησης με μη-γραμμική ανάδραση και για την υλοποίησή της απαιτούνται n flip flop τύπου D. Το επιπλέον κόστος υλοποίησης της τεχνικής δίνεται από τον τύπο.

$$HO_v(n) = n \times \text{DFF} + n \times \text{MUX} + n \times \text{XOR}$$

$$HO_v(n) = 15 \times n$$

Οι Chen και Gupta μελέτησαν κάτω από ποιές προϋποθέσεις ένας γραμμικός καταχωρητής ολίσθησης με ανάδραση (Linear Feedback Shift Register, LFSR) ή ένα κυψελωτό αυτόματο (Cellular Automaton, CA) μπορεί να παράγει τα ζεύγη διανυσμάτων ΠΑΕ. Τα αποτελέσματά τους δείχνουν ότι για μια μονάδα υπό έλεγχο n εισόδων, απαιτείται ένα LFSR ή CA τουλάχιστον $2n$ βαθμίδων, ενώ ο χρόνος που απαιτείται για την ολοκλήρωση του ελέγχου είναι 2^{2n} . Οι Chen και Gupta αποδεικνύουν μια σειρά από θεωρήματα, με τη βοήθεια των οποίων μπορούν να επιλεγούν οι εξοδοί n βαθμίδων του LFSR ή του CA προκειμένου να παραχθούν στις εξόδους τους τα επιθυμητά ζεύγη διανυσμάτων. Για τον υπολογισμό του κόστους υλοποίησης της τεχνικής με LFSR, θεωρούμε ότι στις εισόδους της υπό έλεγχο μονάδας

υπάρχει ένας καταχωρητής ο οποίος αποτελείται από n flip flop τύπου D. Για την υλοποίηση του LFSR $2n$ βαθμίδων απαιτείται η μετατροπή των flip flop σε flip flop με πολυπλεγμένη είσοδο και η προσθήκη n επιπλέον flip flop. Συνεπώς, το κόστος υλοποίησης δίνεται από τον ακόλουθο τύπο:

$$HO_L(n) = n \times DFF + n \times MUX$$

$$HO_L(n) = 11 \times n$$

Για την υλοποίηση της τεχνικής με κυψελλωτό αυτόματο $2n$ βαθμίδων, απαιτείται η επιπλέον προσθήκη των πυλών XOR που θα χρησιμοποιηθούν για την υλοποίηση των κυψελλίδων. Θεωρούμε για απλότητα ότι οι μισές κυψελλίδες ακολουθούν τον κανόνα 90, και οι άλλες μισές των κανόνα 150. Αυτή η υπόθεση δικαιολογείται από το ότι οι δύο αυτοί κανόνες είναι οι πιο ευρέως χρησιμοποιούμενοι στην πράξη και από τό ότι για την υλοποίηση ενός πλήρους κυψελλωτού αυτόματου (όπως απαιτεί η τεχνική των Chen και Gupta) χρησιμοποιούνται κυψελλίδες που χρησιμοποιούν τους δύο αυτούς κανόνες. Συνεπώς, απαιτούνται συνολικά $3n$ πύλες XOR δύο εισόδων. Το κόστος υλοποίησης της τεχνικής δίνεται από τον ακόλουθο τύπο.

$$HO_C(n) = n \times DFF + n \times MUX + 3 \times n \times XOR$$

$$HO_C(n) = 23 \times n$$

Μέχρι το σημείο αυτό περιγράφηκαν οι τεχνικές που έχουν προταθεί στη διεθνή βιβλιογραφία για την παραγωγή ζευγών διανυσμάτων ΠΑΕ. Μια διαφορετική ιδέα είναι η χρήση αριθμητικών μονάδων, οι οποίες ήδη υπάρχουν στο κύκλωμα, για την παραγωγή των επιθυμητών ζευγών διανυσμάτων. Αριθμητικές μονάδες (συσσωρευτές, απαριθμητές) υπάρχουν σε ένα ευρύτατο φάσμα κυκλωμάτων, όπως για παράδειγμα σε κυκλώματα επεξεργασίας σήματος, ή κυκλώματα που περιέχουν διαδρόμους δεδομένων (datapaths). Αν στο υπό έλεγχο κύκλωμα οι μονάδες αυτές ήδη υπάρχουν, η χρήση τους για την παραγωγή των διανυσμάτων δοκιμής (ή/και τη συμπίεση των αποκρίσεων εξόδου) θα έχει σαν αποτέλεσμα χαμηλότερο κόστος υλοποίησης.

Στη συνέχεια θα περιγραφούν νέες τεχνικές παραγωγής ζευγών διανυσμάτων δοκιμής, στις οποίες χρησιμοποιούνται μονάδες που ήδη υπάρχουν στο κύκλωμα (συσσωρευτές, απαριθμητές) για την παραγωγή των ζευγών διανυσμάτων ΠΑΕ. Οι προτεινόμενες τεχνικές παράγουν τα ζεύγη διανυσμάτων δοκιμής σε χρόνο ίσο με το θεωρητικό ελάχιστο. Επιπλέον, όπως θα φανεί στην παράγραφο όπου θα γίνουν οι σχετικές συγκρίσεις, το κόστος υλοποίησης των προτεινόμενων τεχνικών είναι χαμηλότερο από το κόστος υλοποίησης των άλλων τεχνικών.

17.10.3 Μια νέα τεχνική παραγωγής ζευγών διανυσμάτων ΠΑΕ (Accumulator-based MIC Pair generator, AMG)

Στις τεχνικές που περιγράφηκαν μέχρι τώρα, για την παραγωγή των ζευγών διανυσμάτων ΠΑΕ χρησιμοποιείται ένας καταχωρητής ολίθησης με γραμμική ή μη-γραμμική ανάδραση, ή με πολλές εισόδους, ή ένα κυψελλωτό αυτόματο προκειμένου να παραχθούν τα ζεύγη διανυσμάτων ΠΑΕ. Σε πραγματικά κυκλώματα, για την υλοποίηση των μονάδων αυτών τροποποιούνται καταχωρητές που ήδη υπάρχουν στο κύκλωμα. Η τροποποίηση αυτή έχει υψηλό κόστος, το οποίο ξεπερνά το 50% του κόστους υλοποίησης του καταχωρητή. Αντιθέτως, μια μεγάλη κατηγορία κυκλωμάτων περιέχει συσσωρευτές (accumulators), ή γενικότερα μονάδες που μπορούν να εκτελέσουν την πράξη της πρόσθεσης.

Η ιδέα της χρήσης συσσωρευτών για την ενσωματωμένη αυτοδοκιμή προτάθηκε για πρώτη φορά από τους Rajski και Tyszer για τη συμπίεση των αποκρίσεων εξόδου της μονάδας υπό έλεγχο. Μια ακόμη μονάδα που ενυπάρχει συχνότατα σε ολοκληρωμένα κυκλώματα, ειδικά σε εφαρμογές σχετικές με επεξεργασία σήματος ή σε κυκλώματα που περιέχουν μικροελεγκτές, είναι ο απαριθμητής (counter). Η χρήση των δύο αυτών μονάδων για την παραγωγή των ζευγών διανυσμάτων δοκιμής, εκτός από το μικρότερο κόστος υλοποίησης έχει το σημαντικό πλεονέκτημα ότι κατά τη διάρκεια του ελέγχου ελέγχονται ταυτόχρονα και οι αριθμητικές μονάδες, συνεπώς, δεν είναι απαραίτητο να ελεγχθούν ξεχωριστά.

Στη συνέχεια θα περιγραφεί μια νέα τεχνική για την παραγωγή ζευγών διανυσμάτων ΠΑΕ, η οποία παράγει τα ζεύγη διανυσμάτων ΠΑΕ σε χρόνο ίσο με το θεωρητικό ελάχιστο. Οι μονάδες που χρησιμοποιούνται είναι ένας συσσωρευτής (accumulator) η βαθμίδων και ένας απαριθμητής (counter) η βαθμίδων. Η προτεινόμενη τεχνική είναι πολύ ελκυστική για ένα ευρύ φάσμα κυκλωμάτων που περιέχουν διαδρόμους δεδομένων (data-paths) και περιλαμβάνουν συσσωρευτές ή απλές αριθμητικές μονάδες που μπορούν να υλοποιήσουν την πράξη της πρόσθεσης. Με δεδομένη την ύπαρξη του συσσωρευτή και του απαριθμητή, η λογική που απαιτείται προκειμένου να υλοποιηθεί η προτεινόμενη τεχνική περιορίζεται σε λίγες πύλες.

Μια σημαντική ιδιότητα της προτεινόμενης τεχνικής στην οποία θα αναφερόμαστε με τον όρο υποεξαντλητική ιδιότητα είναι ότι μπορούν να απομονωθούν k , $k < n$, από τα n ψηφία της γεννήτριας, προκειμένου να παραχθούν σε αυτά όλα τα $2^k \times (2^k - 1)$ ζεύγη διανυσμάτων k -ψηφίων μέσα σε $2^k \times (2^k - 1)$ κύκλους ρολογιού. Με την υποεξαντλητική ιδιότητα πάνω από μια μονάδες που βρίσκονται στο ίδιο κύκλωμα με διαφορετικό πλήθος εισόδων μπορούν να ελεγχθούν αποτελεσματικά χρησιμοποιώντας την ίδια μονάδα παραγωγής ζευγών διανυσμάτων. Πρέπει να σημειωθεί ότι καμία από τις υπόλοιπες τεχνικές που έχουν προταθεί στη βιβλιογραφία δεν έχει την υποεξαντλητική ιδιότητα.

Στην παρούσα παράγραφο περιγράψαμε τους λόγους που δικαιολογούν την ύπαρξη και μελέτη της προτεινόμενης τεχνικής. Στις παραγράφους που ακολουθούν θα παρουσιάσουμε την τεχνική και την υλοποίησή της.

17.10.3.1 Περιγραφή της τεχνικής

Στην παρούσα παράγραφο θα περιγραφεί μια τεχνική παραγωγής όλων των μεταβάσεων από κάθε ένα από τους $N=2^n$ αριθμούς σε κάθε ένα από τους υπόλοιπους $N-1$ αριθμούς, δηλαδή μιας ακολουθίας $N \times (N-1)$ διανυσμάτων στην οποία όλα τα ζεύγη διανυσμάτων είναι διακριτά. Με τον τρόπο αυτό, παράγονται τα ζεύγη διανυσμάτων ΠΑΕ. Πριν προχωρήσουμε στην περιγραφή της προτεινόμενης τεχνικής διατυπώνουμε τους ακόλουθους ορισμούς.

ΟΡΙΣΜΟΣ. Εστω δύο φυσικοί αριθμοί a , β . Σαν ένα **βήμα** $_{(k,N)}$ $0 < k < N$, ορίζουμε τη μετάβαση από ένα αριθμό a σε ένα αριθμό β , τέτοιο ώστε $\beta = (a+k) \bmod N$. \square

Σύμφωνα με τον παραπάνω Ορισμό, για $k=0$ και $k=N$, δεν παράγεται μετάβαση, ενώ για $k > N$, το βήμα $_{(k,N)}$ είναι ισοδύναμο με ένα μ -βήμα, με $\mu = k \bmod N$. Για το λόγο αυτό, χωρίς απώλεια της γενικότητας, θα υποθέτουμε στη συνέχεια ότι $0 < k < N$.

ΟΡΙΣΜΟΣ. Ορίζουμε σαν **κύκλος** $_{(k,N,A)}$ την ακολουθία διανυσμάτων που παράγονται ξεκινώντας από μια αρχική τιμή (starting value) A , και πραγματοποιώντας διαδοχικά **βήματα** $_{(k,N)}$ μέχρι να επιστρέψουμε στην αρχική τιμή. \square

ΟΡΙΣΜΟΣ. Ορίζουμε σαν **ζεύγος** $_{(k,N)}$ ένα ζεύγος αριθμών (a, β) τέτοιο ώστε $\beta = (a+k) \bmod N$. \square

Ενας κύκλος $_{(k,N,A)}$ μπορεί να παραχθεί με τη διαδικασία `circle_generate()` που δίνεται στη συνέχεια.

```

Procedure
circle_generate(k, N, A)
begin
    N=2^n; V=A;
    repeat
        V=(V+k) mod N
    until (V=A);
end
    
```

Αλγόριθμος: Παραγωγή Κύκλου (k,N,A)

ΠΑΡΑΔΕΙΓΜΑ: Τα ζεύγη $_{(3,8)}$ είναι τα $(0,3)$, $(1,4)$, $(2,5)$, $(3,6)$, $(4,7)$, $(5,0)$, $(6,1)$, $(7,2)$. Διατάσσοντας κατάλληλα τα ζεύγη αυτά, παίρνουμε τον **κύκλος** $_{(3,8,0)}$ που είναι $(0, 3, 6, 1, 4, 7, 2, 5, 0)$. \square

Στο παραπάνω Παράδειγμα, όλα τα διακριτά ζεύγη απόστασης_(3,8) παράχθηκαν με ένα κύκλο_(3,8). Στη συνέχεια θα δειχθεί ότι αυτό δε συμβαίνει για όλες τις τιμές των κ και Ν. Θα συμβολίζουμε με ΕΚΠ(Ν, κ) το ελάχιστο κοινό πολλαπλάσιο των αριθμών Ν και κ, και με ΜΚΔ(Ν, κ) το μέγιστο κοινό διαιρέτη των αριθμών Ν και κ. Ισχύει η ακόλουθη σχέση

$$N \times \kappa = \text{ΕΚΠ}(N, \kappa) \times \text{ΜΚΔ}(N, \kappa)$$

Αν $N=2^n$, το Ν είναι μια δύναμη του 2 και κανείς περιττός αριθμός δεν διαιρεί το Ν. Επομένως, $\text{ΜΚΔ}(N, \kappa) > 1$ αν και μόνο αν το κ είναι άρτιος, ενώ $\text{ΜΚΔ}(N, \kappa) = 1$ αν και μόνο αν το κ είναι περιττός.

ΛΗΜΜΑ 1: Αρχίζοντας από μια αρχική τιμή Α και παράγοντας βήματα_(κ,Ν) θα επιστρέψουμε στο Α σε $\frac{N}{\text{ΜΚΔ}(N, \kappa)}$ βήματα_(κ,Ν).

ΑΠΟΔΕΙΞΗ: Ας υποθέσουμε ότι επιστρέφουμε στο Α σε σ βήματα_(κ,Ν). Τότε θα ισχύει ότι

$$A + \kappa \times \sigma = A \pmod N,$$

ή ισοδύναμα

$$\kappa \times \sigma = 0 \pmod N \Rightarrow N \times c = \kappa \times \sigma = i$$

όπου c, i ακέραιοι. Ο μικρότερος ακέραιος i που ικανοποιεί την παραπάνω σχέση είναι το ΕΚΠ(Ν, κ). Έτσι,

$$\sigma = \frac{\text{ΕΚΠ}(N, \kappa)}{\kappa} = \frac{N}{\text{ΜΚΔ}(N, \kappa)}$$

□

ΘΕΩΡΗΜΑ 1: Αν $\text{ΜΚΔ}(N, \kappa) = 1$, τότε όλα τα ζεύγη_(κ,Ν) παράγονται με ένα κύκλο_(κ,Ν,Α).

ΑΠΟΔΕΙΞΗ: Σύμφωνα με το Λήμμα 1, με ένα κύκλο_(κ,Ν,Α) παράγονται $\frac{N}{\text{ΜΚΔ}(N, \kappa)}$ ζεύγη_(κ,Ν). Αφού το πλήθος των διακριτών ζευγών_(κ,Ν) είναι Ν, αρκεί να αποδειχθεί ότι τα παραχθέντα ζεύγη_(κ,Ν) είναι διακριτά. Αυτό θα γίνει με απαγωγή σε άτοπο. Ας υποθέσουμε ότι κατά τη διάρκεια του κύκλου_(κ,Ν,Α) παράγονται δύο ίδια ζεύγη διανυσμάτων (α, β) και (α', β'). Αν παράγονται τα ζεύγη αυτά, και $\alpha = \alpha'$ τότε ισχύουν οι ακόλουθες σχέσεις:

$$A + \pi \times \kappa = \alpha \pmod N \quad \text{και} \quad A + \pi' \times \kappa = \alpha' \pmod N$$

Υποθέτοντας, χωρίς βλάβη της γενικότητας, ότι $0 \leq \pi < \pi' < N$. Από τις παραπάνω σχέσεις συνεπάγεται ότι

$$(\pi' - \pi) = 0 \pmod N.$$

Συνεπώς, υπάρχει κάποιος θετικός αριθμός τ τέτοιος ώστε $\pi' - \pi = \tau \times N$, $\tau > 0$, άρα

$$\pi' = \pi + \tau \times N$$

που αντίκειται στην υπόθεση ότι $0 \leq \pi < \pi' < N$.

Το άτοπο στο οποίο καταλήξαμε οφείλεται στο ότι υποθέσαμε ότι τα ζεύγη ταυτίζονται. Άρα όλα τα ζεύγη που παράγονται είναι διακριτά. Συνεπώς, ο κύκλος_(κ,Ν,Α) παράγει Ν διακριτά ζεύγη_(κ,Ν). Αφού όλα τα διακριτά ζεύγη_(κ,Ν) είναι ακριβώς Ν, συμπεραίνουμε ότι ο κύκλος_(κ,Ν,Α) παράγει όλα τα ζεύγη_(κ,Ν).

□

Θα συμβολίσουμε με Σ_κ το άθροισμα όλων των θετικών ακέραιων αριθμών από το 1 έως το κ, δηλαδή

$$\Sigma_\kappa = 1 + 2 + \dots + \kappa = \frac{\kappa \cdot (\kappa + 1)}{2}$$

ΟΡΙΣΜΟΣ: Ορίζουμε σαν μια Σ -ακολουθία_(κ,Ν,Α) μια ακολουθία διανυσμάτων που παράγονται ξεκινώντας από μια αρχική τιμή Α και παράγοντας διαδοχικά βήματα_(i,Ν) για όλες τις τιμές του $i=1, 2, \dots, \kappa$. □

ΠΑΡΑΔΕΙΓΜΑ: Η Σ -ακολουθία_(3,8,0) είναι η (0,1,3,6), ενώ η Σ -ακολουθία_(4,8,0) είναι η (0,1,3,6,2). Στον επόμενο Πίνακα δίνουμε την Σ -ακολουθία_(3,8,0).

	1	2	3	
Σ -ακολουθία _(3,8,0)	0	1	3	6

Ενώ η Σ -ακολουθία_(4,8,0) δίνεται στον ακόλουθο Πίνακα

	1	2	3	4	
Σ -ακολουθία _(4,8,0)	0	1	3	6	2

ΟΡΙΣΜΟΣ. Ορίζουμε σαν ένα Σ -κύκλος $_{(k,N,A)}$ μια ακολουθία από διανύσματα που παράγονται ξεκινώντας από μια αρχική τιμή A και εφαρμόζοντας διαδοχικές Σ -ακολουθίες $_{(k,N,A)}$ μέχρι να επιστρέψουμε στο A μετά το τελευταίο βήμα $_{(k,N)}$ μιας Σ -ακολουθίας $_{(k,N,A)}$.

Ενας Σ -κύκλος $_{(k,N,A)}$ παράγεται από τη διαδικασία `S-circle_generate()` που δίνεται στη συνέχεια.

```

procedure S-circle_generate(k, N, A)
begin
  ACC=A;
  repeat
    C=1;
    repeat
      ACC:=(ACC+C) mod N;
      if (C<k) then C=C+1;
    until (C=k);
  until (ACC=A)
end.
    
```

Αλγόριθμος: Παραγωγή Σ -κύκλου $_{(k,N,A)}$

ΠΑΡΑΔΕΙΓΜΑ: Ο Σ -κύκλος $_{(3,8,0)}$ είναι ο (0,1,3,6,7,1,4,5,7,2,3,5,0) όπως φαίνεται στον ακόλουθο Πίνακα.

C	1	2	3	1	2	3	1	2	3	1	2	3	
Σ -κύκλος $_{(3,8,0)}$	0	1	3	6	7	1	4	5	7	2	3	5	0

Στο Θεώρημα 2 θα δοθεί η ικανή και αναγκαία συνθήκη προκειμένου να είναι δυνατό ένας Σ -κύκλος $_{(k,N,A)}$ να παράγει όλα τα ζεύγη $_{(i,N)}$, για όλες τις τιμές του i , $1 \leq i \leq k$. Πριν το Θεώρημα 2, θα αποδείξουμε μια σειρά από προκαταρκτικά Λήμματα. Στη συνέχεια θα συμβολίζουμε με $M_{(\Sigma,N)}$ το υπόλοιπο της διαίρεσης του αριθμού Σ δια του N , δηλαδή $M_{(\Sigma,N)} = \Sigma \bmod N$.

ΛΗΜΜΑ 2. Εστω ένας αριθμός $\Sigma > N$. Αν $\text{MKΔ}(N, \Sigma) = 1$, τότε $\text{MKΔ}(N, M_{(\Sigma,N)}) = 1$.

ΑΠΟΔΕΙΞΗ. Θέτουμε $M = M_{(\Sigma,N)}$. Αφού $\Sigma = N \times \mu + M$ για κάποιο ακέραιο μ , ισχύει ότι $\Sigma - M = N \times \mu$. Αν το N είναι πρώτος αριθμός, η απόδειξη είναι τετριμμένη. Αν το N δεν είναι πρώτος αριθμός, είναι γινόμενο κάποιων πρώτων παραγόντων.

$$N = N_1^{e_1} \times N_2^{e_2} \dots \times N_p^{e_p}$$

Εστω ότι το M διαιρείται με κάποιο από αυτούς τους παράγοντες, έστω το N_i και

$$M = x \times N_i^{e_i}$$

Τότε $\Sigma - x \times N_i^{e_i} = \mu \times N_1^{e_1} \times N_2^{e_2} \dots \times N_p^{e_p} \Rightarrow \Sigma = \mu \times N_1^{e_1} \times N_2^{e_2} \dots \times N_p^{e_p} - x \times N_i^{e_i}$. Ο αριθμός $\mu \times N_1^{e_1} \times N_2^{e_2} \dots \times N_p^{e_p} - x \times N_i^{e_i}$ διαιρείται με το N_i . Επομένως το Σ διαιρείται με το N_i , που είναι άτοπο εφόσον τα Σ και N είναι πρώτοι αριθμοί. Το άτοπο στο οποίο καταλήξαμε οφείλεται στο ότι υποθέσαμε ότι το M δεν είναι πρώτος με το N . Επομένως το M είναι πρώτος με το N .

ΟΡΙΣΜΟΣ: Εστω ένας αριθμός $\Sigma > N$ και $M = \Sigma \bmod N$. Ορίζουμε σαν ένα **ενοποιημένο βήμα** $_{(\Sigma,N)}$ από το α στο β τη μετάβαση από το α στο β έτσι ώστε $\beta = (\alpha + M) \bmod N$.

ΛΗΜΜΑ 3. Αν $\text{MKΔ}(N, \Sigma) = 1$, τότε ένας Σ -κύκλος $_{(k,N,A)}$ περιέχει N Σ -ακολουθίες $_{(k,N,A)}$.

ΑΠΟΔΕΙΞΗ. Θέτουμε $M = M_{(\Sigma,N)}$ και θεωρούμε το **ενοποιημένο βήμα** $_{(\Sigma,N)}$. Αν $\text{MKΔ}(N, \Sigma) = 1$, τότε από το Λήμμα 2 έχουμε ότι $\text{MKΔ}(N, M) = 1$. Από το Λήμμα 1 αρχίζοντας από μια αρχική τιμή A θα επιστρέψουμε στο A μετά από N βήματα $_{(M,N)}$, δηλαδή μετά από N Σ -ακολουθίες $_{(k,N,A)}$.

ΘΕΩΡΗΜΑ 2. Ενας Σ -κύκλος $_{(k,N,A)}$ παράγει όλα τα ζεύγη $_{(k,N)}$, $1 \leq i \leq k$ αν και μόνο αν $\text{MKΔ}(N, \Sigma) = 1$.

ΑΠΟΔΕΙΞΗ. Αρχικά θα αποδείξουμε ότι αν $MK\Delta(N, \Sigma_k)=1$, τότε ο Σ -κύκλος $_{(k,N,A)}$ παράγει όλα τα ζεύγη i -απόστασης για $1 \leq i \leq k$. Μια Σ -ακολουθία $_{(k,N,A)}$ αποτελείται από k ζεύγη $_{(i,N)}$, $1 \leq i \leq k$. Αφού $MK\Delta(N, \Sigma_k)=1$, από το Λήμμα 3 συμπεραίνουμε ότι κατά τη διάρκεια του Σ -κύκλου $_{(k,N,A)}$ παράγονται $N \times k$ ζεύγη $_{(i,N)}$, $1 \leq i \leq k$. Αφού τα ζεύγη $_{(i,N)}$ $1 \leq i \leq k$ είναι $N \times k$, αρκεί να αποδείξουμε ότι κατά τη διάρκεια του Σ -κύκλου $_{(k,N,A)}$ δεν παράγονται δύο ίδια ζεύγη διανυσμάτων (α, β) και (α', β') . Η απόδειξη θα γίνει με απαγωγή σε άτοπο.

Εστω ότι παράγονται δύο ζεύγη (α, β) και (α', β') με $\alpha = \alpha'$. Τότε από το Λήμμα 1 θα ισχύουν οι ακόλουθες σχέσεις.

$$A + \pi \times \Sigma + m = \alpha \bmod N \quad \text{και} \quad A + \pi' \times \Sigma + m = \alpha' \bmod N$$

Υποθέτοντας χωρίς βλάβη της γενικότητας ότι $0 \leq \pi < \pi' < N$, $\tau > 0$, που σημαίνει ότι $\pi' = \pi + \tau \times N$. Το αποτέλεσμα αυτό αντίκειται στην υπόθεση ότι $0 \leq \pi < \pi' < N$. Ετσι, ο Σ -κύκλος $_{(k,N,A)}$ παράγει ακριβώς $N \times k$ διαφορετικά ζεύγη $_{(i,N)}$, $1 \leq i \leq k$. Αφού όλα τα διακριτά ζεύγη $_{(i,N)}$ με $1 \leq i \leq k$ είναι ακριβώς $N \times k$, συνεπάγεται ότι ο Σ -κύκλος $_{(k,N,A)}$ παράγει όλα τα ζεύγη $_{(i,N)}$, $1 \leq i \leq k$.

ΑΝΤΙΣΤΡΟΦΟ. Θα αποδείξουμε ότι αν $MK\Delta(N, \Sigma_k) > 1$ ένας Σ -κύκλος $_{(k,N,sv)}$ δεν μπορεί να παράγει όλα τα i -βήματα, $1 \leq i \leq k$. Θέτουμε κατά τα γνωστά $M = M(\Sigma_k, N)$. Αφού $MK\Delta(N, M) > 1$, από το Λήμμα 1 ένας

κύκλος $_{(M,N)}$ περιέχει $\frac{N}{MK\Delta(N,M)} < N$ βήματα $_{(M,N)}$. Τότε, κατά τη διάρκεια του Σ -κύκλου $_{(k,N,A)}$ παράγονται το πολύ $\frac{N}{MK\Delta(N,M)} \times k$ βήματα $_{(i,N)}$ $1 \leq i \leq k$. Ο αριθμός $\frac{N}{MK\Delta(N,M)} \times k$ είναι μικρότερος από $N \times k$. Ετσι, είναι αδύνατο να παραχθούν όλα τα $N \times k$ βήματα $_{(i,N)}$, $1 \leq i \leq k$. □

ΠΑΡΑΔΕΙΓΜΑ. Εστω $k=2$. Τότε $\Sigma_k = 1+2=3$. Σύμφωνα με τη διαδικασία S -circle_generate(), οι τιμές της μεταβλητής C θα είναι 1, 2, 1, 2, Ο Σ -κύκλος $_{(2,8,0)}$ φαίνεται στον επόμενο πίνακα, μαζί με τις τιμές της μεταβλητής C . Με τον κύκλο αυτό παράγονται όλα τα ζεύγη $_{(1,8)}$ και τα ζεύγη $_{(2,8)}$.

	1	2	1	2	1	2	1	2	1	2	1	2	1	2	1	2	
Σ -κύκλος $_{(2,8,0)}$	0	1	3	4	6	7	1	2	4	5	7	0	2	3	5	6	0

ΠΑΡΑΔΕΙΓΜΑ. Για $k=3$, $\Sigma_3 = 1+2+3=6$. Στον επόμενο Πίνακα φαίνονται οι τιμές που προστίθενται καθώς και η ακολουθία εξόδου

	1	2	3	1	2	3	1	2	3	1	2	3	
Σ -κύκλος $_{(2,8,0)}$	0	1	3	6	7	1	4	5	7	2	3	5	0

Στο Σ -κύκλο $_{(3,8,0)}$ δεν παράγονται όλα τα ζεύγη $_{(1,8)}$ τα ζεύγη $_{(2,8)}$ και τα ζεύγη $_{(3,8)}$. Αυτό ήταν αναμενόμενο από το Θεώρημα 2, αφού το $\Sigma_3=6$ είναι άρτιος αριθμός, και όλοι οι αριθμοί που διαιρούν το $N=8$ είναι τα πολλαπλάσια του 2. Στη συνέχεια θα επιχειρήσουμε να διερευνήσουμε τη δυνατότητα παραγωγής των ζευγών διανυσμάτων με τη βοήθεια Σ -κύκλων $_{(k,N,A)}$ και κύκλων $_{(k,N,A)}$. Αν ήταν δυνατό με ένα Σ -κύκλο $_{(N-1,N,A)}$, να παραχθούν όλα τα ζεύγη, το πρόβλημα της παραγωγής ζευγών ΠΑΕ θα είχε λυθεί, εφόσον με τον τρόπο αυτό θα παράγονταν όλα τα ζεύγη $_{(i,N)}$ για $1 \leq i \leq N-1$.

Στο Θεώρημα 2 αποδείχτηκε ότι ένας Σ -κύκλος $_{(k,N,A)}$ παράγει όλα τα ζεύγη $_{(i,N)}$, $1 \leq i \leq k$ αν και μόνο αν το Σ_k είναι περιττός αριθμός.

- Για $k=N-1$, $\Sigma_{N-1} = \frac{N \times (N-1)}{2} = 2^{n-1} \times (2^n - 1)$. Ο αριθμός αυτός είναι άρτιος. Συνεπώς, ένας Σ -κύκλος $_{(N-1,N,0)}$ δεν μπορεί να παράγει όλα τα ζεύγη i -απόστασης, $1 \leq i \leq N-1$.

- Για $\kappa=N-2$, $\Sigma_{N-2} = \frac{(N-1) \times (N-2)}{2} = (2^n-1) \times (2^{n-1}-1)$, που είναι περιττός αριθμός. Έτσι, ένας Σ -κύκλος $_{(N-2,N,0)}$ παράγει όλα τα ζεύγη $_{(i,N)}$, $1 \leq i \leq N-2$. Ακόμη, εφόσον το $N-1$ είναι περιττός αριθμός, όλα τα ζεύγη $_{(N-1,N)}$ είναι δυνατό να παραχθούν με ένα κύκλο $_{(N-1,N)}$ σύμφωνα με το Θεώρημα 1. Συνεπώς, η παραγωγή όλων των ζευγών διανυσμάτων μπορεί να πραγματοποιηθεί με τη διαδικασία CTPT() που δίνουμε στη συνέχεια με τη μορφή ψευδοκώδικα.

```

Procedure CTPT(n)
begin
    N=2n ;
    S-circle_generate(N-2) ;
    k-circle_generate(N-1) ;
end.
    
```

Αλγόριθμος: Παραγωγή Ζευγών διανυσμάτων ΠΑΕ

Αρχικά παράγονται όλα τα ζεύγη $_{(\kappa,N)}$, με $\kappa < N-1$ με τη διαδικασία S-circle_generate σύμφωνα με το Θεώρημα 2. Στη συνέχεια, παράγονται όλα τα ζεύγη $_{(N-1,N)}$ σύμφωνα με το Θεώρημα 1. Συνεπώς, η διαδικασία CTPT() παράγει όλα τα ζεύγη $_{(i,N)}$ για $1 \leq i \leq N-1$. Ο συνολικός χρόνος που χρειάζεται για την ολοκλήρωση της διαδικασίας CTPT() είναι $(N-2) \times N + N = N \times (N-1)$ κύκλοι, δηλαδή ίσος με τη θεωρητικά ελάχιστη τιμή.

ΠΑΡΑΔΕΙΓΜΑ: Για $n=3$, έχουμε $N=8$ και $N-2=6$. Τα διανύσματα που παράγονται από τη διαδικασία CTPT() φαίνονται στον επόμενο Πίνακα ο οποίος δείχνει τα διανύσματα που παράγονται κατά τη διάρκεια των $2^3 \times (2^3-1) = 56$ κύκλων που απαιτούνται για την παραγωγή όλων των ζευγών διανυσμάτων για μια μονάδα υπό έλεγχο με 3-εισόδους. Ο Πίνακας δείχνει για κάθε κύκλο τον αύξοντα αριθμό του κύκλου (από 1 έως 56), την τιμή που προστίθεται και τα διανύσματα εξόδου ξεκινώντας από την αρχική τιμή $A=000$.

Πίνακας: Λειτουργία της προτεινόμενης τεχνικής παραγωγής ζευγών διανυσμάτων ΠΑΕ ($n=3$).

Cycle	C	ACC	Cycle	C	ACC	Cycle	C	ACC	Cycle	C	ACC
1	1	001	15	3	000	29	5	011	43	1	100
2	2	011	16	4	100	30	6	001	44	2	110
3	3	110	17	5	001	31	1	010	45	3	001
4	4	010	18	6	111	32	2	100	46	4	101
5	5	111	19	1	000	33	3	11	47	5	010
6	6	101	20	2	010	34	4	011	48	6	000
7	1	110	21	3	101	35	5	000	49	7	111
8	2	000	22	4	001	36	6	110	50	7	110
9	3	011	23	5	110	37	1	111	51	7	101
10	4	111	24	6	100	38	2	001	52	7	100
11	5	100	25	1	101	39	3	100	53	7	011
12	6	010	26	2	111	40	4	000	54	7	010
13	1	011	27	3	010	41	5	101	55	7	001
14	2	101	28	4	110	42	6	011	56	7	000

□

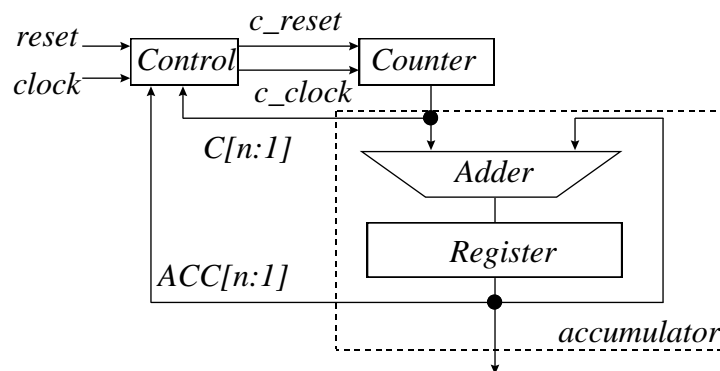
Στην παρούσα παράγραφο παρουσιάσαμε ένα αλγόριθμο παραγωγής ζευγών διανυσμάτων και αποδείξαμε ότι μπορεί να παράγει τα ζεύγη διανυσμάτων ΠΑΕ. Ο χρόνος που απαιτείται για την παραγωγή των ζευγών διανυσμάτων είναι ίσος με το θεωρητικό ελάχιστο. Στην επόμενη παράγραφο θα περιγράψουμε την υλοποίηση του αλγορίθμου και θα υπολογίσουμε το κόστος υλοποίησης.

17.10.3.2 Υλοποίηση της τεχνικής

Στην προηγούμενη παράγραφο παρουσιάσαμε μια τεχνική η οποία παράγει ζεύγη αριθμών και αποδείξαμε ότι μπορεί να παράγει όλα τα δυνατά ζεύγη διανυσμάτων σε χρόνο ίσο με το θεωρητικό ελάχιστο. Στην παρούσα παράγραφο θα παρουσιάσουμε την υλοποίηση της τεχνικής.

Η διαδικασία `S-circle_generate()` μπορεί να υλοποιηθεί με ένα απαριθμητή και ένα συσσωρευτή. Ο απαριθμητής (C) μπορεί να αυξάνεται ή να τίθεται στην τιμή 1, ενώ ο συσσωρευτής (ACC) συσσωρεύει τα περιεχόμενα του απαριθμητή ή τίθεται στην τιμή 0. Η επιλογή των λειτουργιών γίνεται με σήματα ελέγχου.

Το λογικό διάγραμμα της μονάδας παραγωγής των ζευγών διανυσμάτων δοκιμής που υλοποιεί τη διαδικασία CTPT(), φαίνεται στην επόμενη Εικόνα. Η μονάδα δέχεται ένα εξωτερικό σήμα `reset` και ένα σήμα χρονισμού (`clock`). Αποτελείται από ένα καταχωρητή (`accumulator`) n-βαθμίδων, και ένα απαριθμητή (`counter`) n-βαθμίδων.



Εικόνα: Υλοποίηση της τεχνικής AMG

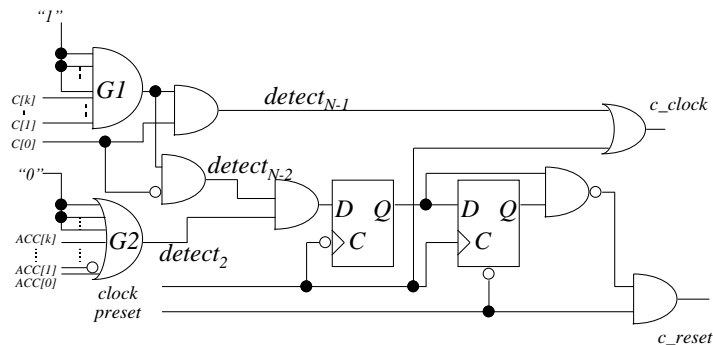
Οι έξοδοι του συσσωρευτή και του απαριθμητή συμβολίζονται με $ACC[n:1]$ και $C[n:1]$ αντίστοιχα. Ο συσσωρευτής αρχικά τίθεται στο 0. Σε κάθε κύκλο τα περιεχόμενα του απαριθμητή προστίθενται στα περιεχόμενα του καταχωρητή και αποθηκεύονται στον καταχωρητή. Η πρόσθεση γίνεται με υπόλοιπο ως προς $N=2^n$, συνεπώς, χρησιμοποιείται ένας συσσωρευτής χωρίς ανάδραση (non-feedback).

Με την ενεργοποίηση του σήματος `reset` ο απαριθμητής τίθεται στο 1 και ο συσσωρευτής τίθεται στο 0. Κατά τη διάρκεια του ελέγχου, σε κάθε κύκλο του ρολογιού ο απαριθμητής αυξάνει κατά ένα, έως ότου φτάσει την τιμή $N-2$. Τότε ολοκληρώνεται μια Σ -ακολουθία $_{(N-2,N,i)}$ συνεπώς ενεργοποιείται το σήμα `c_reset` και ο απαριθμητής τίθεται στην τιμή 1. Η ειδική περίπτωση που ο απαριθμητής φτάνει στην τιμή $N-2$ και ο καταχωρητής έχει την τιμή 2 (που σημαίνει ότι στον επόμενο κύκλο η τιμή του καταχωρητή θα είναι $2+N-2 \bmod N=0$) σηματοδοτεί το τέλος του Σ -κύκλου $_{(N-2,N,0)}$ σύμφωνα με τη διαδικασία `S-circle_generate()`. Στη συνέχεια, σύμφωνα με τη διαδικασία `k-circle_generate()`, θα παραχθεί ένας κύκλος $_{(N-1,N,0)}$. Συνεπώς, στους επόμενους N κύκλους ρολογιού, η τιμή του απαριθμητή πρέπει να παραμείνει σταθερή και ίση με $N-1$. Για το λόγο αυτό τα σήματα `c_reset` και `c_clock` απενεργοποιούνται. Η μονάδα ελέγχου ανιχνεύει τα ακόλουθα γεγονότα

- Όταν $C=N-2$ και $ACC \neq 2$, ενεργοποιείται το σήμα `c_reset` (στον επόμενο κύκλο ρολογιού) προκειμένου να τεθεί ο απαριθμητής στην τιμή 0.
- Όταν $C=N-2$ και $ACC=2$, πρέπει να απενεργοποιηθούν τα σήματα `c_reset` και `c_clock` (από τον επόμενο κύκλο ρολογιού). Η υλοποίηση της μονάδας ελέγχου φαίνεται στην επόμενη Εικόνα.

Το σήμα $detect_{N-1}$ ενεργοποιείται όταν η αριθμητική τιμή της εξόδου του απαριθμητή είναι ίση με $N-1$. Το σήμα $detect_{N-2}$ ενεργοποιείται όταν η αριθμητική τιμή της εξόδου του απαριθμητή είναι ίση με $N-2$. Το σήμα $detect_2$ ενεργοποιείται όταν η αριθμητική τιμή της εξόδου του συσσωρευτή είναι ίση με 2. Αρχικά το σήμα `c_clock` ταυτίζεται με το σήμα `clock`. Όταν η τιμή του απαριθμητή γίνει ίση με $N-1$, το `c_clock` απενεργοποιείται (παραμένει στην τιμή 1).

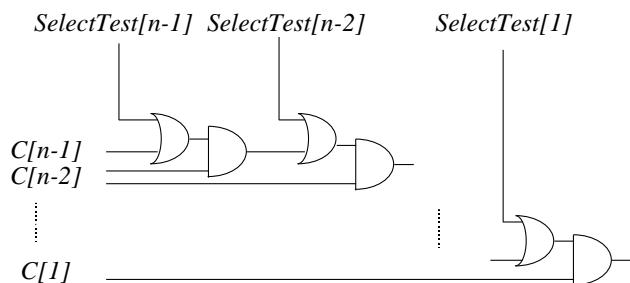
Ας θεωρήσουμε τη μονάδα παραγωγής διανυσμάτων δοκιμής της επόμενης Εικόνας. Προκειμένου να παραχθούν τα $2^k \times (2^k - 1)$ ζεύγη διανυσμάτων εισόδου στα k χαμηλής τάξης ψηφία του συσσωρευτή της προτεινόμενης τεχνικής αποσυνδέουμε τα $(n-k)$ υψηλής τάξης ψηφία εισόδου της πύλης G1 από τις εξόδους του απαριθμητή και τα συνδέουμε στις λογική τιμή 0. Ακόμη, αποσυνδέουμε τα $(n-k)$ υψηλής τάξης ψηφία από τις εισόδους της λογικής πύλης G2 και τα συνδέουμε στη λογική τιμή 1. Η μονάδα ελέγχου μετά από αυτές τις μετατροπές φαίνεται στην επόμενη Εικόνα.



Εικόνα: Η λογική ελέγχου για την παραγωγή των ζευγών διανυσμάτων ΠΑΕ k ψηφίων

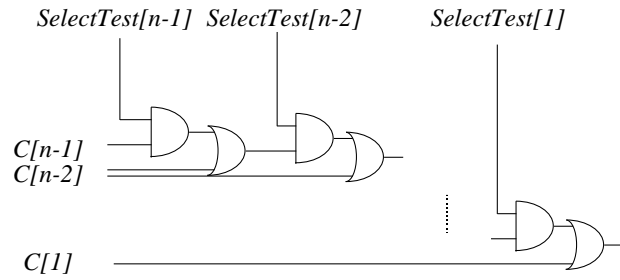
Με τις μετατροπές της επόμενης Εικόνας, η λογική ελέγχου μετατρέπεται σε μια λογική ελέγχου για την παραγωγή διανυσμάτων δοκιμής για μια μονάδα υπό έλεγχο με k εισόδους. Η τροποποιημένη μονάδα υλοποιεί τη διαδικασία CTPG(k). Έτσι, λαμβάνοντας τις εξόδους των k χαμηλής τάξης ψηφίων του συσσωρευτή, παίρνουμε τα $2^k \times (2^k - 1)$ ζεύγη διανυσμάτων k -ψηφίων μέσα σε $2^k \times (2^k - 1)$ κύκλους ρολογιού. Δίνουμε τον ακόλουθο ορισμό.

Θα λέμε ότι μια μονάδα παραγωγής ζευγών διανυσματων ΠΑΕ n ψηφίων έχει την **υποεξαντλητική** ιδιότητα, αν μπορεί να παράγει όλα τα $2^k \times (2^k - 1)$ ζεύγη διανυσμάτων ΠΑΕ k ψηφίων μέσα σε $2^k \times (2^k - 1)$ κύκλους μηχανής για οποιαδήποτε τιμή του k $k < n$, με την ενεργοποίηση κατάλληλου σήματος ελέγχου.



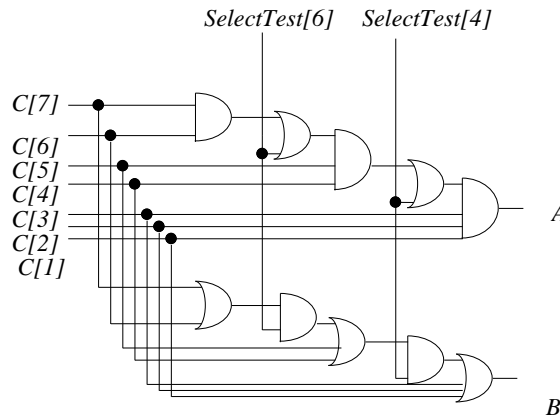
Εικόνα: Τροποποίηση της Πύλης G1

Προκειμένου να αποκτήσει η προτεινόμενη τεχνική παραγωγής ζευγών διανυσμάτων ΠΑΕ την υποεξαντλητική ιδιότητα, οι πύλες G1 και G2 πρέπει να αντικατασταθούν από ένα συνδυασμό πυλών AND-OR. Στην επόμενη Εικόνα παρουσιάζουμε το συνδυασμό πυλών που πρέπει να αντικαταστήσει την πύλη G₁. Το σήμα C[n:1] είναι η έξοδος του απαριθμητή. Το σήμα SelectTest[n:1] είναι σήμα ελέγχου. Όταν όλα τα ψηφία SelectTest[i] ($0 \leq i < n$) είναι 0, το κύκλωμα της Εικόνας είναι ισοδύναμο με μια πύλη AND ($n-1$) εισόδων. Όταν κάποιο σήμα SelectTest[k] έχει την τιμή 1, ($k < n$) τα C[i] απενεργοποιούνται για όλα τα $i < k$, και η μονάδα είναι ισοδύναμη με μια πύλη AND που τροφοδοτείται από τα k λιγότερο σημαντικά ψηφία του απαριθμητή. Εντελώς συμμετρικά, στην επόμενη Εικόνα παρουσιάζουμε το κύκλωμα που πρέπει να αντικαταστήσει την πύλη G₂. Το επιπλέον κόστος υλοποίησης της μονάδας συγκριτικά με την πύλη G₁ είναι $2n$ ισοδύναμες πύλες.



Εικόνα: Τροποποίηση της Πύλης G2

Στην πράξη, δεν θα χρειαστούν όλες οι τιμές του k . Τυπικό πλήθος είναι 4 ή 5 τιμές. Για κάθε τιμή του k που χρησιμοποιείται, η επιβάρυνση είναι μια πύλη OR δύο εισόδων και μια πύλη AND δύο εισόδων. Στην επόμενη Εικόνα φαίνεται ένα παράδειγμα τροποποίησης των πυλών της λογικής ελέγχου για μια μονάδα υπό έλεγχο με $n=8$ εισόδους, η οποία μπορεί να χρησιμοποιηθεί για τον έλεγχο μονάδων υπό έλεγχο με $k=4$ και $k=6$ εισόδους. Από την Εικόνα φαίνεται ότι το επιπλέον κόστος υλοποίησης είναι 4 ισοδύναμες πύλες για κάθε επιθυμητή τιμή του k .



Εικόνα: Τροποποίηση των πυλών G1, G2 για $n=8$, $k=4$ και $k=6$

Μέχρι το σημείο αυτό παρουσιάσαμε την πρώτη από τις προτεινόμενες τεχνικές παραγωγής ζευγών διανυσμάτων δοκιμής ΠΑΕ με το όνομα AMG, η οποία στηρίζεται σε πράξεις υπολοίπου ως προς 2^n , και υλοποιείται με τη χρήση ενός συσσωρευτή χωρίς ανάδραση. Η τεχνική αυτή δεν μπορεί να χρησιμοποιηθεί για τον έλεγχο μονάδων που ελέγχονται ψευδοεξαντλητικά. Για τον ψευδοεξαντλητικό έλεγχο τέτοιων μονάδων προτείνουμε την τεχνική C-AMG, η οποία περιγράφεται στην επόμενη παράγραφο.

17.10.5 Παραγωγή ζευγών διανυσμάτων ΠΑΕ με τη χρήση συσσωρευτή με ανάδραση (Carry-Rotate Accumulator-based Mic pair Generator, C-AMG)

Μέχρι το σημείο αυτό παρουσιάστηκε η παραγωγή ζευγών διανυσμάτων δοκιμής ΠΑΕ με τη χρήση ενός συσσωρευτή χωρίς ανάδραση. Στην περίπτωση αυτή, όλες οι αθροίσεις γίνονταν με υπόλοιπο ως προς το 2^n , όπου n το πλήθος των εισόδων της μονάδας υπό δοκιμή. Στη συνέχεια θα δείξουμε πώς η παραγωγή των ζευγών διανυσμάτων ΠΑΕ μπορεί να επιτευχθεί με τη χρήση ενός συσσωρευτή με ανάδραση (Carry-Rotate Accumulator). Με τη χρήση συσσωρευτή με ανάδραση είναι δυνατός ο ψευδοεξαντλητικός έλεγχος διαδοχικών ψηφίων, ο οποίος έχει ευρύτατη εφαρμογή σε κυκλώματα που περιέχουν μονάδες datapaths.

Στον καταχωρητή με ανάδραση, οι προσθέσεις γίνονται με υπόλοιπο ως προς το 2^{n-1} . Σε ένα αθροιστή με ανάδραση (carry-rotate adder), το άθροισμα δύο δυαδικών αριθμών a , k είναι ο αριθμός b έτσι ώστε

$$b = \begin{cases} a + k & a + k < N \\ (a + k) \bmod (N - 1) & \text{else} \end{cases}$$

Σε ένα συσσωρευτή με ανάδραση, ξεκινώντας από μια μη-μηδενική τιμή, δεν είναι δυνατό να παραχθεί το μηδέν σαν έξοδος του συσσωρευτή για καμία ακολουθία διανυσμάτων εισόδου. Για το λόγο αυτό αρχικά θα παραχθούν όλες οι μεταβάσεις εκτός από τις μεταβάσεις προς και από το μηδέν. Για μια μονάδα υπό έλεγχο με n εισόδους, το πλήθος αυτών των μεταβάσεων είναι $(2^n-1) \times (2^n-1)$.

17.10.5.1 Περιγραφή της τεχνικής

Προκειμένου να παρουσιάσουμε την προτεινόμενη τεχνική δίνουμε τους ακόλουθους ορισμούς.

ΟΡΙΣΜΟΣ: Ορίζουμε σαν ένα **βήμα-με-ανάδραση** $_{(k,N)}$, $0 < k < N$, τη μετάβαση από ένα αριθμό $a \neq 0$ σε ένα αριθμό b , όπου

$$\beta = \begin{cases} a + k & a + k < N \\ (a + k) \bmod (N - 1) & \text{else} \end{cases}$$

ΟΡΙΣΜΟΣ. Ορίζουμε σαν **κύκλο-με-ανάδραση** $_{(k,N,A)}$ την ακολουθία διανυσμάτων που παράγονται ξεκινώντας από μια αρχική τιμή A , και πραγματοποιώντας διαδοχικά **βήματα-με-ανάδραση** $_{(k,N)}$ μέχρι να επιστρέψουμε στην αρχική τιμή. □

ΟΡΙΣΜΟΣ. Ένα ζεύγος αριθμών (α, β) ονομάζεται **ζεύγος-με-ανάδραση** $_{(k,N)}$ $\alpha \neq 0$, αν η μετάβαση από το α στο β είναι ένα **βήμα-με-ανάδραση** $_{(k,N)}$. □

Ένας **κύκλος-με-ανάδραση** $_{(k,N,A)}$ παράγεται από τη διαδικασία `circleA_generate()` που δίνεται στη συνέχεια με τη μορφή ψευδοκώδικα.

```

Procedure circleA_generate(k,N,A)
begin
  V=A;
  repeat
    if (V+k<N) then
      V=V+k
    else
      V=V+k-(N-1)
    endif
  until (V=A);
end
    
```

Αλγόριθμος: Παραγωγή Κύκλου-με-ανάδραση $_{(k,N,A)}$

ΠΑΡΑΔΕΙΓΜΑ: Τα **ζεύγη-με-ανάδραση** $_{(3,8)}$ είναι τα (1,4), (2,5), (3,6), (4,7), (5,1), (6,2), (7,3). Ο **κύκλος-με-ανάδραση** $_{(3,8,1)}$ είναι ο (1,4,7,3,6,2,5,1). □

ΛΗΜΜΑ 4: Ξεκινώντας από μια αρχική τιμή A και παράγοντας **βήματα-με-ανάδραση** $_{(k,N)}$, θα επιστρέψουμε στο A σε $\frac{N-1}{MK\Delta(N-1,k)}$ **βήματα-με-ανάδραση** $_{(N,k)}$.

ΑΠΟΔΕΙΞΗ: Ας υποθέσουμε ότι επιστρέφουμε στο A σε σ **βήματα-με-ανάδραση** $_{(k,N)}$. Τότε θα ισχύει ότι $A = k \times \sigma = A \bmod N-1$

ή ισοδύναμα ότι

$$k \times \sigma = 0 \bmod N-1 \Rightarrow (N-1) \times c = k \times c = i$$

όπου οι αριθμοί c, i είναι ακέραιοι. Ο μικρότερος ακέραιος αριθμός που ικανοποιεί την παραπάνω σχέση είναι το ΕΚΠ $(N-1, k)$. Συνεπώς,

$$\sigma = \frac{EK\Pi(N-1, k)}{k} = \frac{N-1}{MK\Delta(N-1, k)}$$

□

ΘΕΩΡΗΜΑ 3: Αν $MK\Delta(N-1, k)=1$, τότε όλα τα **ζεύγη-με-ανάδραση** $_{(k,N)}$ παράγονται με ένα **κύκλο-με-ανάδραση** $_{(k,N)}$.

ΑΠΟΔΕΙΞΗ: Ομοια με το Θεώρημα 1

□

ΟΡΙΣΜΟΣ: Ορίζουμε σαν μια **Σ-ακολουθία-με-ανάδραση** $_{(κ,N,A)}$ μια ακολουθία διανυσμάτων που παράγονται ξεκινώντας από μια αρχική τιμή A και παράγοντας διαδοχικά **βήματα-με-ανάδραση** $_{(i,N)}$ για όλες τις τιμές του i, i=1, 2, ...κ.

ΠΑΡΑΔΕΙΓΜΑ: Η **Σ-ακολουθία-με-ανάδραση** $_{(5,8,1)}$ είναι η (1,2,4,7,5,2), όπως φαίνεται στον ακόλουθο Πίνακα.

	1	2	3	4	5	
Σ-ακολουθία-με-ανάδραση $_{(5,8,1)}$	1	2	4	7	5	2

□

ΟΡΙΣΜΟΣ: Ορίζουμε σαν ένα **Σ-κύκλο-με-ανάδραση** $_{(κ,N,A)}$ μια ακολουθία διανυσμάτων που παράγονται ξεκινώντας από μια αρχική τιμή A και εφαρμόζοντας διαδοχικές **Σ-ακολουθίες-με-ανάδραση** $_{(κ,N,i)}$ μέχρι να επιστρέψουμε στο A μετά το τελευταίο **βήμα-με-ανάδραση** $_{(κ,N)}$ μιας **Σ-ακολουθίας-με-ανάδραση** $_{(κ,N,A)}$.

□

Ενας **Σ-κύκλος-με-ανάδραση** $_{(κ,N,A)}$ παράγεται από τη διαδικασία S-circleA_generate(), που δίνεται στη συνέχεια.

```

Procedure S-circleA_generate(k, N, A)
begin
ACC=A;
repeat
C=1;
repeat
if ACC+C<N then
ACC=ACC+C
else
ACC=ACC+C- (N-1)
until (C=k)
until (ACC=A)
end
    
```

Αλγόριθμος: Παραγωγή Σ-Κύκλου-με-Ανάδραση $_{(κ,N,A)}$

ΠΑΡΑΔΕΙΓΜΑ: Ο **Σ-κύκλος-με-ανάδραση** $_{(3,8,1)}$ είναι ο (1,2,4,7,1,3,6,7,2,5,6,1,3,4,6,1). Οι τιμές του κύκλου δίνονται στον ακόλουθο Πίνακα.

	1	2	3	1	2	3	1	2	3	1	2	3	1	2	3	
Σ-κύκλος-με-ανάδραση $_{(3,8,1)}$	1	2	4	7	1	3	6	7	2	5	6	1	3	4	6	1

□

ΟΡΙΣΜΟΣ: Εστω ένας αριθμός $\Sigma > N$ και $M = \Sigma \bmod N - 1$. Ορίζουμε σαν ένα ενοποιημένο βήμα-με-ανάδραση $_{(\Sigma,N)}$ το βήμα-με-ανάδραση $_{(M,N)}$.

ΛΗΜΜΑ 5: Εστω ένας αριθμός $\Sigma > N$ και $M = \Sigma \bmod N - 1$. Αν $\text{MK}\Delta(N-1, \Sigma) = 1$, τότε $\text{MK}\Delta(N-1, M) = 1$.

ΑΠΟΔΕΙΞΗ: Απευθείας από το Λήμμα 5.2.

ΛΗΜΜΑ 6: Αν $\text{MK}\Delta(N-1, \Sigma) = 1$, τότε ένας **Σ-κύκλος-με-ανάδραση** $_{(κ,N,A)}$ περιέχει N-1 **Σ-ακολουθίες-με-ανάδραση** $_{(κ,N,i)}$.

ΑΠΟΔΕΙΞΗ: Απευθείας από το Λήμμα 3

□

ΘΕΩΡΗΜΑ 4: Ενας **Σ-κύκλος-με-ανάδραση** $_{(κ,N,A)}$ παράγει όλα τα **ζεύγη-με-ανάδραση** $_{(i,N)}$ $1 \leq i \leq \kappa$ αν και μόνο αν $\text{MK}\Delta(N-1, \Sigma_\kappa) = 1$.

ΑΠΟΔΕΙΞΗ: Όπως στο Θεώρημα 2.

□

Σύμφωνα με τα προηγούμενα, ένας **Σ-κύκλος-με-ανάδραση** $_{(\Sigma,N,A)}$ παράγει όλα τα **ζεύγη-με-ανάδραση** $_{(i,N)}$ αν το Σ είναι και το N-1 είναι μεταξύ τους πρώτα (mutually prime). Στην επόμενη παράγραφο θα διερευνήσουμε ποιά αθροίσματα Σ_i , $i < N$ είναι πρώτα με το N-1.

- Για $\kappa=N-1$, $\Sigma_{N-1} = \frac{N \times (N-1)}{2}$, το οποίο διαιρείται με το $N-1$, συνεπώς δεν είναι πρώτο με αυτό.
- Για $\kappa=N-2$, $\Sigma_{N-2} = \frac{(N-2) \times (N-1)}{2}$. Εφόσον το N είναι δύναμη του 2, το $N-2$ είναι άρτιος αριθμός, συνεπώς διαιρείται με το 2. Επομένως, το Σ_{N-2} διαιρείται με το $N-1$, και άρα ένας Σ -κύκλος-με-ανάδραση $_{(N-2,N,A)}$ δεν είναι δυνατό να παράγει όλα τα ζεύγη-με-ανάδραση $_{(i,N)}$ για όλες τις τιμές του i , $i \leq N-2$.
- Για $\kappa=N-3$, $\Sigma_{N-3} = \frac{(N-3) \times (N-2)}{2} \Rightarrow \Sigma_{N-3} = \frac{(N-1) \times (N-2) - 2 \times (N-2)}{2} \Rightarrow$
 $\Sigma_{N-3} = \frac{(N-1) \times (N-4) + (N-1) \times 2 - 2 \times (N-2)}{2} \Rightarrow \Sigma_{N-3} = \frac{(N-1) \times (N-4) + 2}{2}$.

Το υπόλοιπο του αριθμού αυτού ως προς $N-1$ είναι 1. Σύμφωνα λοιπόν με το Λήμμα 5, το Σ_{N-3} είναι πρώτος με το $N-1$. Επομένως, ένας Σ -κύκλος-με-ανάδραση $_{(N-3,N,A)}$ είναι δυνατό να παράγει όλα τα ζεύγη-με-ανάδραση $_{(i,N)}$, $i < N-2$.

Ακόμη, το $N-2$ είναι πρώτο με το $N-1$. Συνεπώς, όλα τα ζεύγη-με-ανάδραση $_{(N-2,N-1)}$ είναι δυνατό να παραχθούν με ένα κύκλο-με-ανάδραση $_{(N-2,N,A)}$ σύμφωνα με το Θεώρημα 3.

Προκειμένου να παραχθούν όλα τα ζεύγη, απαιτείται ακόμη η παραγωγή όλων των ζευγών προς και από το 0. Τα ζεύγη αυτά είναι συνολικά $2 \times (2^n - 1)$ και μπορούν να παραχθούν από την ακόλουθη διαδικασία Generate Zero Transitions.

```

Procedure GenerateZeroTransitions(n)
begin
  N=2n;
  ACC=0;
  for C=1 to N-1
  begin
    ACC=ACC+C;
    ACC=0;
  end;
end.

```

Αλγόριθμος: Παραγωγή Μεταβάσεων Προς και από το μηδέν

Σύμφωνα με τη διαδικασία GenerateZeroTransitions(), ο συσσωρευτής αρχικά μηδενίζεται. Στη συνέχεια ένας απαριθμητής αυξάνει από το 1 ως το $N-1$. Ο συσσωρευτής μηδενίζεται με ένα σήμα reset, και τα περιεχόμενα του απαριθμητή προστίθενται στον καταχωρητή. Στον επόμενο κύκλο ο συσσωρευτής μηδενίζεται και ο απαριθμητής αυξάνεται. Το πλήθος κύκλων που απαιτούνται για την υλοποίηση της διαδικασίας GenerateZeroTransitions() είναι $2 \times (2^n - 1)$. Η παραγωγή όλων των ζευγών με ανάδραση μπορεί να γίνει με τη διαδικασία CTRPTA() που δίνουμε στη συνέχεια.

```

Procedure CtrptA(n, A)
begin
  N=2n;
  S-circleA_generate(N-3, N, 1);
  circleA_generate(N-2, N, 1);
  generateZeroTransitions(n);
end.

```

Αλγόριθμος: Παραγωγή των ζευγών διανυσμάτων ΠΑΕ

Για την ολοκλήρωση της διαδικασίας CtrptA() απαιτούνται $(N-3) \times (N-1) + N + 2 \times (N-1) = N \times (N-1)$ κύκλοι.

ΠΑΡΑΔΕΙΓΜΑ: Για $N=8$, $N-3=5$. Τα διανύσματα που παράγονται από τη διαδικασία CtrtA(3,1) φαίνονται στον επόμενο Πίνακα. Ο Πίνακας δίνει τα περιεχόμενα του συσσωρευτή κατά τη διάρκεια των $N \times (N-1) = 56$ κύκλων που απαιτούνται για την παραγωγή όλων των ζευγών διανυσμάτων τριών ψηφίων.

Cycle	C	ACC	Cycle	C	ACC	Cycle	C	ACC	Cycle	C	ACC
1	1	010	15	5	100	29	4	010	43	1	000
2	2	100	16	1	101	30	5	111	44	1	001
3	3	111	17	2	111	31	1	001	45	2	000
4	4	100	18	3	011	32	2	011	46	2	010
5	5	010	19	4	111	33	3	110	47	3	000
6	1	011	20	5	101	34	4	011	48	3	011
7	2	101	21	1	110	35	5	001	49	4	000
8	3	001	22	2	001	36	6	111	50	4	100
9	4	101	23	3	100	37	6	110	51	5	000
10	5	011	24	4	001	38	6	101	52	5	101
11	1	100	25	5	110	39	6	100	53	6	000
12	2	110	26	1	111	40	6	011	54	6	110
13	3	010	27	2	010	41	6	010	55	7	000
14	4	110	28	3	101	42	6	001	56	7	111

□

Η επιλογή του 001 σαν αρχική τιμή παρουσιάζει τα ακόλουθα δύο μειονεκτήματα

Απαιτείται ένας ακόμη κύκλος για τη μετάβαση από το 111 (N-1) στο 0, και αυτό διότι η μετάβαση από το 000 στο 001 παραγματοποιήθηκε δύο φορές (στους κύκλους #43 και #45). Συνεπώς, αν η αρχική τιμή $A=111(=N-1)$, ο κύκλος αυτός δε χρειάζεται. Είναι άσκοπο και πολύπλοκο να χρειάζεται να θέτουμε τα στοιχεία μνήμης (flip flops) του συσσωρευτή σε αρχικές τιμές διαφορετικές μεταξύ τους. Αξίζει να σημειωθεί ότι στον ψευδοεξαντλητικό έλεγχο διαδοχικών ψηφίων, ο οποίος θα μελετηθεί σε επόμενη παράγραφο, η αρχικοποίηση των στοιχείων μνήμης σε διαφορετικές αρχικές τιμές περιπλέκει τα πράγματα.

Για τους παραπάνω δύο λόγους, σαν τιμή αρχικοποίησης επιλέγεται η τιμή N-1. Για παράδειγμα, για $n=3$, οι τιμές που παράγονται ξεκινώντας από το $A=111$ φαίνονται στον επόμενο Πίνακα.

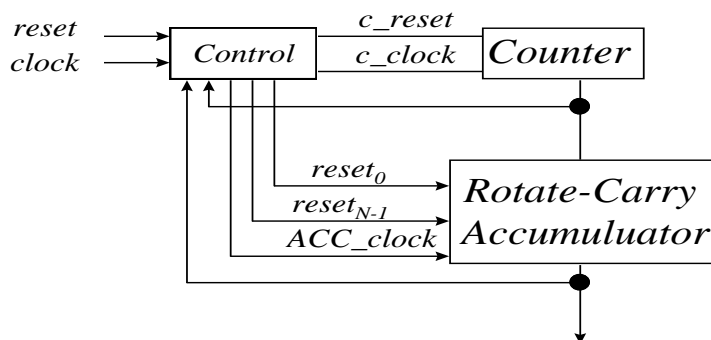
Πίνακας: Ζεύγη διανυσμάτων ΠΑΕ τριών ψηφίων

Cycle	C	ACC	Cycle	C	ACC	Cycle	C	ACC	Cycle	C	ACC
1	1	001	15	5	011	29	4	001	43	1	000
2	2	011	16	1	100	30	5	110	44	1	001
3	3	110	17	2	110	31	1	111	45	2	000
4	4	011	18	3	010	32	2	010	46	2	010
5	5	001	19	4	110	33	3	101	47	3	000
6	1	010	20	5	100	34	4	010	48	3	011
7	2	100	21	1	101	35	5	111	49	4	000
8	3	111	22	2	111	36	6	110	50	4	100
9	4	100	23	3	011	37	6	101	51	5	000
10	5	010	24	4	111	38	6	100	52	5	101
11	1	011	25	5	101	39	6	011	53	6	000
12	2	101	26	1	110	40	6	010	54	6	110
13	3	001	27	2	001	41	6	001	55	7	000
14	4	101	28	3	100	42	6	111	56	7	111

Στην παρούσα παράγραφο παρουσιάσαμε ένα αλγόριθμο παραγωγής των ζευγών διανυσμάτων δοκιμής και αποδείξαμε ότι με τον αλγόριθμο αυτό είναι δυνατό να παραχθούν όλα τα ζεύγη διανυσμάτων δοκιμής. Στην επόμενη παράγραφο θα παρουσιάσουμε μια υλοποίηση του αλγόριθμου με τη χρήση ενός συσσωρευτή με ανάδραση.

17.10.5.2 Υλοποίηση της τεχνικής

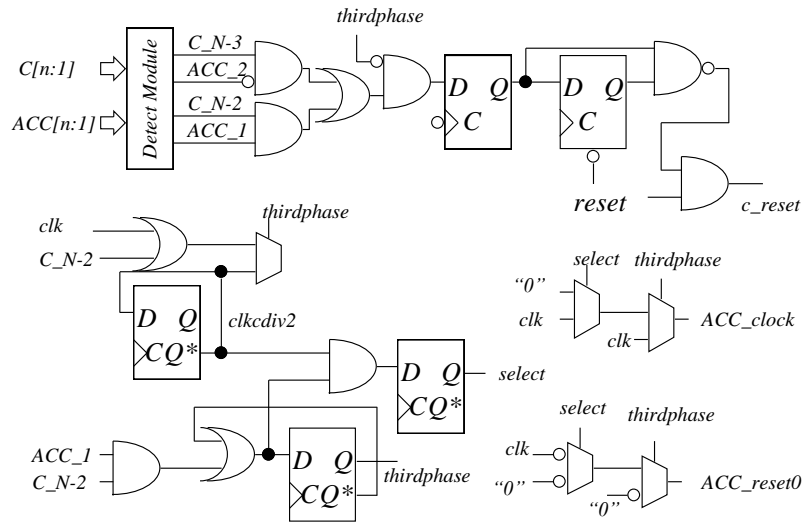
Η διαδικασία CtrtA() μπορεί να υλοποιηθεί με τη χρήση ενός συσσωρευτή με ανάδραση και ενός απαριθμητή. Ο απαριθμητής μπορεί να αυξάνεται ή να τίθεται στην τιμή 1. Ο συσσωρευτής μπορεί να τίθεται στην τιμή N-1 ή 0. Το λογικό διάγραμμα της τεχνικής φαίνεται στην επόμενη Εικόνα.



Εικόνα: Η υλοποίηση της τεχνικής C-AMG

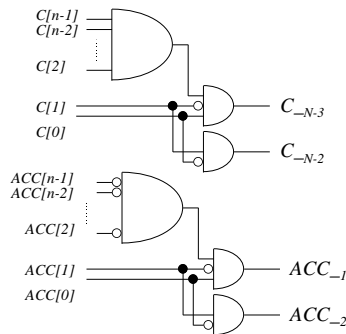
Αρχικά, ο καταχωρητής τίθεται στο N-1, ο απαριθμητής τίθεται στο 1 και για τους επόμενους (N-3) κύκλους, η μονάδα παράγει μια **Σ-ακολουθία-με-ανάδραση**_(N-3,N,N-1). Όταν ο απαριθμητής φτάσει στην τιμή N-3, τίθεται στο 1 στον επόμενο κύκλο ρολογιού. Όταν μετά το τέλος μιας **Σ-ακολουθίας-με-ανάδραση**_(N-3,N,N) ο καταχωρητής έχει την τιμή 1, τότε έχει ολοκληρωθεί ο **Σ-κύκλος-με-ανάδραση**_(N-3,N-1,N-1), και θα παραχθεί ένα **κύκλος-με-ανάδραση**_(N-2,N,N-1). Για το λόγο αυτό, ο απαριθμητής αφήνεται να αυξηθεί στο N-2 και μένει στην τιμή αυτή εως ότου ο καταχωρητής φτάσει στην τιμή N-1. Η λογική ελέγχου ανιχνεύει τα ακόλουθα γεγονότα.

- Όταν C=N-3 και ACC≠3, πρέπει στον επόμενο κύκλο να τεθεί ο απαριθμητής στο 1.
- Όταν C=N-3 και ACC=3, πρέπει ο απαριθμητής να μεταβεί στην τιμή N-2 και να παραμείνει στην τιμή αυτή. Για το λόγο αυτό δεν ενεργοποιείται το σήμα c_reset, και το σήμα c_clock απενεργοποιείται.
- Όταν ο ACC=1 και C= N-2, σημαίνει ότι στον επόμενο κύκλο, η τιμή του συσσωρευτή θα είναι N-1, και έχει τελειώσει και η διαδικασία **S-circleA_generate()**. Συνεπώς, από τον επόμενο κύκλο ρολογιού πρέπει να αρχίσει η παραγωγή των μεταβάσεων προς και από το 0. Για το λόγο αυτό, το ρολόι υποδιπλασιάζεται, και από το σήμα αυτό οδηγείται το ρολόι του απαριθμητή. Το υποδιπλασιασμένο σήμα οδηγείται επίσης στο σήμα **reset₀** του συσσωρευτή.



Εικόνα: Η μονάδα ελέγχου

Η παραγωγή των μεταβάσεων προς και από το μηδέν πραγματοποιείται με ενεργοποίηση του σήματος **reset₀** το οποίο μηδενίζει τον καταχωρητή. Η συχνότητα του ρολογιού υποδιπλασιάζεται, και το σήμα **reset₀** του καταχωρητή οδηγείται από το υποδιπλασιασμένο ρολόι. Η υλοποίηση της λογικής φαίνεται στην προηγούμενη Εικόνα. Στην επόμενη Εικόνα παρουσιάζουμε τη μονάδα Detect Module, η οποία παράγει τα σήματα **ACC₁**, **ACC₂**, **C_{N-3}**, **C_{N-2}**. Η μονάδα detect αποτελείται από λογικές πύλες 2n εισόδων.



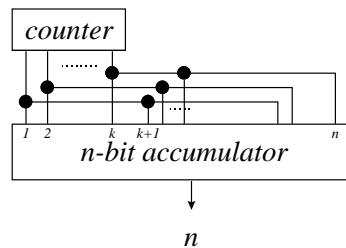
Εικόνα: Μονάδα Παραγωγής των σημάτων ελέγχου

Στην παρούσα παράγραφο παρουσιάσαμε μια τεχνική παραγωγής ζευγών διανυσμάτων δοκιμής με τη χρήση ενός συσσωρευτή με ανάδραση. Το κυριότερο πλεονέκτημα της χρήσης συσσωρευτή με ανάδραση έναντι της χρήσης συσσωρευτή χωρίς ανάδραση η οποία παρουσιάστηκε στην προηγούμενη παράγραφο είναι ότι απλοποιείται σημαντικά η παραγωγή διανυσμάτων δοκιμής για τον ψευδοεξαντλητικό έλεγχο ζευγών διανυσμάτων διαδοχικών ψηφίων. Στην επόμενη παράγραφο θα παρουσιάσουμε την παραγωγή του ψευδοεξαντλητικού ελέγχου διαδοχικών ψηφίων με τη βοήθεια της προτεινόμενης τεχνικής.

17.10.6 Ψευδοεξαντλητικός έλεγχος ζευγών διανυσμάτων ΠΑΕ

Κατά τον ψευδοεξαντλητικό έλεγχο διαδοχικών ψηφίων με ζεύγη διανυσμάτων εφαρμόζονται όλα τα δυνατά ζεύγη διανυσμάτων k ψηφίων σε όλες τις ομάδες k διαδοχικών ψηφίων. Στη συνέχεια θα περιγραφούν τρεις διαφορετικοί τρόποι ψευδοεξαντλητικού ελέγχου με ζεύγη διανυσμάτων ΠΑΕ. Σύμφωνα με τον **(n,k)-ψευδοεξαντλητικό έλεγχο** ζευγών διανυσμάτων, εφαρμόζονται όλα τα δυνατά ζεύγη διανυσμάτων k ψηφίων σε όλες τις διαδοχικές ομάδες k ψηφίων εισόδου της μονάδας υπό έλεγχο. Στο εξής θα αναφερόμαστε στην ποσότητα k με τον όρο **απόσταση** του ψευδοεξαντλητικού ελέγχου.

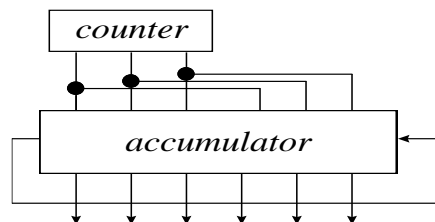
Κατά τον **επιλεκτικό ψευδοεξαντλητικό έλεγχο**, η μονάδα παραγωγής των ζευγών διανυσμάτων δοκιμής εκτός από τις εισόδους χρονισμού (clock) και θέσης (reset) δέχεται n σήματα, τα οποία θα συμβολίζουμε με PE_k , (Pseudo-Exhaustive k-bit), $1 \leq k \leq n$. Η μονάδα λειτουργεί ως εξής. Κάθε στιγμή το πολύ ένα σήμα PE_k μπορεί να είναι ενεργοποιημένο. Όταν όλα τα σήματα PE_k είναι ανενεργά, η μονάδα παράγει όλα τα ζεύγη διανυσμάτων δοκιμής n ψηφίων. Όταν ένα σήμα PE_{k1} είναι ενεργοποιημένο, τότε η μονάδα παράγει όλα τα ζεύγη διανυσμάτων $k1$ ψηφίων σε όλες τις διαδοχικές ομάδες $k1$ ψηφίων εισόδου. Με τον επιλεκτικό ψευδοεξαντλητικό έλεγχο, η μονάδα παραγωγής μπορεί να χρησιμοποιηθεί για τον (n,k) -ψευδοεξαντλητικό έλεγχο μονάδων στις οποίες η απόσταση k είναι πιθανόν διαφορετική. Κατά τον **αναδρομικό ψευδοεξαντλητικό έλεγχο** ζευγών διανυσμάτων, παράγονται τα ζεύγη διανυσμάτων σε όλες τις διαδοχικές ομάδες k ψηφίων για όλες τις τιμές του k , $1 \leq k \leq n$. Με τον αναδρομικό ψευδοεξαντλητικό έλεγχο ζευγών διανυσμάτων, παραπάνω από μια μονάδες υπό έλεγχο μπορούν να ελεγχθούν ταυτόχρονα. Στη συνέχεια της παραγράφου θα παρουσιάσουμε τους τρεις τρόπους ψευδοεξαντλητικού ελέγχου με τη βοήθεια της προτεινόμενης τεχνικής.



Εικόνα : (n,k) -Ψευδοεξαντλητικός Έλεγχος Ζευγών Διανυσμάτων

17.10.6.1 (n, k) -Ψευδοεξαντλητικός έλεγχος

Η παραγωγή (n,k) -ψευδοεξαντλητικού ελέγχου ζευγών διανυσμάτων με την προτεινόμενη τεχνική φαίνεται στην επόμενη Εικόνα. Χρησιμοποιείται ένας συσσωρευτής n βαθμίδων και ένας απαριθμητής k βαθμίδων, όπου k είναι η απόσταση της μονάδας υπό έλεγχο.



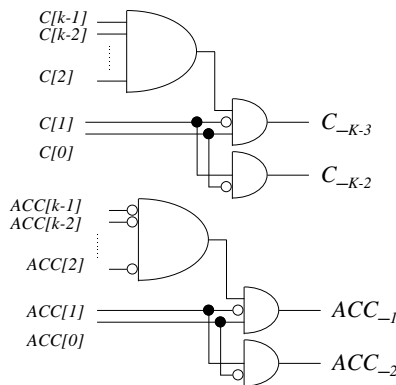
Εικόνα: $(6, 3)$ -ψευδοεξαντλητικός έλεγχος

Τα διαδοχικά ψηφία του συσσωρευτή οδηγούνται από τις εισόδους του απαριθμητή. Το ψηφίο κρατούμενου εισόδου (carry-in) του συσσωρευτή οδηγείται από την έξοδο του κρατούμενου εξόδου της k βαθμίδας του αθροιστή. Αν το k είναι διαιρέτης του n (που είναι και η πλέον συνηθισμένη περίπτωση σε περιβάλλον datapaths) τότε το κρατούμενο εξόδου της βαθμίδας k είναι ίδιο με το κρατούμενο εξόδου της βαθμίδας n , επομένως ο συσσωρευτής δεν μεταβάλλεται. Στον επόμενο Πίνακα φαίνονται τα διανύσματα που παράγονται από τη μονάδα της προηγούμενης Εικόνας.

Πίνακας: Ψευδοεξαντλητικός έλεγχος (6, 3)-διαδοχικών ψηφίων

Cycle	ACC	Cycle	ACC	Cycle	ACC	Cycle	ACC
1	001001	15	011011	29	001001	43	000000
2	011011	16	100100	30	110110	44	001001
3	110110	17	110110	31	111111	45	000000
4	011011	18	010010	32	010010	46	010010
5	001001	19	110110	33	101101	47	000000
6	010010	20	100100	34	010010	48	011011
7	100100	21	101101	35	111111	49	000000
8	111111	22	111111	36	110110	50	100100
9	100100	23	011011	37	101101	51	000000
10	010010	24	111111	38	100100	52	101101
11	011011	25	101101	39	011011	53	000000
12	101101	26	110110	40	010010	54	110110
13	001001	27	001001	41	001001	55	000000
14	101101	28	100100	42	111111	56	111111

Εκτός από τα παραπάνω, η μονάδα ελέγχου θα πρέπει να τροποποιηθεί με τέτοιο τρόπο ώστε να παράγονται τα κατάλληλα σήματα reset και clear. Για να επιτευχθεί αυτό, αντί για τις τιμές N-3, N-2, 2 και 1, θα πρέπει να αντικατασταθούν από πύλες ανίχνευσης των τιμών K-3, K-2 και 2, 1 αντίστοιχα, όπου $K=2^k$. Για το λόγο αυτό αντικαθιστούμε τις πύλες n εισόδων με πύλες k εισόδων. Στην επόμενη Εικόνα φαίνεται η μονάδα detect.



Εικόνα: Η μονάδα ανίχνευσης (Detect Module) για τον (n,k)-ψευδοεξαντλητικό έλεγχο

Ο (n,k)-ψευδοεξαντλητικός έλεγχος μπορεί να χρησιμοποιηθεί για τον ψευδοεξαντλητικό έλεγχο μιας (n,k)-μονάδας υπό έλεγχο, σύμφωνα με τον ορισμό που δώσαμε ανωτέρω. Αν θέλουμε να χρησιμοποιήσουμε την ίδια μονάδα παραγωγής διανυσμάτων δοκιμής για τον ψευδοεξαντλητικό έλεγχο περισσότερων από μία μονάδων υπό έλεγχο, θα πρέπει να χρησιμοποιηθεί μια μονάδα παραγωγής ζευγών διανυσμάτων η οποία να είναι σε θέση να παράγει (n,k)-ψευδοεξαντλητικό έλεγχο για οποιαδήποτε τιμή της απόστασης k, $k < n$. Αυτό μπορεί να επιτευχθεί με τον επιλεκτικό ψευδοεξαντλητικό έλεγχο, ο οποίος περιγράφεται στην επόμενη παράγραφο.

17.10.6.2 Επιλεκτικός Ψευδοεξαντλητικός έλεγχος

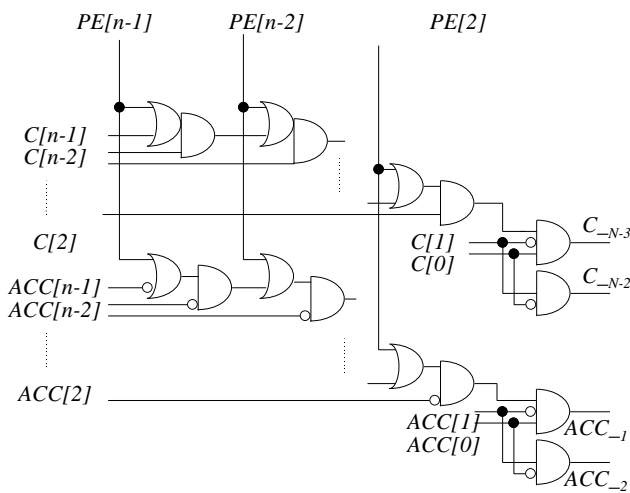
Κατά τον επιλεκτικό ψευδοεξαντλητικό έλεγχο ζευγών διανυσμάτων διαδοχικών ψηφίων, είναι δυνατή η παραγωγή (n,k)-ψευδοεξαντλητικού ελέγχου για οποιαδήποτε τιμή του $k \leq n$. Προκειμένου να παραχθεί επιλεκτικός ψευδοεξαντλητικός έλεγχος, η προτεινόμενη τεχνική θα τροποποιηθεί σύμφωνα με τα ακόλουθα.

- Ο απαριθμητής θα αντικατασταθεί από ένα επιλεκτικό απαριθμητή. Ο επιλεκτικός απαριθμητής είναι σε θέση με την ενεργοποίηση κατάλληλου σήματος να παράγει (n,k)-ψευδοεξαντλητικό έλεγχο διαδοχικών ψηφίων (απλών διανυσμάτων) και θα περιγραφεί στη συνέχεια.
- Η μονάδα ελέγχου (πιο συγκεκριμένα, η μονάδα detect) θα τροποποιηθεί με τέτοιο τρόπο ώστε με την ενεργοποίηση κατάλληλου σήματος να είναι σε θέση να παράγει τα σήματα ελέγχου που χρειάζονται για τον (n,k)-ψευδοεξαντλητικό έλεγχο.
- Ο συσσωρευτής θα τροποποιηθεί με τέτοιο τρόπο ώστε το ψηφίο κρατουμένου εισόδου (carry-in) να επιλέγεται ανάμεσα στα ψηφία carry-out οποιασδήποτε βαθμίδας του.

Στη συνέχεια περιγράφουμε τις τροποποιήσεις αυτές.

ΤΡΟΠΟΠΟΙΗΣΗ ΜΟΝΑΔΑΣ ΕΛΕΓΧΟΥ

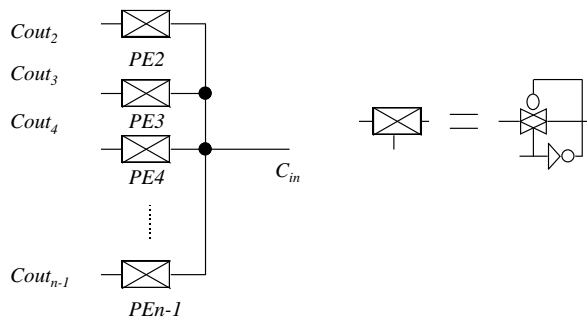
Η μονάδα ελέγχου τροποποιείται όπως και στην περίπτωση του συσσωρευτή χωρίς ανάδραση. Πιο συγκεκριμένα, οι πύλες AND και OR αντικαθίστανται από μια σειρά πυλών AND-OR και OR-AND αντίστοιχα. Η υλοποίηση φαίνεται στην επόμενη Εικόνα.



Εικόνα: Η Μονάδα Detect για τον επιλεκτικό ψευδοεξαντλητικό έλεγχο

ΤΡΟΠΟΠΟΙΗΣΗ ΤΟΥ ΣΥΣΣΩΡΕΥΤΗ

Η τροποποίηση του συσσωρευτή συνίσταται στην προσθήκη μια μονάδας η οποία μπορεί να οδηγήσει το ψηφίο του κρατουμένου εισόδου του συσσωρευτή από το ψηφίο κρατουμένου εξόδου οποιασδήποτε βαθμίδας, ανάλογα με το ποιό σήμα PE_k είναι ενεργοποιημένο. Η μονάδα αυτή φαίνεται στην επόμενη Εικόνα.

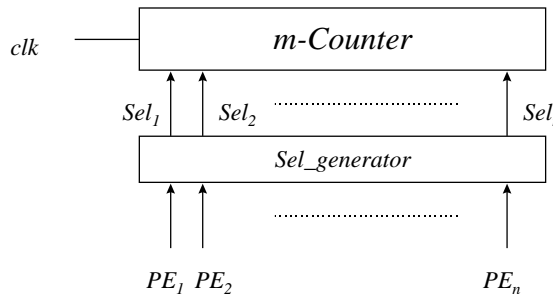


Εικόνα: Μονάδα επιλογής του κρατουμένου εισόδου του συσσωρευτή για τον επιλεκτικό ψευδοεξαντλητικό έλεγχο ζευγών διανυσμάτων

ΕΠΙΛΕΚΤΙΚΟΣ ΑΠΑΡΙΘΜΗΤΗΣ

Ο επιλεκτικός απαριθμητής είναι μια μονάδα n-βαθμίδων η οποία με την ενεργοποίηση κατάλληλου σήματος PE_k παράγει όλα τα 2^k διανύσματα k ψηφίων σε όλες τις διαδοχικές ομάδες k-ψηφίων. Η γενική

μορφή του επιλεκτικού απαριθμητή n-ψηφίων φαίνεται στην επόμενη Εικόνα. Αποτελείται από ένα τροποποιημένο απαριθμητή (m-Counter) ο οποίος εκτός από την είσοδο χρονισμού παίρνει σαν εισόδους και n σήματα Sel_i , $0 < i \leq n$, και μια μονάδα Sel_generator η οποία παράγει τα σήματα Sel_i . Όταν ένα σήμα Sel_i είναι ενεργό, τότε η βαθμίδα i παίρνει σα σήμα χρονισμού το βασικό ρολόι, διαφορετικά το σήμα χρονισμού είναι το κανονικό σήμα χρονισμού της βαθμίδας. Οι εισοδοί της μονάδας Sel_generator είναι τα σήματα PE_i .



Εικόνα: Επιλεκτικός Απαριθμητής

Η λειτουργία της μονάδας Sel_generator έχει ως ακολούθως. Αν το σήμα PE_i είναι ενεργό, η μονάδα Sel_generator ενεργοποιεί όλα τα σήματα Sel_j για $j=i, 2i, 3i \dots$ επειδή όταν το σήμα PE_i είναι ενεργοποιημένο, τότε όλες οι βαθμίδες $i, 2i, 3i, \dots$ πρέπει να πάρουν σα σήμα χρονισμού το βασικό ρολόι. Επομένως, η μονάδα Sel_generator αποτελείται από μια σειρά πυλών OR, τις οποίες συμβολίζουμε με Sel_k . Οι εισοδοί οποιασδήποτε πύλης Sel_k είναι τα σήματα RS_i για όλα τα i που είναι διαιρέτες του k .

ΠΑΡΑΔΕΙΓΜΑ: Στον επόμενο Πίνακα δείχνουμε για ένα απαριθμητή 16 βαθμίδων τα σήματα που αποτελούν τις εισόδους των πυλών Sel_k .

Πίνακας: Είσοδοι των Πυλών OR της μονάδας Sel_generator

i	Sel _i	i	Sel _i
1	1	17	1, 17
2	1, 2	18	1, 2, 3, 6, 9, 18
3	1, 3	19	1, 19
4	1, 2, 4	20	1, 2, 4, 5, 10, 21
5	1, 5	21	1, 3, 7, 21
6	1, 2, 3, 6	22	1, 2, 11, 22
7	1, 7	23	1, 23
8	1, 2, 4, 8	24	1, 2, 3, 4, 6, 12, 24
9	1, 3, 9	25	1, 5, 25
10	1, 2, 5, 10	26	1, 2, 13, 26
11	1, 11	27	1, 3, 9, 27
12	1, 2, 3, 4, 6, 12	28	1, 2, 4, 7, 14, 28
13	1, 13	29	1, 29
14	1, 2, 7, 14	30	1, 2, 3, 5, 6, 10, 15, 30
15	1, 3, 5, 15	31	1, 31
16	1, 2, 4, 8, 16	32	1, 2, 4, 8, 16, 32

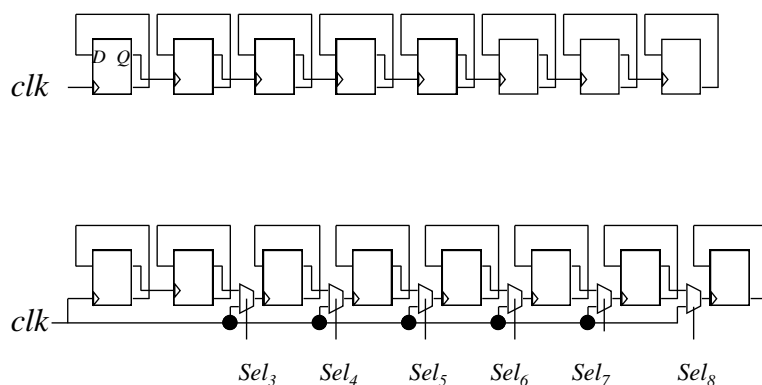
Προκειμένου να μειωθεί το κόστος υλοποίησης της μονάδας Sel_generator στη συνέχεια θα θεωρήσουμε ότι δεν έχει έννοια η παραγωγή των ψευδοεξαντλητικών ζευγών διανυσμάτων δοκιμής ΠΑΕ με απόσταση $k=1$ και $k=2$, δηλαδή θα παραλείψουμε από τις εισόδους των πυλών τις εισόδους με αριθμούς 1 και 2.

Το πλήθος των εισόδων των πυλών OR μπορεί να υπολογιστεί ως εξής. Για κάθε k που είναι πρώτος αριθμός δεν χρειάζεται πύλη OR. Για κάθε άλλη τιμή του k χρειαζόμαστε μια πύλη OR τόσων εισόδων όσοι είναι ο διαιρέτης του k . Στον επόμενο Πίνακα δίνουμε το πλήθος των εισόδων των πυλών OR για διάφορες τιμές του πλήθους των βαθμίδων.

Πίνακας: Πλήθος εισόδων πυλών OR για διάφορες τιμές του n

Πλήθος εισόδων πυλών OR		Πλήθος εισόδων πυλών OR	
1	-	17	21
2	-	18	25
3	-	19	25
4	-	20	29
5	-	21	32
6	2	22	34
7	2	23	34
8	4	24	39
9	6	25	41
10	8	26	43
11	9	27	46
12	13	28	50
13	13	29	50
14	15	30	56
15	18	31	56
16	21	32	60

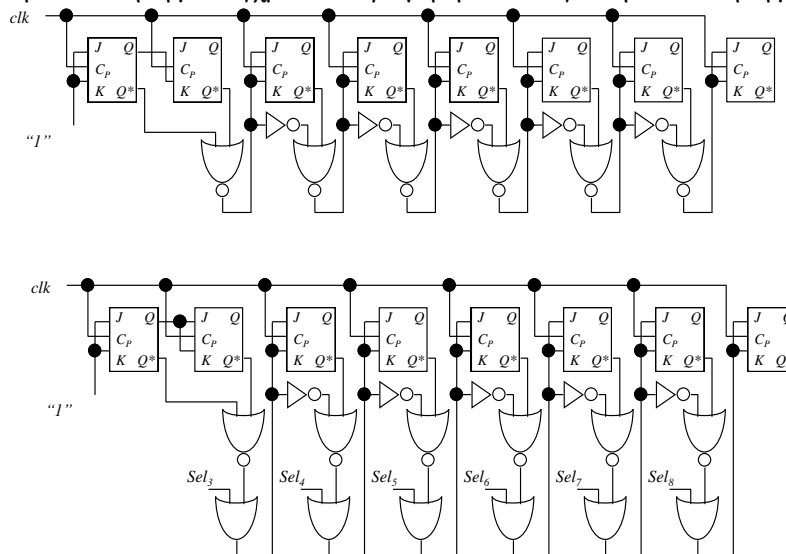
Από τον Πίνακα φαίνεται ότι το κόστος υλοποίησης είναι μικρότερο του $2n$. Στη συνέχεια θα περιγράψουμε την υλοποίηση της μονάδας m -Counter. Ένας m -Counter μπορεί να υλοποιηθεί ξεκινώντας είτε από ένα απαριθμητή ριπής (ripple counter) είτε από ένα σύγχρονο απαριθμητή. Στην επόμενη Εικόνα δείχνουμε την υλοποίηση ενός m -counter οκτώ βαθμίδων σε υλοποίηση απαριθμητή ριπής ενώ στην Εικόνα της επόμενης σελίδας την υλοποίηση ενός m -Counter σε υλοποίηση σύγχρονου απαριθμητή.



Εικόνα: m -Counter (υλοποίηση απαριθμητή ριπής)

Για την υλοποίηση του m -Counter απαριθμητή ριπής χρησιμοποιείται ένας πολυπλέκτης στην είσοδο χρονισμού κάθε βαθμίδας. Η είσοδος επιλογής πολυπλέκτη της βαθμίδας i είναι το σήμα Sel_i . Για την υλοποίηση του σύγχρονου m -Counter χρησιμοποιείται μια πύλη OR στην είσοδο που οδηγεί τα ψηφία J και K του JK flip flop της βαθμίδας. Η μια είσοδος της πύλης OR οδηγείται από το σήμα Sel_i . Αν το σήμα Sel_i είναι ενεργοποιημένο, το flip flop αλλάζει κατάσταση σε κάθε κύκλο ρολογιού. Στον επόμενο

Πίνακα δίνουμε το κόστος υλοποίησης του επιλεκτικού απαριθμητή για διάφορες τιμές του πλήθους των βαθμίδων, τόσο για την υλοποίηση με σύγχρονο απαριθμητή όσο και για την υλοποίηση με απαριθμητή ριπής.



Εικόνα: m-Counter (υλοποίηση σύγχρονου απαριθμητή)

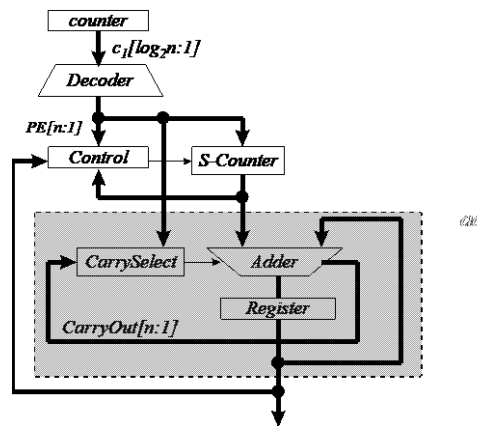
Πίνακας: Κόστος υλοποίησης επιλεκτικού απαριθμητή (ισοδύναμες Πύλες)

n	Απαριθμητής ριπής			Σύγχρονος Απαριθμητής		
	Απλός	Επιλεκτικός	Αύξηση κόστους υλοποίησης	Απλός	Επιλεκτικός	Αύξηση κόστους υλοποίησης
6	48	72	42%	68	80	11%
7	56	84	41%	79	93	11%
8	64	96	44%	92	108	13%
9	72	108	46%	105	123	14%
10	80	120	48%	118	138	15%
11	88	132	48%	130	152	15%
12	96	144	51%	145	169	17%
13	104	156	50%	156	182	17%
14	112	168	51%	169	197	17%
15	120	180	53%	183	213	18%
16	128	192	54%	197	229	19%
17	136	204	53%	208	242	19%
18	144	216	55%	223	259	20%
19	152	228	54%	234	272	19%
20	160	240	56%	249	289	20%
21	168	252	57%	263	305	21%
22	176	264	57%	276	320	21%
23	184	276	56%	287	333	21%
24	192	288	58%	303	351	22%
25	200	300	58%	316	366	22%
26	208	312	58%	329	381	22%
27	216	324	59%	343	397	23%
28	224	336	60%	358	414	23%
29	232	348	59%	369	427	23%
30	240	360	61%	386	446	24%
31	248	372	60%	397	459	23%
32	256	384	61%	412	476	24%

Μέχρι το σημείο αυτό περιγράφηκε η τροποποίηση της προτεινόμενης τεχνικής παραγωγής ζευγών διανυσμάτων ΠΑΕ ώστε να επιτευχθεί ο επιλεκτικός ψευδοεξαντλητικός έλεγχος ζευγών διανυσμάτων. Στη συνέχεια θα περιγραφεί ο αναδρομικός ψευδοεξαντλητικός έλεγχος ζευγών διανυσμάτων ΠΑΕ.

17.10.6.3 Αναδρομικός Ψευδοεξαντλητικός έλεγχος

Με τις μετατροπές που περιγράφηκαν μέχρι το σημείο αυτό, είναι δυνατή η εφαρμογή (n,k)-ψευδοεξαντλητικού ελέγχου διαδοχικών ψηφίων για οποιαδήποτε τιμή του $k < n$ με την ενεργοποίηση κατάλληλου σήματος. Κατά τον αναδρομικό ψευδοεξαντλητικό έλεγχο παράγονται διαδοχικά όλοι οι (n,k)-ψευδοεξαντλητικοί έλεγχοι για $k=2, \dots, n$. Προκειμένου να πραγματοποιηθεί ο αναδρομικός ψευδοεξαντλητικός έλεγχος ζευγών διανυσμάτων, χρησιμοποιούμε ένα απαριθμητή $\log_2 n$ βαθμίδων. Οι έξοδοι του απαριθμητή οδηγούνται στις εισόδους ενός αποκωδικοποιητή από $\log_2 n$ -σε- n και οι έξοδοι του αποκωδικοποιητή είναι τα σήματα PE_i . Ο απαριθμητής αρχικοποιείται στην τιμή δύο. Κάθε φορά που ολοκληρώνεται ο (n,k)-ψευδοεξαντλητικός έλεγχος, ο απαριθμητής αυξάνεται προκειμένου να εφαρμοστεί ο (n,k+1) ψευδοεξαντλητικός έλεγχος. Στην επόμενη Εικόνα φαίνεται το σχηματικό διάγραμμα της τεχνικής.



Εικόνα: Αναδρομικός ψευδοεξαντλητικός έλεγχος ζευγών διανυσμάτων

Ορίζουμε την **επιβάρυνση σε χρόνο (time overhead)** το χρόνο που απαιτείται για την παραγωγή του (n,k)-ψευδοεξαντλητικού ελέγχου αφού έχουν παραχθεί όλοι οι (n,i)-ψευδοεξαντλητικοί έλεγχοι για όλες τις τιμές του $i < k$, προς το χρόνο που απαιτείται για τον (n,k)-ψευδοεξαντλητικό έλεγχο.

Για να βρούμε την επιβάρυνση σε χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου εργαζόμαστε ως εξής. Ο χρόνος που θα χρειαστεί για την παραγωγή των ζευγών διανυσμάτων 2-ψηφίων είναι $2^2 \times (2^2 - 1)$. Για την παραγωγή των ζευγών διανυσμάτων τριών ψηφίων απαιτούνται $2^3 \times (2^3 - 1)$ κύκλοι. Γενικά, για την παραγωγή των ζευγών διανυσμάτων κ ψηφίων απαιτούνται $2^k \times (2^k - 1)$ κύκλοι. Η επιβάρυνση στο χρόνο (time overhead) που απαιτείται για την παραγωγή του αναδρομικού ψευδοεξαντλητικού ελέγχου είναι το άθροισμα του πλήθους των κύκλων που απαιτούνται για την παραγωγή των ζευγών διανυσμάτων i-ψηφίων για όλα τα $i < k$, προς το πλήθος των διανυσμάτων που απαιτούνται για την παραγωγή των ζευγών διανυσμάτων i-ψηφίων, για $i \leq k$.

$$TimeOverhead = \frac{\sum_{i=1}^{k-1} 2^i \times (2^i - 1)}{\sum_{i=1}^k 2^i \times (2^i - 1)}$$

Στη συνέχεια θα δώσουμε ένα προσεγγιστικό υπολογισμό της επιβάρυνσης στο χρόνο. Για την προσέγγιση αυτή, θα θεωρήσουμε ότι $2^n \times (2^n - 1) \approx 2^{2n}$. Το σφάλμα της προσέγγισης αυτής είναι μικρότερο του 3% για $n > 4$. Το άθροισμα υπολογίζεται όπως περιγράφουμε στη συνέχεια.

$$\sum_{i=1}^{k-1} 2^{2i} = \frac{4 \times 2^{2k} - 2^2}{3} = \frac{4}{3} \times (2^{2k} - 1)$$

Συνεπώς, η επιβάρυνση στο χρόνο υπολογίζεται από τον τύπο

$$TimeOverhead = \frac{\sum_{i=1}^{k-1} 2^{2i}}{\sum_{i=1}^k 2^{2i}} = \frac{\frac{4}{3} \times (2^{2k} - 1)}{\frac{4}{3} \times (2^{2(k+1)} - 1)} \approx \frac{1}{4} = 25\%$$

Ο επόμενος Πίνακας δείχνει για διάφορες τιμές του κ, την ποσότητα $2^k \times (2^k - 1)$, την ποσότητα Σ και την επιβάρυνση στο χρόνο ελέγχου εξαιτίας του αναδρομικού ψευδοεξαντλητικού ελέγχου. Από τον Πίνακα φαίνεται ότι για $n > 3$ η επιβάρυνση είναι πράγματι της τάξης του 25%.

Πίνακας: Επιβάρυνση σε χρόνο για τον αναδρομικό ψευδοεξαντλητικό έλεγχο διαδοχικών ψηφίων

κ	$2^k \times (2^k - 1)$	Σ	Επιβάρυνση
1	2	2	
2	12	14	14,2%
4	240	310	22,6%
6	4032	5334	24,4%
8	65280	86870	24,8%
10	1047552	1396054	24,9%
11	4192256	5588310	24,9%
12	16773120	22361430	24,9%
14	268419072	357881174	25,0%

Στην παρούσα παράγραφο παρουσιάσαμε τον ψευδοεξαντλητικό έλεγχο ζευγών διανυσμάτων ΠΑΕ χρησιμοποιώντας ένα συσσωρευτή με ανάδραση. Αξίζει να σημειωθεί ότι είναι η πρώτη φορά στη βιβλιογραφία που επιτυγχάνεται αναδρομικός ψευδοεξαντλητικός έλεγχος ζευγών διανυσμάτων. Στην επόμενη παράγραφο θα συγκρίνουμε τις τεχνικές που έχουν προταθεί για τον εξαντλητικό έλεγχο ζευγών διανυσμάτων όσον αφορά το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου.

17.10.7 Συγκρίσεις των τεχνικών παραγωγής ζευγών διανυσμάτων ΠΑΕ

Στην παρούσα παράγραφο θα συγκρίνουμε τις τεχνικές που έχουν προταθεί στη διεθνή βιβλιογραφία για την παραγωγή ζευγών διανυσμάτων ΠΑΕ. Η σύγκριση θα γίνει με βάση το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου. Ο ελάχιστος θεωρητικά χρόνος που απαιτείται για τον εξαντλητικό έλεγχο ζευγών διανυσμάτων είναι $2^n \times (2^n - 1)$ κύκλοι ρολογιού. Το θεωρητικό αυτό ελάχιστο επιτυγχάνεται από τις προτεινόμενες τεχνικές, καθώς από την τεχνική που προτάθηκε από τους Vuksic και Fuchs. Αντιθέτως, οι τεχνικές που έχουν προταθεί από τους Starke και Chen και Gupta απαιτούν 2^{2n} κύκλους για την ολοκλήρωση του ελέγχου. Για τις συγκρίσεις ορίζουμε τα ακόλουθα μέτρα.

Ως **υπερβάλλον κόστος υλοποίησης (Hardware Overhead Increase)** για την ενσωματωμένη έκδοση μιας τεχνικής παραγωγής διανυσμάτων δοκιμής, ορίζουμε το κόστος υλοποίησης της τεχνικής στην ενσωματωμένη έκδοσή της. Στον ακόλουθο Πίνακα φαίνεται το υπερβάλλον κόστος υλοποίησης για τις τεχνικές που έχουν προταθεί για διάφορες τιμές του πλήθους των εισόδων της μονάδας υπό έλεγχο.

Πίνακας: Υπερβάλλον κόστος υλοποίησης για τις τεχνικές παραγωγής ζευγών διανυσμάτων ΠΑΕ

n	Starke	Vuksic	Chen (LFSR)	Chen (CA)	AMG
6	72	90	66	126	60
7	84	105	77	147	70
8	96	120	88	168	80
9	108	135	99	189	90
10	120	150	110	210	100
11	132	165	121	231	110
12	144	180	132	252	120
13	156	195	143	273	130
14	168	210	154	294	140
15	180	225	165	315	150
16	192	240	176	336	160

Σαν **αύξηση επί του θεωρητικά ελάχιστου χρόνου (increase over minimum time)** για μια τεχνική παραγωγής ζευγών διανυσμάτων ΠΑΕ ορίζουμε το πηλίκο του πλήθους των κύκλων που απαιτούνται για την ολοκλήρωση του ελέγχου από μια τεχνική για την παραγωγή των ζευγών διανυσμάτων ΠΑΕ προς τον θεωρητικά ελάχιστο χρόνο που απαιτείται για την παραγωγή των ζευγών διανυσμάτων ΠΑΕ.

$$IncreaseOverMinimumTime = \frac{TimeRequired}{TheoreticalMinimum}$$

Στον επόμενο Πίνακα δίνουμε την **αύξηση επί του θεωρητικά ελάχιστου χρόνου** σα συνάρτηση του πλήθους των εισόδων της μονάδας υπό έλεγχο. Από τον Πίνακα φαίνεται ότι η προτεινόμενη τεχνική είναι μια από τις τεχνικές που παρουσιάζουν τη χαμηλότερη **αύξηση επί του θεωρητικά ελάχιστου χρόνου**, και συνεπώς και από την άποψη αυτή η χρήση της είναι προτιμότερη από ότι των υπολοίπων τεχνικών.

Πίνακας: Αύξηση επί του θεωρητικά ελάχιστου χρόνου για τις τεχνικές παραγωγής ζευγών διανυσμάτων δοκιμής ΠΑΕ

Increase Over Minimum Time	
Starke	1,012
Vuksic	1
Chen (LFSR)	1,012
Chen (CA)	1,012
AMG (proposed)	1

Προκειμένου να συγκρίνουμε τις τεχνικές με πιο πλήρη τρόπο, ορίζουμε την **απόδοση (effectiveness)** μιας τεχνικής παραγωγής ζευγών διανυσμάτων ΠΑΕ σαν το γινόμενο του αντιστρόφου του **υπερβάλλοντος κόστους υλοποίησης** επί το αντίστροφο της αύξησης επί του **θεωρητικά ελάχιστου χρόνου**.

$$Effectiveness = \frac{1}{HardwareOverheadIncrease} \times \frac{1}{IncreaseOverMinimumTime}$$

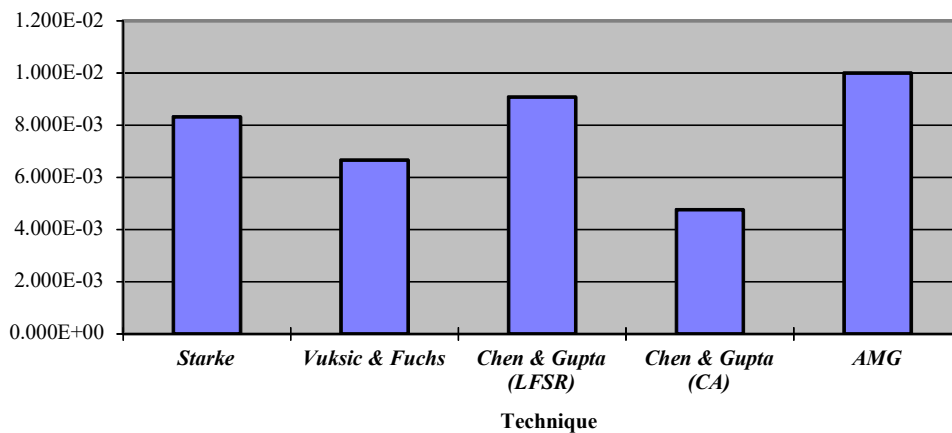
Η απόδοση δείχνει πόσο λίγο κοστίζει η υλοποίηση μιας τεχνικής σε συνδυασμό με τι ποσοστό κύκλων μηχανής χάνει σε σύγκριση με το θεωρητικά ελάχιστο χρόνο. Όσο υψηλότερη είναι η απόδοση μιας τεχνικής, τόσο πιο συμφέρουσα είναι η χρήση της τεχνικής στην πράξη. Στον επόμενο Πίνακα φαίνεται το μέτρο αυτό για τις τεχνικές που έχουν προταθεί μέχρι σήμερα

Πίνακας: Απόδοση των τεχνικών παραγωγής ζευγών διανυσμάτων ΠΑΕ

n	Starke	Vuksic & Fuchs	Chen & (LFSR)	Gupta Chen & (CA)	Gupta AMG
6	1,367E-02	0,011111	0,014915	0,007813	0,016667
7	1,181E-02	0,009524	0,012886	0,00675	0,014286
8	1,038E-02	0,008333	0,011319	0,005929	0,0125
9	9,241E-03	0,007407	0,010081	0,005281	0,011111
10	8,325E-03	0,006667	0,009082	0,004757	0,01
11	7,572E-03	0,006061	0,00826	0,004327	0,009091
12	6,943E-03	0,005556	0,007574	0,003967	0,008333
13	6,409E-03	0,005128	0,006992	0,003663	0,007692
14	5,952E-03	0,004762	0,006493	0,003401	0,007143
15	5,555E-03	0,004444	0,00606	0,003175	0,006667
16	5,208E-03	0,004167	0,005682	0,002976	0,00625

Στην επόμενη Εικόνα φαίνεται γραφικά η **απόδοση** των τεχνικών παραγωγής ζευγών διανυσμάτων δοκιμής ΠΑΕ για μονάδα υπό έλεγχο για n=10 εσόδους. Από τον παραπάνω Πίνακα και την επόμενη Εικόνα μπορεί κανείς να καταλήξει αβίαστα στο συμπέρασμα ότι η προτεινόμενη τεχνική είναι πιο αποδοτική από τις τεχνικές που έχουν προταθεί μέχρι σήμερα από την άποψη του κόστους υλοποίησης και του χρόνου που απαιτείται για την ολοκλήρωση του ελέγχου.

Effectiveness



Εικόνα: Απόδοση Τεχνικών παραγωγής ζευγών διανυσμάτων ΠΑΕ

Στην παρούσα παράγραφο συγκρίναμε τις τεχνικές που έχουν προταθεί μέχρι σήμερα για την παραγωγή ζευγών διανυσμάτων δοκιμής ΠΑΕ. Από τις συγκρίσεις φάνηκε ότι η προτεινόμενη τεχνική AMG είναι πιο αποδοτική από τις τεχνικές που έχουν προταθεί στην ανοικτή βιβλιογραφία όσον αφορά το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου.

Παρουσιάσαμε δύο νέες τεχνικές για την παραγωγή ζευγών διανυσμάτων δοκιμής ΠΑΕ. Η πρώτη από τις προτεινόμενες τεχνικές με το όνομα *Accumulator-based MIC pair Generator (AMG)* βασίζεται στη χρήση ενός συσσωρευτή και ενός απαριθμητή για την παραγωγή των ζευγών διανυσμάτων και μπορεί να εφαρμοστεί σε ένα ευρύτατο φάσμα κυκλωμάτων που περιέχουν διαδρόμους δεδομένων (*datapaths*) εφόσον στα κυκλώματα αυτά η ύπαρξη μονάδων συσσωρευτή και απαριθμητή θεωρείται αυτονόητη.

Αρχικά αποδείξαμε ότι η προτεινόμενη τεχνική παράγει όλα τα ζεύγη διανυσμάτων ΠΑΕ. Στη συνέχεια παρουσιάσαμε την υλοποίηση της τεχνικής, και υπολογίσαμε το κόστος υλοποίησης.

Στη συνέχεια δείξαμε πως είναι δυνατό να χρησιμοποιηθεί η προτεινόμενη τεχνική AMG για τον (εξαντλητικό) έλεγχο περισσότερων από μια μονάδων με διαφορετικό πλήθος εισόδων. Αυτό μπορεί να επιτευχθεί με ελάχιστο επιπλέον κόστος υλοποίησης.

Στη συνέχεια προτείναμε μια νέα τεχνική παραγωγής ζευγών διανυσμάτων ΠΑΕ η οποία στηρίζεται στη χρήση ενός καταχωρητή με ανάδραση (Carry-Rotate Accumulator based MIC Generator, C-AMG) και δείξαμε πως η προτεινόμενη τεχνική μπορεί να χρησιμοποιηθεί για τον ψευδοεξαντλητικό έλεγχο ζευγών διανυσμάτων δοκιμής ΠΑΕ. Στη συνέχεια προχωρήσαμε ακόμη περισσότερο, εισάγοντας την έννοια του επιλεκτικού ψευδοεξαντλητικού ελέγχου ζευγών διανυσμάτων ΠΑΕ. Με τον επιλεκτικό ψευδοεξαντλητικό έλεγχο είναι δυνατό να παραχθεί (n,k) -ψευδοεξαντλητικός έλεγχος για οποιαδήποτε τιμή του k με την ενεργοποίηση κατάλληλου σήματος. Συνεπώς, πάνω από μια μονάδες υπό έλεγχο μπορούν να ελεγχθούν από την ίδια μονάδα παραγωγής ζευγών διανυσμάτων δοκιμής.

Επεκτείνοντας την έννοια του επιλεκτικού ψευδοεξαντλητικού ελέγχου παρουσιάσαμε τον αναδρομικό ψευδοεξαντλητικό έλεγχο ζευγών διανυσμάτων ΠΑΕ με την τεχνική C-AMG. Με τον αναδρομικό ψευδοεξαντλητικό έλεγχο, περισσότερες από μια μονάδες είναι δυνατό να ελεγχθούν ταυτόχρονα, πράγμα το οποίο πραγματοποιείται για πρώτη φορά στη βιβλιογραφία.

Τέλος, από τη σύγκριση της τεχνικής AMG με τις άλλες τεχνικές που έχουν προταθεί για την παραγωγή ζευγών διανυσμάτων ΠΑΕ φάνηκε ότι για την προτεινόμενη τεχνική το γινόμενο του κόστους υλοποίησης επί την αύξηση επί του θεωρητικά ελάχιστου χρόνου είναι μικρότερο από ότι για τις υπόλοιπες τεχνικές, και συνεπώς η προτεινόμενη τεχνική είναι πιο αποδοτική.

17.11 Παραγωγή Διανυσμάτων Δοκιμής Μονής Αλλαγής Εισόδου για την ανίχνευση ακολουθιακών ελαττωμάτων σε περιβάλλον Ενσωματωμένης Αυτοδοκιμής

17.11.1 Έλεγχος ακολουθιακών ελαττωμάτων με ζεύγη διανυσμάτων MAE

Όπως αναφέρθηκε στην προηγούμενη Παράγραφο, τα ακολουθιακά ελαττώματα διακρίνονται σε ευρώστως ανιχνεύσιμα και μη-ευρώστως ανιχνεύσιμα. Η εφαρμογή ζευγών διανυσμάτων MAE παρουσιάζει πλεονεκτήματα έναντι της χρήσης ζευγών διανυσμάτων ΠΑΕ για την ανίχνευση ακολουθιακών ελαττωμάτων. Οι λόγοι που συντελούν σε αυτό αναφέρονται στη συνέχεια.

Όπως απέδειξε ο Smith, οποιοδήποτε ευρώστως ανιχνεύσιμο ακολουθιακό ελάττωμα σε μια μονάδα υπό έλεγχο μπορεί να ανιχνευθεί με τη βοήθεια ενός ζεύγους διανυσμάτων MAE. Συνεπώς, η εφαρμογή των ζευγών διανυσμάτων MAE θα έχει σαν αποτέλεσμα την ανίχνευση όλων των ευρώστως ανιχνεύσιμων ακολουθιακών ελαττωμάτων σε μια συνδυαστική μονάδα υπό έλεγχο.

Οι Craig και Kime έδειξαν ότι οποιοδήποτε κύκλωμα μπορεί να σχεδιαστεί με τέτοιο τρόπο ώστε με την εφαρμογή των ζευγών διανυσμάτων MAE να ανιχνεύεται οποιοδήποτε ελάττωμα ανοικτού τρανζίστορ (transistor stuck-open fault).

Οι Jha και Kundu παρατήρησαν ότι η μείωση της απόστασης Hamming μεταξύ των διανυσμάτων ενός ζεύγους μειώνει την πιθανότητα της ακύρωσης (invalidation) ενός ζεύγους διανυσμάτων δοκιμής. Συνεπώς η χρήση ζευγών διανυσμάτων MAE αυξάνει την πιθανότητα ένα ελάττωμα να ανιχνευθεί ευρώστως. Το αποτέλεσμα αυτό διαισθητικά ερμηνεύεται ως εξής: εφόσον με την εφαρμογή ζευγών MAE πραγματοποιούνται λιγότερες αλλαγές στις τιμές των γραμμών του κυκλώματος, το πλήθος των αλλαγών σε γραμμές του κυκλώματος είναι εν γένει μικρότερο, συνεπώς είναι μικρότερη η πιθανότητα να ακυρωθούν δύο σήματα.

Οι Gharaybeh, Bushnell και Agrawal ταξινόμησαν τα ελαττώματα καθυστέρησης ανάλογα με τον τρόπο που επηρεάζουν τη λειτουργία του κυκλώματος, σε απλά ανιχνεύσιμα (singly testable), εξαρτημένα απλά ανιχνεύσιμα (singly-testable dependent) και πολλαπλά ανιχνεύσιμα (multiply testable). Τα απλά ανιχνεύσιμα ελαττώματα επηρεάζουν την ταχύτητα λειτουργίας της μονάδας υπό έλεγχο και ανιχνεύονται με την εφαρμογή ζευγών MAE. Τα εξαρτημένα απλά ανιχνεύσιμα ελαττώματα επηρεάζουν την ταχύτητα του κυκλώματος μόνο όταν υπάρχουν στο κύκλωμα απλά ανιχνεύσιμα ελαττώματα και συνεπώς δεν χρειάζεται να ανιχνευθούν. Τέλος, τα πολλαπλά ανιχνεύσιμα ελαττώματα επηρεάζουν την ταχύτητα λειτουργίας του κυκλώματος όταν εμφανίζονται σε ομάδες και δεν είναι βέβαιο ότι μπορούν να ανιχνευθούν. Σύμφωνα με πειραματικές μετρήσεις στα κυκλώματα ISCAS οι οποίες φαίνονται στον

επόμενο Πίνακα, στα περισσότερα κυκλώματα δεν υπάρχουν πολλαπλά ανιχνεύσιμα ελαττώματα, και όταν υπάρχουν είναι ελάχιστα.

Πίνακας: Κάλυψη ελαττωμάτων με ζεύγη διανυσμάτων MAE σε κυκλώματα benchmarks

Μονάδα	Πλήθος ελαττωμάτων		
	ST	MT	ST-dependent
s27	50	0	6
s208.1	284	0	0
s298	364	77	21
s382	734	66	0
s386	414	0	0
s400	753	143	0
s420.1	948	0	0
s510	738	0	0
s526	720	76	24
s526n	718	77	21
s820	984	0	0
s838.1	3428	0	0
s953	2312	0	0
s1488	1916	0	8
s1494	1927	18	7

Ενα ακόμη ενδιαφέρον χαρακτηριστικό των ζευγών διανυσμάτων MAE είναι ότι εφόσον το πλήθος τους είναι πολύ μικρότερο από το πλήθος των διανυσμάτων ΠΑΕ (κατά ένα παράγοντα 2ⁿ) η εφαρμογή τους είναι πρακτικά πιο δελεαστική. Επιπλέον έχει δειχθεί πειραματικά ότι η εφαρμογή ψευδοτυχαίων ζευγών διανυσμάτων MAE έχει καλύτερα αποτελέσματα (όσον αφορά το ποσοστό κάλυψης ελαττωμάτων) από την εφαρμογή ψευδοτυχαίων ζευγών διανυσμάτων ΠΑΕ, με την έννοια ότι με το ίδιο πλήθος ζευγών διανυσμάτων δοκιμής επιτυγχάνεται υψηλότερο ποσοστό κάλυψης ελαττωμάτων. Στον επόμενο Πίνακα φαίνονται τα πειραματικά αποτελέσματα της εφαρμογής ζευγών διανυσμάτων δοκιμής σε κυκλώματα benchmarks για την ανίχνευση ελαττωμάτων καθυστέρησης μονοπατιού. Από τον Πίνακα μπορεί κανείς να διαπιστώσει ότι με την εφαρμογή ζευγών διανυσμάτων MAE επιτυγχάνεται σαφώς υψηλότερο ποσοστό κάλυψης ελαττωμάτων από ότι με την εφαρμογή ζευγών διανυσμάτων ΠΑΕ.

Πίνακας: Κάλυψη ελαττωμάτων με ζεύγη διανυσμάτων ΠΑΕ και MAE (128K διανύσματα)

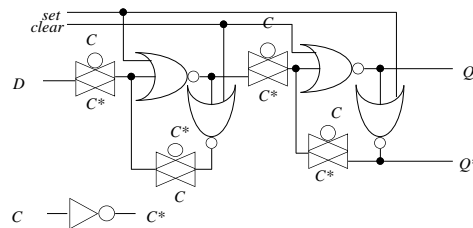
Μονάδα υπό έλεγχο		Κάλυψη ελαττωμάτων		
Όνομα	#Εισόδων	Μονοπάτια	ΠΑΕ	MAE
s208	19	290	0,872	1,000
s298	17	462	0,742	0,742
s344	24	710	0,848	0,861
s349	24	730	0,825	0,837
s420	35	738	0,608	0,691
s444	24	1070	0,524	0,548
s510	25	738	0,986	0,988
s526	24	820	0,756	0,807
s641	54	3488	-	0,385
s820	23	984	0,865	0,954
s832	23	1020	0,845	0,930
s1488	14	1924	0,923	0,975

Σε περιβάλλον ενσωματωμένης αυτοδοκιμής, τα ζεύγη διανυσμάτων MAE παράγονται από ειδικές μονάδες παραγωγής ζευγών διανυσμάτων δοκιμής MAE. Μια τεχνική παραγωγής ζευγών διανυσμάτων δοκιμής MAE αξιολογείται σύμφωνα με το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου.

Στην επόμενη παράγραφο θα περιγραφούν οι τεχνικές που έχουν προταθεί στη διεθνή βιβλιογραφία για την παραγωγή των ζευγών διανυσμάτων δοκιμής MAE. Στη συνέχεια, θα παρουσιαστούν νέες τεχνικές για την παραγωγή των ζευγών διανυσμάτων MAE και θα αποδειχθεί μέσα από συγκρίσεις ότι οι προτεινόμενες τεχνικές υπερτερούν των υπολοίπων τεχνικών που έχουν προταθεί για τον ίδιο σκοπό όσον αφορά το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου.

17.11.2 Τεχνικές παραγωγής Ζευγών διανυσμάτων MAE-Βιβλιογραφική Επισκόπηση

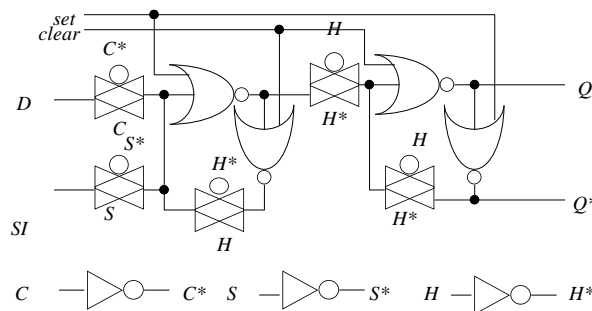
Στην παρούσα παράγραφο θα παρουσιαστούν οι τεχνικές που έχουν προταθεί στη διεθνή βιβλιογραφία για την παραγωγή ζευγών διανυσμάτων δοκιμής MAE. Για κάθε τεχνική θα παρουσιάσουμε τη μονάδα παραγωγής ζευγών διανυσμάτων MAE, το κόστος υλοποίησης και το χρόνο που απαιτείται για την παραγωγή των διανυσμάτων MAE. Ο υπολογισμός του κόστους υλοποίησης θα γίνει χρησιμοποιώντας σα μέτρο το πλήθος των τρανζίστορ που απαιτούνται για την υλοποίηση των τεχνικών. Το κόστος υλοποίησης θα εκφραστεί σε τρανζίστορ (και όχι σε ισοδύναμες πύλες όπως γινόταν μέχρι το σημείο αυτό) λόγω του ότι για την υλοποίηση της τεχνικής PEAT χρησιμοποιούνται στοιχεία τα οποία δεν υπάρχουν σε βιβλιοθήκες standard cells. Συνεπώς, για τα στοιχεία αυτά δεν είναι δυνατό να υπολογιστεί το κόστος υλοποίησης σε ισοδύναμες πύλες.



Εικόνα: flip flop σε επίπεδο τρανζίστορ

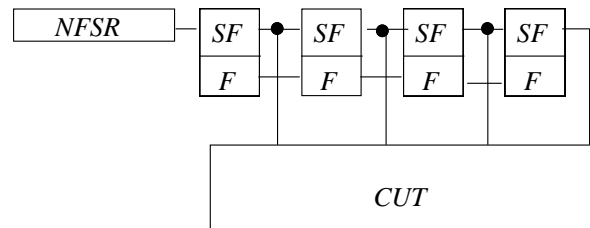
Για τη μελέτη των εμφυτευμένων εκδόσεων των αρχιτεκτονικών θα θεωρήσουμε ότι στις εισόδους του κυκλώματος υπάρχει ένας καταχωρητής ο οποίος αποτελείται από n flip flops τα οποία τροποποιούνται. Για τους υπολογισμούς θα υπολογίσουμε την επιβάρυνση πάνω σε αυτά τα flip flops.

Σε τεχνολογία CMOS μια πύλη NAND/NOR υλοποιείται με 4 τρανζίστορς, μια πύλη AND με 6 τρανζίστορς και μια πύλη XOR 2 εισόδων μπορεί να υλοποιηθεί με 6 CMOS τρανζίστορ με τη χρήση transmission gates. Τα flip flops έχουν τη δυνατότητα θέσης στην τιμή 0 ή 1 (set/reset). Έτσι, το flip flop απαιτεί 26 τρανζίστορς, και το scan flip flop απαιτεί 32 τρανζίστορς. Στην προηγούμενη Εικόνα δείχνουμε την υλοποίηση σε επίπεδο τρανζίστορ του flip flop και στην επόμενη Εικόνα την υλοποίηση του scan flip flop.



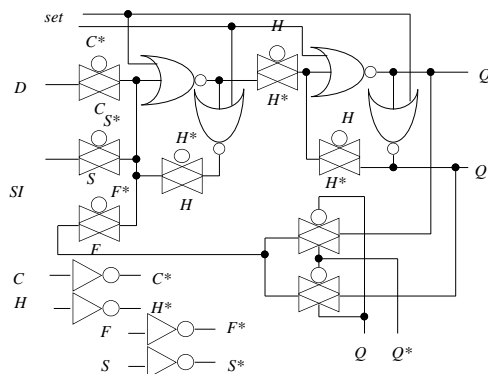
Εικόνα: scan flip flop σε επίπεδο τρανζίστορ

Μέχρι σήμερα έχουν προταθεί δύο τεχνικές παραγωγής ζευγών διανυσμάτων MAE, από τους Craig και Kime [116] και τους Wang και Gupta. Οι Craig και Kime πρότειναν την τεχνική Pseudoexhaustive Adjacency Testing (PEAT), το σχηματικό διάγραμμα της οποίας φαίνεται στην επόμενη Εικόνα. Στην τεχνική αυτή χρησιμοποιείται ένας διπλός καταχωρητής ολίσθησης n ψηφίων, σε συνδυασμό με ένα καταχωρητή ολίσθησης με μη-γραμμική ανάδραση n βαθμίδων. Κάθε φορά που ο καταχωρητής ολίσθησης με μη-γραμμική ανάδραση αλλάζει κατάσταση, εισάγεται ένα νέο ψηφίο στις εισόδους του καταχωρητή ολίσθησης. Στη συνέχεια, μέσα σε n κύκλους, όλα τα n ψηφία του καταχωρητή αντιστρέφονται με τη βοήθεια ενός καταχωρητή ολίσθησης. Για κάθε κατάσταση του καταχωρητή ολίσθησης με μη-γραμμική ανάδραση απαιτούνται $n+1$ κύκλοι ολίσθησης του καταχωρητή. Συνεπώς, τα $n \times 2^n$ ζεύγη διανυσμάτων MAE παράγονται μέσα σε $(n+1) \times 2^n$ κύκλους.



Εικόνα: Η τεχνική των Craig και Kime για την παραγωγή ζευγών διανυσμάτων MAE

Για την εμφυτευμένη έκδοση της τεχνικής PEAT απαιτείται η υλοποίηση του NFSR και η υλοποίηση των n scan flip flops με δυνατότητα flip. Το scan flip flop με δυνατότητα flip φαίνεται στην επόμενη Εικόνα.



Εικόνα: scan flip flop με δυνατότητα flip

Από την ανωτέρω Εικόνα, το scan flip flop με δυνατότητα flip απαιτεί 40 τρανζίστορες. Ακόμη, τα n flip flops στις εισόδους της μονάδας υπό έλεγχο πρέπει να αντικατασταθούν από scan flip flops. Το κόστος υλοποίησης της τεχνικής σε τρανζίστορ δίνεται από τον τύπο.

$$HO_{PEAT}(n) = 26 \times n + 4 \times n + 46 \times n + n \times (34-26)$$

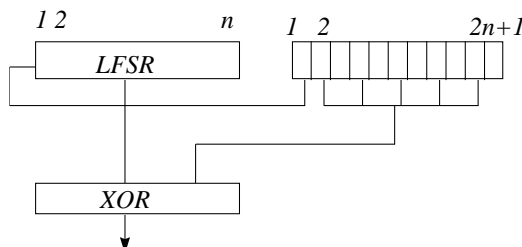
$$HO_{PEAT}(n) = 74 \times n$$

Η μονάδα παραγωγής ζευγών διανυσμάτων MAE της τεχνικής που προτάθηκε από τους Wang και Gupta φαίνεται στην επόμενη Εικόνα. Αποτελείται από ένα καταχωρητή ολίσθησης με γραμμική ανάδραση n βαθμίδων, ένα γραμμικό καταχωρητή ολίσθησης $2n$ βαθμίδων και n πύλες XOR δύο εισόδων. Κάθε κατάσταση του καταχωρητή ολίσθησης με γραμμική ανάδραση συνδυάζεται, με τη βοήθεια του καταχωρητή ολίσθησης και των πυλών XOR, με όσες απέχουν από αυτή απόσταση Hamming ίση με 1. Στη συνέχεια ο καταχωρητής ολίσθησης με γραμμική ανάδραση αλλάζει κατάσταση και η διαδικασία επαναλαμβάνεται. Ο χρόνος που απαιτείται προκειμένου να εφαρμοστούν όλα τα $n \times 2^n$ δυνατά ζεύγη διανυσμάτων MAE στις εισόδους της υπό έλεγχο μονάδας είναι $(2n+1) \times 2^n$.

Για την εμφυτευμένη έκδοση της τεχνικής εκτός από τον καταχωρητή ολίσθησης με γραμμική ανάδραση και τις n πύλες XOR, πρέπει τα flip flop στις εισόδους της μονάδας υπό έλεγχο να αντικατασταθούν από scan flip flops. Ακόμη, πρέπει να προστεθούν $(n+1)$ επιπλέον flip flops στα n scan flip flops προκειμένου να υλοποιηθεί ο καταχωρητής ολίσθησης $(2n+1)$ ψηφίων. Το κόστος δίνεται από τον τύπο:

$$HO_{Wang}(n) = n \times 26 + n \times 6 + n \times (34-26) + (n+1) \times 26$$

$$HO_{Wang}(n) = 66 \times n + 26$$



Εικόνα: Η τεχνική των Wang και Gupta για την παραγωγή ζευγών διανυσμάτων MAE

Στη συνέχεια θα περιγραφούν νέες τεχνικές παραγωγής ζευγών διανυσμάτων δοκιμής MAE, με τις οποίες η παραγωγή των ζευγών διανυσμάτων δοκιμής MAE επιτυγχάνεται σε λιγότερο χρόνο και το κόστος υλοποίησης είναι χαμηλότερο από το κόστος υλοποίησης των τεχνικών που αναφέρθηκαν.

17.11.3 Μια νέα τεχνική παραγωγής ζευγών διανυσμάτων MAE (Decoder-based SIC pair Generator, DSG)

Στην παρούσα παράγραφο θα παρουσιαστεί μια νέα τεχνική παραγωγής διανυσμάτων δοκιμής MAE, με το όνομα **Decoder-based SIC Pattern Generation (DSG)**. Η τεχνική αυτή είναι πιο αποδοτική από τις τεχνικές που έχουν παρουσιαστεί μέχρι το σημείο αυτό όσον αφορά το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου. Πιο συγκεκριμένα, όσον αφορά το κόστος υλοποίησης, η παραγωγή των ζευγών διανυσμάτων MAE επιτυγχάνεται με $\lceil \log_2 n \rceil \times n$ στοιχεία μνήμης (flip flop), που είναι το θεωρητικό ελάχιστο των στοιχείων μνήμης που απαιτούνται για την παραγωγή των $n \times 2^n$ ζευγών διανυσμάτων MAE. Ο χρόνος που απαιτείται για την ολοκλήρωση του ελέγχου είναι $2n \times 2^n$ κύκλοι.

17.11.3.1 Περιγραφή της τεχνικής

Προκειμένου να περιγράψουμε την προτεινόμενη τεχνική, θα δώσουμε αρχικά μια σειρά από εισαγωγικές έννοιες και ορισμούς. Εστω ένα διάνυσμα n ψηφίων $X = X_1 X_2 \dots X_n$, τα X_i , $1 \leq i \leq n$ είναι δυαδικά ψηφία. Θα συμβολίζουμε με X^{i*} το διάνυσμα που διαφέρει από το X στο ψηφίο i , $1 \leq i \leq n$.

ΠΑΡΑΔΕΙΓΜΑ: Εστω το διάνυσμα 5 ψηφίων 01001. Το διάνυσμα X^{3*} είναι το 01101, ενώ το διάνυσμα X^{4*} είναι το 01011.

□

ΟΡΙΣΜΟΣ: Ορίζουμε σαν **SIC-ακολουθία του διανύσματος X** την ακολουθία που αποτελείται από τα $2n+1$ διανύσματα $X, X^{1*}, X, X^{2*}, X, \dots, X, X^{n*}, X$. □

ΠΑΡΑΔΕΙΓΜΑ: Εστω το διάνυσμα $X=01001$. Η SIC-ακολουθία του διανύσματος αυτού είναι η

01001	11001	01001	00001	01001	01101	01001	01011	01001	01000	01001
-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------

□

Σύμφωνα με τον ορισμό της SIC-ακολουθίας, η SIC-ακολουθία ενός οποιουδήποτε διανύσματος X παράγεται αν παράγουμε την SIC-ακολουθία του μηδέν και συνδυάσουμε κάθε διάνυσμα της ακολουθίας αυτής, ψηφίο-προς -ψηφίο με το διάνυσμα X μέσω μιας πύλης XOR.

ΠΑΡΑΔΕΙΓΜΑ: Ο επόμενος πίνακας δείχνει το διάνυσμα $X=101$, τη SIC-ακολουθία του μηδέν και τη SIC-ακολουθία του διανύσματος X .

X	SIC-sequence of Zero	SIC-sequence of X
101	000	101
101	001	100
101	000	101
101	010	111
101	000	101
101	100	001
101	000	101

□

Σύμφωνα με τον ορισμό της **SIC-ακολουθίας**, κατά την παραγωγή μιας **SIC-ακολουθίας** μεταβάσεις στο ψηφίο i πραγματοποιούνται στους κύκλους $(2i-1, 2i)$ και $(2i, 2i+1)$.

ΛΗΜΜΑ 1: Αν παραχθούν οι SIC-ακολουθίες για όλα τα διανύσματα n -ψηφίων, παράγονται όλα τα $n \times 2^n$ ζεύγη διανυσμάτων MAE.

ΑΠΟΔΕΙΞΗ: Από τον ορισμό της SIC-ακολουθίας. □

Σύμφωνα με τα παραπάνω, η παραγωγή των ζευγών διανυσμάτων MAE μπορεί να πραγματοποιηθεί με τη βοήθεια της διαδικασίας που δίνεται στη συνέχεια.

```

DSG (n)
begin
  for all n-bit patterns X do
    begin
      V=X;
      for i=1 to n
        V=Xi*;
      V=X;
    end
  end
end
    
```

Αλγόριθμος: Παραγωγή Ζευγών διανυσμάτων MAE με την τεχνική DSG

Παράδειγμα: Τα διανύσματα που παράγονται σύμφωνα με τη διαδικασία DSG(3) φαίνονται στον επόμενο Πίνακα. Στον Πίνακα φαίνονται τα διανύσματα τριών ψηφίων και η SIC-ακολουθία του καθενός.

Πίνακας: Ζεύγη διανυσμάτων MAE 3-ψηφίων

001	100	111	010	101	011	110	000
001	100	111	010	101	011	110	000
000	101	110	011	100	010	111	001
001	100	111	010	101	011	110	000
011	110	101	000	111	001	100	010
001	100	111	010	101	011	110	000
101	000	011	110	001	010	010	100
001	100	111	010	101	011	110	000

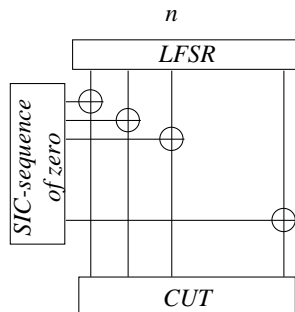
□

Στην παρούσα παράγραφο περιγράψαμε μια νέα τεχνική παραγωγής ζευγών διανυσμάτων MAE και αποδείξαμε ότι μπορεί να παράγει τα ζεύγη διανυσμάτων MAE. Ο χρόνος που απαιτείται για την παραγωγή των διανυσμάτων είναι $2n \times 2^n = n \times 2^{n+1}$. Στην επόμενη παράγραφο θα παρουσιάσουμε την υλοποίηση της προτεινόμενης τεχνικής.

17.11.3.2 Υλοποίηση της τεχνικής

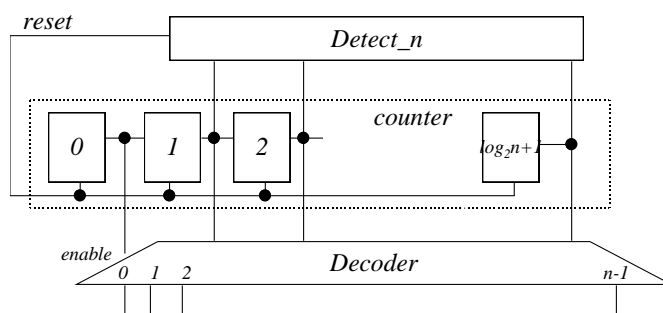
Για την υλοποίηση της προτεινόμενης τεχνικής χρειάζεται μια μονάδα παραγωγής των διανυσμάτων δοκιμής, και μια μονάδα παραγωγής της SIC-ακολουθίας του μηδέν. Αν συνδυάσουμε τις εξόδους των

μονάδων αυτών μια-προς-μια με πύλες XOR δύο εισόδων θα παραχθούν τα ζεύγη διανυσμάτων MAE. Για την παραγωγή των διανυσμάτων n ψηφίων μπορούμε να χρησιμοποιήσουμε οποιαδήποτε από τις μονάδες που περιγράφηκαν προηγουμένως. Για τη συνέχεια θα θεωρούμε ότι η μονάδα υλοποιείται σαν καταχωρητής ολίσθησης με γραμμική ανάδραση. Η γενική μορφή της τεχνικής φαίνεται στην επόμενη Εικόνα.



Εικόνα: Υλοποίηση της τεχνικής DSG

Η μονάδα παραγωγής της SIC-ακολουθίας του μηδέν φαίνεται στην επόμενη Εικόνα. Αποτελείται από ένα απαριθμητή $(\log_2 n)+1$ βαθμίδων, ένα αποκωδικοποιητή $\log_2 n$ -σε- n με επίτρεψη (enable) και μια μονάδα ανίχνευσης του n στις εξόδους του απαριθμητή. Οι εισοδοί του αποκωδικοποιητή οδηγούνται από τα $\log_2 n$ υψηλής τάξης ψηφία του απαριθμητή, ενώ η είσοδος επίτρεψης οδηγείται από το χαμηλής τάξης ψηφίο.



Εικόνα: Μονάδα παραγωγής της SIC-ακολουθίας του μηδέν

Αρχικά ο απαριθμητής τίθεται στο μηδέν και το σήμα enable είναι ανενεργό. Η έξοδος του αποκωδικοποιητή είναι το μηδενικό διάνυσμα. Στον επόμενο κύκλο ο απαριθμητής αυξάνεται (τα υψηλής τάξης ψηφία παραμένουν στο 0) το σήμα enable ενεργοποιείται και η έξοδος του αποκωδικοποιητή είναι το διάνυσμα 0^{1*} . Στη συνέχεια ο απαριθμητής αυξάνεται, το σήμα enable απενεργοποιείται και η έξοδος θα είναι και πάλι το μηδενικό διάνυσμα, ενώ στον επόμενο κύκλο το enable ενεργοποιείται και η έξοδος του αποκωδικοποιητή είναι το 0^{2*} . Όταν στις εξόδους των υψηλής τάξης ψηφίων του απαριθμητή ανιχνευθεί η τιμή n , ο απαριθμητής τίθεται στο μηδέν στον επόμενο κύκλο. Στον επόμενο Πίνακα φαίνεται η παραγωγή της SIC-ακολουθίας του μηδέν για $n=4$. Χρησιμοποιείται ένας απαριθμητής 3 βαθμίδων. Στον Πίνακα φαίνονται οι τιμές του απαριθμητή, του αποκωδικοποιητή, το σήμα ενεργοποίησης του αποκωδικοποιητή και το σήμα χρονισμού του απαριθμητή.

Πίνακας: Παραγωγή SIC-ακολουθίας του μηδέν

C_clock	D_enable	Counter[1:0]	Decoder[3:0]
1	0	000	0000
0	1	001	0001
1	0	010	0000
0	1	011	0010
1	0	100	0000
0	1	101	0100
1	0	110	0000
0	1	111	1000
1	0	000	0000

Το κόστος υλοποίησης της εμφυτευμένης έκδοσης της τεχνικής αν θεωρήσουμε ότι στις εισόδους της υπό έλεγχο μονάδας υπήρχε ένας καταχωρητής αποτελούμενος από n flip flop, δίνεται από τον ακόλουθο τύπο

$$HO_D(n) = \lceil \log_2 n \rceil \times DFF + n \times XOR + 4 \times n$$

Το κόστος αυτό, υπολογισμένο σε τρανζίστορ είναι

$$HO_D(n) = 26 \times \log_2 n + 10 \times n$$

Στον επόμενο Πίνακα δείχνουμε το κόστος υλοποίησης της τεχνικής για διάφορες τιμές του πλήθους των εισόδων της μονάδας υπό έλεγχο.

Πίνακας: Κόστος Υλοποίησης τεχνικής DSG (σε τρανζίστορ)

n	Κόστος υλοποίησης
4	124
6	175
8	222
10	266
12	309
14	351
16	392
18	432
20	472
22	512

Όπως θα φανεί στην παράγραφο όπου θα γίνουν οι συγκρίσεις των τεχνικών, το κόστος αυτό είναι εντυπωσιακά χαμηλότερο από το κόστος υλοποίησης των υπολοίπων τεχνικών που έχουν προταθεί για την παραγωγή των ζευγών διανυσμάτων MAE.

17.11.4 Μια νέα τεχνική παραγωγής ζευγών διανυσμάτων MAE (Bilbo-oriented Decoder-based Sic Pair Generator, BDSG)

Στην προηγούμενη παράγραφο παρουσιάσαμε μια τεχνική παραγωγής των ζευγών διανυσμάτων MAE με το όνομα DSG, η οποία στηρίζεται στη χρήση ενός αποκωδικοποιητή με επίτρεψη (decoder with enable). Στην παρούσα παράγραφο θα παρουσιάσουμε μια τροποποίηση της τεχνικής αυτής, στην υλοποίηση της οποίας χρησιμοποιείται ένας αποκωδικοποιητής χωρίς επίτρεψη. Το πλεονέκτημα της νέας τεχνικής είναι ότι μπορεί να υλοποιηθεί άμεσα σε περιβάλλον Ενσωματωμένης Παρατήρησης Λογικών Μπλοκς (Built-in Logic Block Observation, BILBO). Δοθέντος του ότι η τεχνική BILBO χρησιμοποιείται ευρέως σε πραγματικά κυκλώματα, η εφαρμογή της προτεινόμενης τεχνικής σε περιβάλλον BILBO είναι πρακτικά υλοποιήσιμη.

17.11.4.1 Περιγραφή της τεχνικής

Προκειμένου να παρουσιάσουμε την τεχνική BDSG, θα χρησιμοποιήσουμε τους ακόλουθους ορισμούς.

ΟΡΙΣΜΟΣ: Ορίζουμε σαν BSIC-ακολουθία του μηδέν την ακολουθία $2n$ διανυσμάτων $0^{1*}, 0^{1*}, 0^{2*}, 0^{2*}, \dots, 0^{n*}, 0^{n*}$.

Παράδειγμα: Η BSIC-ακολουθία του μηδέν για $n=3$ δίνεται στον ακόλουθο Πίνακα.

100	100	010	010	001	001
-----	-----	-----	-----	-----	-----

Τα ζεύγη διανυσμάτων MAE μπορούν να παραχθούν με τον ακόλουθο αλγόριθμο.

```

BDSG (n)
begin
  for all n-bit patterns X do
    begin
      V=X;
      for i=1 to n
        begin
          V=V ⊕ 0i*; /* V=Xi* */
          V=V ⊕ 0i*; /* V=X */
        end;
      end;
    end;
end;
    
```

Αλγόριθμος: Παραγωγή των ζευγών διανυσμάτων MAE με την τεχνική BDSG

ΛΗΜΜΑ 3: Ο αλγόριθμος BDSG() παράγει όλα τα ζεύγη διανυσμάτων MAE

ΑΠΟΔΕΙΞΗ: Τα διανύσματα που παράγει ο αλγόριθμος BDSG() είναι τα ίδια με εκείνα που παράγει ο αλγόριθμος DSG().

ΠΑΡΑΔΕΙΓΜΑ: Στον επόμενο Πίνακα παρουσιάζουμε τα διανύσματα που παράγονται σύμφωνα με τη διαδικασία BDSG για $n=3$.

Πίνακας: Ζεύγη διανυσμάτων MAE 3-ψηφίων

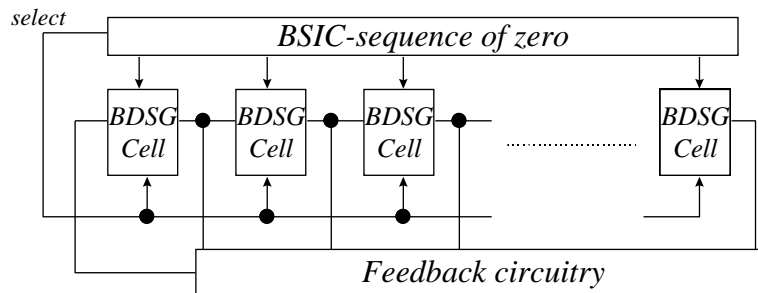
001	100	111	010	101	011	110	000
001	100	111	010	101	011	110	000
000	101	110	011	100	010	111	001
001	100	111	010	101	011	110	000
011	110	101	000	111	001	100	010
001	100	111	010	101	011	110	000
101	000	011	110	001	010	010	100
001	100	111	010	101	011	110	000

Στην παρούσα παράγραφο παρουσιάσαμε μια τεχνική παραγωγής ζευγών διανυσμάτων MAE. Στην επόμενη παράγραφο θα περιγράψουμε την υλοποίησης της τεχνικής.

17.11.4.2 Υλοποίηση της τεχνικής

Το σχηματικό διάγραμμα της τεχνικής BDSG φαίνεται στην επόμενη Εικόνα. Αποτελείται από μια μονάδα παραγωγής της BSIC-ακολουθίας του μηδέν και από μια σειρά κυψελίδων BDSG (BDSG Cells) οι οποίες είναι συνδεδεμένες με τη μορφή καταχωρητή ολίσθησης με γραμμική ανάδραση. Η

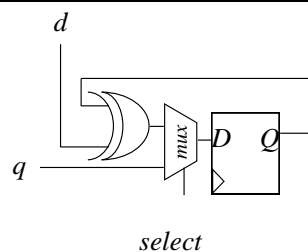
μονάδα της Εικόνας λειτουργεί ως εξής. Όταν το σήμα *select* είναι ανενεργό, παράγεται η SIC-ακολουθία ενός συγκεκριμένου διανύσματος. Όταν ενεργοποιηθεί το σήμα *select*, η μονάδα λειτουργεί σαν καταχωρητής ολίσθησης με γραμμική ανάδραση. Η γραμμική ανάδραση επιτυγχάνεται από τη μονάδα *feedback circuitry*.



Εικόνα: Μονάδα παραγωγής διανυσμάτων MAE της τεχνικής BDSG

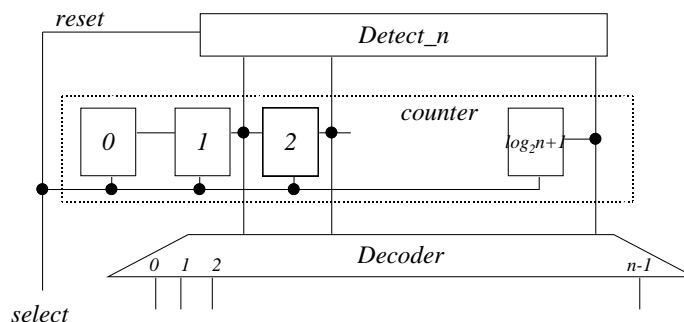
Η κυψελίδα BDSG φαίνεται στην επόμενη Εικόνα. Στην κυψελίδα η είσοδος δεδομένων του flip flop οδηγείται από την έξοδο ενός πολυπλέκτη δύο εισόδων. Ανάλογα με την τιμή του σήματος *select*, η είσοδος του flip flop μπορεί να είναι είτε η είσοδος *q* είτε η έξοδος της πύλης XOR. Στην περίπτωση που η είσοδος δεδομένων είναι η έξοδος της πύλης XOR, τότε ανάλογα με την τιμή του σήματος *d*, η έξοδος της πύλης XOR μπορεί να είναι είτε η έξοδος του flip flop *Q*, είτε η αντίστροφή του. Ο επόμενος Πίνακας δείχνει την τιμή της εισόδου *D* του flip flop της κυψελίδας σε συνάρτηση του σήματος επιλογής (*select*) και της εισόδου *d*.

s	d	D
0	X	q
1	0	Q
1	1	Q*



Εικόνα: BDSG Cell

Στην επόμενη Εικόνα παρουσιάζουμε μια μονάδα παραγωγής της BSIC-ακολουθίας του μηδέν *n* ψηφίων. Η μονάδα αποτελείται από ένα απαριθμητή $\log_2 n + 1$ βαθμίδων και ένα αποκωδικοποιητή από $\log_2 n$ -σε-*n*. Οι εισοδοί του αποκωδικοποιητή οδηγούνται από τις εξόδους των $\log_2 n$ υψηλής τάξης βαθμίδων του απαριθμητή. Η μονάδα *Detect_n* ανιχνεύει την τιμή *n* στις εξόδους των υψηλής τάξης ψηφίων του απαριθμητή, οπότε ενεργοποιείται το σήμα *reset* που μηδενίζει τον απαριθμητή και ενεργοποιεί το σήμα *select*. Το σήμα χρονισμού του απαριθμητή οδηγείται από το υποδιπλασιασμένο σήμα χρονισμού. Κάθε δύο κύκλους, η τιμή του απαριθμητή αλλάζει, και συνεπώς μεταβάλλεται το ενεργοποιημένο σήμα εξόδου του αποκωδικοποιητή.



Εικόνα: Μονάδα παραγωγής της BSIC-ακολουθίας του μηδέν

Στον επόμενο Πίνακα δείχνουμε την παραγωγή της BSIC-ακολουθίας του μηδέν για n=4.

Πίνακας: Παραγωγή SIC-ακολουθίας του μηδέν

C_clock	Counter[1:0]	Decoder[3:0]
1	000	0001
0	001	0001
1	010	0010
0	011	0010
1	100	0100
0	101	0100
1	110	1000
0	111	1000

Το κόστος υλοποίησης της τεχνικής BDSG δίνεται από τον ακόλουθο τύπο:

$$HO_{BDSG}(n) = \log_2 n \times DFF + Decoder_{\log_2 n \times n} + n \times XOR + n \times MUX$$

Το κόστος υλοποίησης σε τρανζίστορ δίνεται από τον ακόλουθο τύπο:

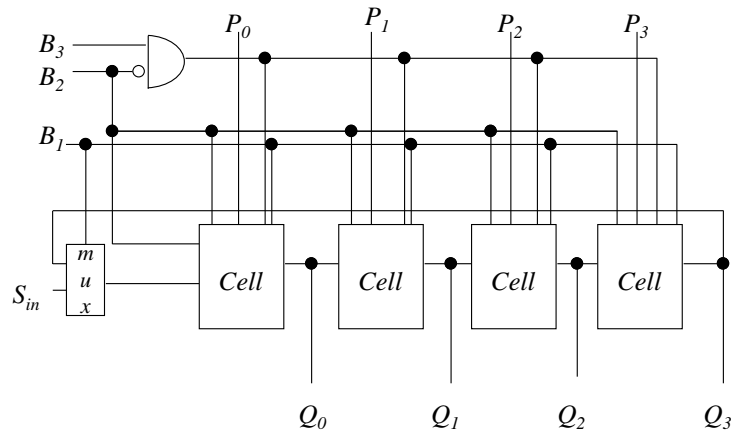
$$HO_{BDSG}(n) = 26 \times \log_2 n + n \times 4 + n \times 6 + n \times 6$$

$$HO_{BDSG}(n) = 26 \times \log_2 n + 16 \times n$$

Στην παρούσα παράγραφο παρουσιάσαμε την υλοποίηση της προτεινόμενης τεχνικής **BDSG** και υπολογίσαμε το κόστος υλοποίησης. Στην επόμενη παράγραφο θα περιγράψουμε την ολοκλήρωση της τεχνικής σε περιβάλλον Ενσωματωμένης παρατήρησης Λογικών Μπλοκς (Built-In Logic Block Observation, BILBO).

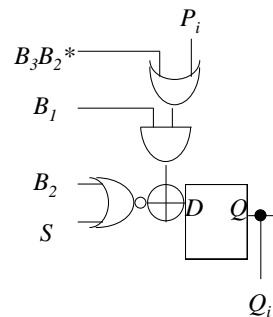
17.11.4.3 Υλοποίηση της τεχνικής BDSG σε περιβάλλον ενσωματωμένης παρατήρησης λογικών μπλοκς

Στην προηγούμενη παράγραφο παρουσιάσαμε μια νέα τεχνική παραγωγής των ζευγών διανυσμάτων MAE και υπολογίσαμε το κόστος υλοποίησης της εμφυτευμένης έκδοσης της τεχνικής. Όπως αναφέρθηκε, η τεχνική ενσωματωμένης παρατήρησης λογικών μπλοκς είναι μια από τις πλέον διαδεδομένες τεχνικές μετατροπής των καταχωρητών του κυκλώματος προκειμένου να χρησιμοποιηθούν για την παραγωγή και/η τη συμπίεση των αποκρίσεων εξόδου. Πριν προχωρήσουμε στην περιγραφή της BILBO-υλοποίησης της τεχνικής BDSG, θα περιγράψουμε με συντομία την τεχνική BILBO.



Εικόνα: Η Τεχνική BILBO

Ένας καταχωρητής που έχει τροποποιηθεί σύμφωνα με την τεχνική BILBO φαίνεται στην προηγούμενη Εικόνα, ενώ στην επόμενη Εικόνα φαίνεται η κυψελίδα (cell) της τεχνικής BILBO.



Εικόνα: Κυψελίδα BILBO

Ένας καταχωρητής BILBO μπορεί να λειτουργήσει σε περισσότερες από μια καταστάσεις (modes) λειτουργίας ανάλογα με την τιμή των σημάτων B_1, B_2, B_3 όπως φαίνεται στον επόμενο Πίνακα όπου δίνουμε για τους επιτρεπούς συνδυασμούς σημάτων $B_1B_2B_3$ τη λειτουργία της τεχνικής και την τιμή της εισόδου D του στοιχείου μνήμης.

Πίνακας: Λειτουργία της τεχνικής BILBO

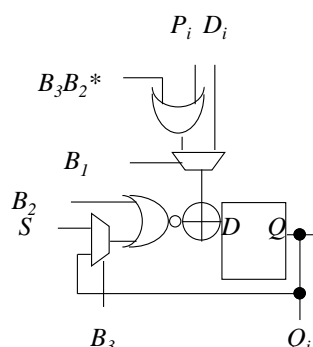
Operation	B1	B2	B3	D
Normal	1	1	0	P_i
Reset	0	1	0	0
Signature Analysis (MISR)	1	0	0	$S \oplus P_i$
Pattern Generation (LFSR)	1	0	1	S
Scan	0	0	0	S

Προκειμένου να χρησιμοποιηθεί η τεχνική BILBO για την παραγωγή ζευγών διανυσμάτων MAE πρέπει η κυψελίδα BILBO να τροποποιηθεί. Η τροποποιημένη κυψελίδα **BDSG-BILBO** φαίνεται στην επόμενη Εικόνα και διαφέρει από την πρωτότυπη κυψελίδα BILBO στα εξής. Έχει προστεθεί ένας πολυπλέκτης του οποίου η μία είσοδος είναι η ανεστραμμένη έξοδος του flip flop. Η είσοδος επιλογής του πολυπλέκτη οδηγείται από το το σήμα B_3 . Ακόμη, η πύλη AND με εισόδους τα σήματα B_1 και P_i έχει αντικατασταθεί από ένα πολυπλέκτη με εισόδους τα D_i και P_i και είσοδο επιλογής το σήμα B_1 . Η κυψελίδα **BDSG-BILBO** λειτουργεί όπως φαίνεται στον επόμενο Πίνακα.

Πίνακας: Λειτουργία της τεχνικής **BDSG-BILBO**

Operation	B1	B2	B3	D
Normal	1	1	0	P_i
Reset	0	1	0	0
Signature Analysis (MISR)	1	0	0	$S \oplus P_i$
Pattern Generation (LFSR)	1	0	1	S
Scan	0	0	0	S
SIC-generation	0	X	1	$D_i \oplus Q$

Όταν $B_1B_2B_3=001$, τότε η είσοδος του flip flop είναι το XOR της εξόδου του με την είσοδο P_i . Αν $P_i=0$, τότε η έξοδος του flip flop παραμένει αμετάβλητη. Αν $P_i=1$, η έξοδος του flip flop αντιστρέφεται.



Εικόνα: Η κυψελίδα BDSG-BILBO

Το κόστος υλοποίησης της κυψελίδας **BDSG-BILBO** σε σύγκριση με το κόστος υλοποίησης της κυψελίδας της τεχνικής BILBO είναι ο πολυπλέκτης, καθώς και το ότι η πύλη AND αντικαθίσταται από ένα πολυπλέκτη 2-σε-1. Το κόστος της κυψελίδας BILBO είναι 48 τρανζίστορ, ενώ το κόστος υλοποίησης της κυψελίδας **BDSG-SBILBO** είναι 56 τρανζίστορς. Επομένως, το επιπλέον κόστος υλοποίησης σε τρανζίστορ δίνεται από τον ακόλουθο τύπο:

$$HO_{BDSG}(n) = 26 \times \log_2 n + n \times (52-48)$$

$$HO_{BDSG}(n) = 26 \times \log_2 n + 4 \times n$$

Σύμφωνα με τα παραπάνω, το υπερβάλλον κόστος υλοποίησης είναι 16.6%. Στον ακόλουθο ενδεικτικό Πίνακα παρουσιάζουμε για διάφορες τιμές του μεγέθους του καταχωρητή το κόστος υλοποίησης του καταχωρητή, το κόστος υλοποίησης της τεχνικής BILBO και το κόστος υλοποίησης της τεχνικής BDSG-BILBO.

Πίνακας: Κόστος υλοποίησης BILBO και BDSG-BILBO

n	Κόστος BILBO	Κόστος BDSG	Αύξηση Κόστους
4	192	292	52%
6	288	427	48%
8	384	558	45%
10	480	686	43%
12	576	813	41%
14	672	939	40%
16	768	1064	39%
18	864	1188	38%
20	960	1312	37%

Στον παραπάνω Πίνακα στο κόστος υλοποίησης της τεχνικής BDSG-BILBO έχει συμπεριληφθεί το κόστος υλοποίησης της μονάδας παραγωγής της BSIC-ακολουθίας του μηδέν. Σύμφωνα με τον Πίνακα, η τεχνική BILBO μπορεί να τροποποιηθεί με χαμηλό σχετικά κόστος υλοποίησης προκειμένου να παραχθούν τα ζεύγη διανυσμάτων MAE. Στο σημείο αυτό ακριβώς έγκειται και η πρακτική χρησιμότητα της προτεινόμενης τεχνικής **BDSG**.

Στην παράγραφο αυτή παρουσιάσαμε μια νέα τεχνική παραγωγής ζευγών διανυσμάτων δοκιμής, και την υλοποίησή της. Παρουσιάσαμε ακόμη την υλοποίηση της προτεινόμενης τεχνικής σε περιβάλλον BILBO και υπολογίσαμε το υπερβάλλον κόστος υλοποίησης της τεχνικής BDSG-BILBO συγκριτικά με την τεχνική BILBO. Το κόστος αυτό είναι χαμηλότερο του 40% και μειώνεται όσο αυξάνεται το πλήθος των εισόδων της υπό έλεγχο μονάδας. Συνεπώς, η προτεινόμενη τεχνική μπορεί να χρησιμοποιηθεί σε κυκλώματα στα οποία χρησιμοποιείται η τεχνική BILBO με αρκετά μικρό υπερβάλλον κόστος υλοποίησης προκειμένου να επιτευχθεί κάλυψη ακολουθιακών ελαττωμάτων.

Στην επόμενη παράγραφο θα παρουσιάσουμε μια νέα τεχνική παραγωγής ζευγών διανυσμάτων MAE. Η νέα αυτή τεχνική μπορεί να παράγει τα διανύσματα MAE σε χρόνο μικρότερο από οποιαδήποτε άλλη τεχνική από αυτές που έχουν προταθεί στη βιβλιογραφία.

17.11.5 Μια νέα τεχνική παραγωγής ζευγών διανυσμάτων MAE (SRSG)

Στην παράγραφο αυτή θα παρουσιαστεί μια νέα τεχνική παραγωγής των ζευγών διανυσμάτων MAE με το όνομα **Shift Register-based SIC-pattern Generator (SRSG)**. Όπως θα φανεί στην παράγραφο όπου θα γίνουν οι συγκρίσεις των τεχνικών, το κόστος υλοποίησης της προτεινόμενης τεχνικής είναι χαμηλότερο από το κόστος υλοποίησης των τεχνικών που έχουν προταθεί στη διεθνή βιβλιογραφία ενώ ο χρόνος που απαιτείται για την ολοκλήρωση του ελέγχου είναι μικρότερος, και πλησιάζει το θεωρητικό ελάχιστο.

17.11.5.1 Περιγραφή της τεχνικής

Προκειμένου να παρουσιαστεί η προτεινόμενη τεχνική SRSG, θα χρησιμοποιήσουμε τους ακόλουθους συμβολισμούς.

ΟΡΙΣΜΟΣ: Ένα $S_{i,n}$ -διάνυσμα, $0 < i < n$, είναι ένα διάνυσμα που αποτελείται από n δυαδικά ψηφία, του οποίου τα $(n-i)$ υψηλής τάξης ψηφία είναι **0** και τα i -χαμηλής τάξης ψηφία είναι **1**. □

ΟΡΙΣΜΟΣ: Ένα $S_{i,n}$ -διάνυσμα, $-n < i < 0$, είναι ένα διάνυσμα που αποτελείται από n δυαδικά ψηφία, του οποίου τα $(n-i)$ υψηλής τάξης ψηφία είναι **1** και τα i -χαμηλής τάξης ψηφία είναι **0**. □

Ορίζουμε για πληρότητα τις οριακές περιπτώσεις, $S_{0,n}=(1,1,\dots,1)$, $S_{-n,n}=(0,0,\dots,0)$, $S_{n,n}=(0,0,\dots,0)$.

ΠΑΡΑΔΕΙΓΜΑ: Το $S_{4,5}$ -διάνυσμα είναι το $(0,0,0,0,1)$, ενώ το $S_{-4,5}$ -διάνυσμα είναι το $(1,1,1,1,0)$. □

ΟΡΙΣΜΟΣ: Μια SR_n -ακολουθία είναι μια ακολουθία διανυσμάτων n -ψηφίων η οποία αποτελείται από $2n+1$ διανύσματα $(S_{-n,n}, S_{-(n-1),n}, S_{-(n-2),n}, \dots, S_{-1,n}, S_{0,n}, S_{1,n}, \dots, S_{n,n})$.

ΠΑΡΑΔΕΙΓΜΑ: Η SR_4 -ακολουθία φαίνεται στον ακόλουθο Πίνακα

0000	1000	1100	1110	1111	0111	0011	0001	0000
------	------	------	------	------	------	------	------	------

ΟΡΙΣΜΟΣ: Ορίζουμε σαν ένα $C_{i,n}$ -διάνυσμα $0 \leq i < 2^{n-1}$ ένα διάνυσμα n ψηφίων, του οποίου η αριθμητική τιμή είναι ίση με i , $0 \leq i < 2^{n-1}$. □

ΟΡΙΣΜΟΣ : Ορίζουμε σαν μια C_n -ακολουθία, μια ακολουθία διανυσμάτων που παράγεται από όλα τα $C_{i,n}$ -διανύσματα, με αύξουσα αριθμητική τιμή. □

ΠΑΡΑΔΕΙΓΜΑ: Η C_4 -ακολουθία είναι η

0000	0001	010	0011	0100	0101	0110	0111
------	------	-----	------	------	------	------	------

□

ΟΡΙΣΜΟΣ: Ορίζουμε σαν μια $X_{i,n}$ -ακολουθία την ακολουθία $2n+1$ διανυσμάτων που παράγεται αν συνδυάσουμε, μέσω μιας συνάρτησης XOR ψηφίο προς ψηφίο, το $C_{i,n}$ - διάνυσμα με τα διανύσματα μιας SR_n -ακολουθίας. Συμβολικά, $X_{i,n}=C_{i,n} \oplus SR_n$

□

ΠΑΡΑΔΕΙΓΜΑ: Η $X_{3,5}$ -ακολουθία παράγεται αν συνδυάσουμε, ψηφίο προς ψηφίο, το $C_{3,5}$ -διάνυσμα με τα διανύσματα της SR_5 -ακολουθίας. Αυτό φαίνεται στον ακόλουθο Πίνακα

SR_5 -ακολουθία	$C_{3,5}$ -διάνυσμα	$X_{3,5}$ -ακολουθία
00000	00011	00011
10000	00011	10011
11000	00011	11011
11100	00011	11111
11110	00011	11101
11111	00011	11100
01111	00011	01000
00111	00011	00100
00011	00011	00000
00001	00011	00010
00000	00011	00000

Αν παραχθούν όλες οι $X_{i,n}$ -ακολουθίες, $0 < i < n$, θα προκύψει μια ακολουθία $(2n+1) \times (2^{n-1})$ διανυσμάτων. Η παραγωγή πραγματοποιείται από τη διαδικασία SRS G (), η οποία δίνεται στη συνέχεια.

```

SRS $G$  (n)
begin
  for C=0 to  $2n-1-1$ 
    for i=-n to n
      begin
        S=S_generate(i);
        X=S  $\oplus$  C;
        return(X);
      end
    end
end

S_generate(i)
begin
  S[n:1]=1;
  if i>0 S[j:1]=0 else
  S[n:n+i-1]=0
end
    
```

Αλγόριθμος: Παραγωγή ζευγών διανυσμάτων MAE με την τεχνική SRS G

ΘΕΩΡΗΜΑ 1: Τα ζεύγη διανυσμάτων MAE που παράγονται από την διαδικασία SIC_generate() είναι διακριτά.

ΑΠΟΔΕΙΞΗ. Είναι εύκολο να δειχθεί ότι τα $2n$ ζεύγη διανυσμάτων MAE ($S_{-n,n}, S_{-(n-1),n}, S_{-(n-2),n}, \dots, S_{-1,n}, S_{0,n}, S_{1,n}, \dots, S_{n-1,n}, S_{n,n}$) μιας SR_n -ακολουθίας είναι διακριτά. Έτσι, για οποιαδήποτε τιμή του $C_{i,n}$, τα $2n$ ζεύγη διανυσμάτων MAE που παράγονται είναι επίσης διακριτά. Η απόδειξη του ότι ζεύγη διανυσμάτων MAE που παράγονται για διαφορετικές τιμές του $C_{i,n}$ είναι διακριτά, θα γίνει με απαγωγή σε άτοπο.

Ας θεωρήσουμε δύο ζεύγη διανυσμάτων (X_1, X_2) (το οποίο παράγεται για $C_{i,n}=C_1$) και (X_3, X_4) (το οποίο παράγεται για $C_{j,n}=C_2$), με $C_1 \neq C_2$ και ας υποθέσουμε ότι $(X_1, X_2) = (X_3, X_4)$. Εφόσον τα δύο ζεύγη είναι ίσα, πρέπει να παρέχουν μια μετάβαση στο ίδιο ψηφίο, για παράδειγμα στο ψηφίο i . Τότε, από τον ορισμό των X_i

$$(X_1, X_2) = (C_1 \oplus S_{i-1,n}, C_1 \oplus S_{i,n}) \quad \text{και} \quad (X_3, X_4) = (C_2 \oplus S_{i-1,n}, C_2 \oplus S_{i,n})$$

Συνεπώς καταλήγουμε στο ότι $C_1=C_2$ που είναι αντίθετο με την υπόθεση ότι $C_1 \neq C_2$, και κατά συνέπεια σε άτοπο, ή ότι $C_1=C_2^*$ που είναι άτοπο επειδή το υψηλής τάξης ψηφίο των C_1 και C_2 είναι ίδιο, από τον ορισμό της **C_n -ακολουθίας**. Εφόσον όλα τα ζεύγη διανυσμάτων που παράγονται είναι διακριτά και το πλήθος τους είναι $n \times 2^n$, εξάγεται το συμπέρασμα ότι όλα τα $n \times 2^n$ ζεύγη διανυσμάτων παράγονται με την τεχνική SRSRG. □

ΠΑΡΑΔΕΙΓΜΑ: Στον ακόλουθο Πίνακα δίνουμε τα ζεύγη διανυσμάτων MAE που παράγονται με την τεχνική SRSRG για μια μονάδα υπό έλεγχο με 4 εισόδους. Στην πρώτη στήλη φαίνεται η SR₄-ακολουθία. Στις στήλες 2 ως 9 δίνουμε την ακολουθία που εφαρμόζεται στις εισόδους της μονάδας υπό έλεγχο για τις $2^{4-1}=8$ τιμές της C₄-ακολουθίας.

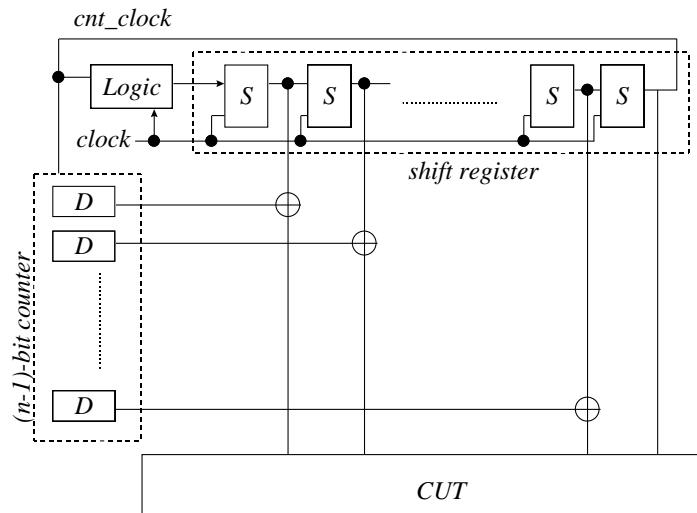
Πίνακας: Ζευγη διανυσματων MAE τεσσαρων ψηφιων

SR ₄ -ακολουθία	C ₄ -ακολουθία							
	0000	1000	0100	1100	0010	1010	0110	1110
0000	0000	1000	0100	1100	0010	1010	0110	1110
1000	1000	0000	1100	0100	1010	0010	1110	0110
1100	1100	0100	1000	0000	1110	0110	1010	0010
1110	1110	0110	1010	0010	1100	0100	1000	0000
1111	1111	0111	1011	0011	1101	0101	1001	0001
0111	0111	1111	0011	1011	0101	1101	0001	1001
0011	0011	1011	0111	1111	0001	1001	0101	1101
0001	0001	1001	0101	1101	0011	1011	0111	1111
0000	0000	1000	0100	1100	0010	1010	0110	1110

Στην παρούσα παράγραφο παρουσιάσαμε μια νέα τεχνική παραγωγής ζευγών διανυσμάτων δοκιμής MAE και αποδείξαμε ότι τα ζεύγη διανυσμάτων MAE παράγονται μέσα σε $(2n+1) \times (2^{n-1})$ κύκλους. Στην επόμενη παράγραφο θα παρουσιάσουμε την υλοποίηση της τεχνικής.

17.11.5.2 Υλοποίηση της τεχνικής

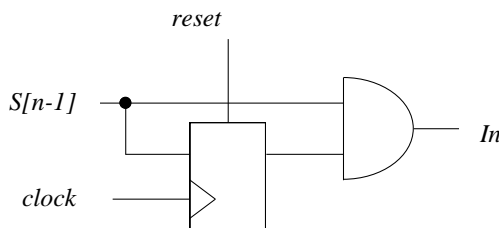
Στην παρούσα παράγραφο θα παρουσιάσουμε την υλοποίηση της διαδικασίας SRSRG(). Η υλοποίηση της μονάδας παραγωγής διανυσμάτων δοκιμής για μια μονάδα υπό έλεγχο n εισόδων φαίνεται στην επόμενη Εικόνα. Αποτελείται από ένα καταχωρητή ολίσθησης (shift register) n βαθμίδων, ένα απαριθμητή (counter) $n-1$ θέσεων, και μια σειρά n πυλών XOR δύο εισόδων. Η λογική (logic) αποτελείται από ένα flip flop τύπου D και μια πύλη AND δύο εισόδων.



Εικόνα: Η τεχνική παραγωγής ζευγών διανυσμάτων MAE

Αρχικά ο καταχωρητής ολίσθησης τίθεται στη μηδενική τιμή. Στους επόμενους $2n$ κύκλους, στις εξόδους του καταχωρητή ολίσθησης παράγεται μια SR_n -ακολουθία. Μετά την ολοκλήρωση μιας SR -ακολουθίας ο απαριθμητής αυξάνεται κατά ένα.

Κατά τη διάρκεια της εφαρμογής μιας **SR_n -ακολουθίας**, η τιμή του απαριθμητή παραμένει σταθερή. Έτσι, στις εισόδους του κυκλώματος εφαρμόζονται $2n+1$ διανύσματα τα οποία συνιστούν $2n$ ζεύγη διανυσμάτων MAE. Μετά την εφαρμογή μιας **SR_n -ακολουθίας**, ο απαριθμητής ενεργοποιείται με το σήμα counter_clock. Τα ζεύγη διανυσμάτων που παράγονται μεταξύ διαδοχικών SR -ακολουθιών δεν είναι, εν γένει, ζεύγη διανυσμάτων MAE. Αγνοώντας τα ζεύγη αυτά (συνολικά 2^{n-1}) παράγονται συνολικά $2n \times 2^{n-1}$ ζεύγη διανυσμάτων MAE μέσα σε $(2n+1) \times 2^{n-1} = (n+1/2) \times 2^n$ κύκλους αφού ο n -ψηφιος απαριθμητής παράγει όλα τα 2^{n-1} διανύσματα $(n-1)$ ψηφίων. Σύμφωνα με το Θεώρημα 1 της προηγούμενης παραγράφου, αυτά τα ζεύγη διανυσμάτων MAE είναι διακριτά. Κατά συνέπεια, παράγονται όλα τα $n \times 2^n$ ζεύγη διανυσμάτων MAE n -ψηφίων.



Εικόνα: Η μονάδα Λογικής

Για την ενσωματωμένη έκδοση της προτεινόμενης τεχνικής υλοποιείται ο απαριθμητής, οι πύλες XOR και η μονάδα λογικής. Ακόμη, τα n flip flops του καταχωρητή στην είσοδο της μονάδας υπό έλεγχο πρέπει να αντικατασταθούν από scan flip flops προκειμένου να υλοποιηθεί ο καταχωρητής ολίσθησης. Το κόστος υλοποίησης της τεχνικής σε τρανζίστορ δίνεται από τον τύπο.

$$HO_S(n) = (n-1) \times 26 + n \times 6 + 26 + 6 + n \times (34-26)$$

$$HO_S(n) = 40 \times n$$

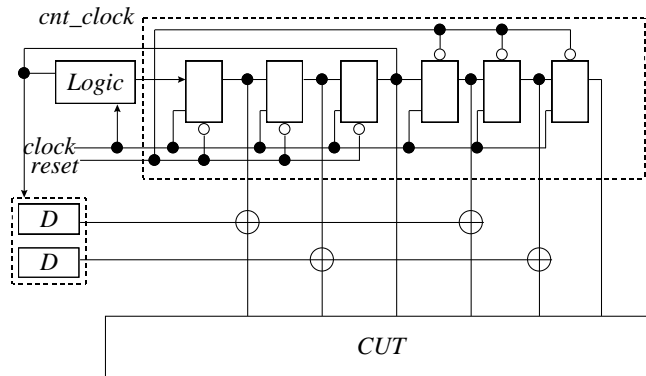
17.11.6 Ψευδοεξαντλητικός Έλεγχος με Ζεύγη διανυσμάτων MAE

Όπως έχει αναφερθεί, ο ψευδοεξαντλητικός έλεγχος έχει όλα τα πλεονεκτήματα του εξαντλητικού ελέγχου και απαιτεί λιγότερα διανύσματα δοκιμής. Κατά τον ψευδοεξαντλητικό έλεγχο διαδοχικών ψηφίων με ζεύγη διανυσμάτων MAE εφαρμόζονται σε όλες τις διαδοχικές ομάδες k ψηφίων της μονάδας υπό έλεγχο όλα τα $k \times 2^k$ ζεύγη διανυσμάτων MAE k ψηφίων. Στην παράγραφο αυτή θα παρουσιάσουμε

τρία είδη ψευδοεξαντλητικού ελέγχου με ζεύγη διανυσμάτων MAE. Στον (n,k)-ψευδοεξαντλητικό έλεγχο εφαρμόζονται σε όλες τις διαδοχικές ομάδες k ψηφίων της μονάδας υπό έλεγχο όλα τα $k \times 2^k$ ζεύγη διανυσμάτων MAE k ψηφίων για μια συγκεκριμένη τιμή του k. Με τον επιλεκτικό ψευδοεξαντλητικό έλεγχο είναι δυνατό να εφαρμοστούν σε όλες τις διαδοχικές ομάδες k ψηφίων της μονάδας υπό έλεγχο όλα τα $k \times 2^k$ ζεύγη διανυσμάτων MAE k ψηφίων για οποιαδήποτε τιμή του k. Τέλος, με τον αναδρομικό ψευδοεξαντλητικό έλεγχο εφαρμόζονται σε όλες τις διαδοχικές ομάδες k ψηφίων της μονάδας υπό έλεγχο όλα τα $k \times 2^k$ ζεύγη διανυσμάτων MAE k ψηφίων για όλες τις τιμές του $k=1, 2, 3, \dots, n$. Στη συνέχεια της παραγράφου θα περιγράψουμε τα τρία είδη ψευδοεξαντλητικού ελέγχου.

17.11.6.1 (n,k)-Ψευδοεξαντλητικός Έλεγχος με Ζευγη διανυσματων MAE

Ο (n,k)-ψευδοεξαντλητικός έλεγχος με ζεύγη διανυσμάτων MAE μπορεί να υλοποιηθεί με ένα από δύο τρόπους. Η πρώτη υλοποίηση φαίνεται στην επόμενη Εικόνα. Χρησιμοποιείται ένας απαριθμητής (k-1) θέσεων. Αρχικά, τα flipflop αρχικοποιούνται στις τιμές 00..011..100..011...1..., δηλαδή τα ψηφία χωρίζονται σε διαδοχικές ομάδες των k ψηφίων. Τα ψηφία της ίδιας ομάδας αρχικοποιούνται στην ίδια τιμή και τα ψηφία διαδοχικών ομάδων αρχικοποιούνται σε αντίθετες τιμές. Η είσοδος της μονάδας ελέγχου και το σήμα χρονισμού του απαριθμητή οδηγείται από την έξοδο της k βαθμίδας του καταχωρητή ολίσθησης.



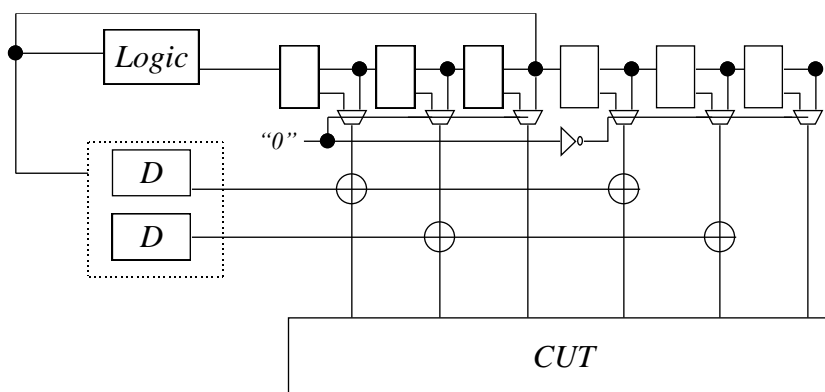
Εικόνα: (6,3)-ΨΕΥΔΟΕΞΑΝΤΛΗΤΙΚΟΣ ΕΛΕΓΧΟΣ ΔΙΑΔΟΧΙΚΩΝ ΨΗΦΙΩΝ ΜΕ ΖΕΥΓΗ ΔΙΑΝΥΣΜΑΤΩΝ MAE (Α' ΥΛΟΠΟΙΗΣΗ)

Στον επόμενο Πίνακα φαίνονται τα διανύσματα που παράγονται από την τροποποιημένη έκδοση της τεχνικής για τον (6,3)-ψευδοεξαντλητικό έλεγχο.

Πίνακας: Ψευδοεξαντλητικός έλεγχος διαδοχικών ψηφίων με ζεύγη διανυσμάτων MAE

000	100	010		110
000 111 000	100 011 100	010 101 010		110 001 110
100 011 100	000 111 000	110 001 110		010 101 010
110 001 110	010 101 010	100 011 100		000 111 000
111 000 111	011 100 011	101 010 101		001 110 001
011 100 011	111 000 111	001 110 001		101 010 101
001 110 001	101 010 101	011 100 011		111 000 111
000 111 000	100 011 100	010 101 010		110 001 110

Σύμφωνα με τη δεύτερη υλοποίηση, όλα τα flip flops του καταχωρητή ολίσθησης αρχικοποιούνται στην ίδια αρχική τιμή (0), αλλά χρησιμοποιούνται η πολυπλέκτες στις εξόδους των flip flops. Οι είσοδοι κάθε πολυπλέκτη τροφοδοτούνται από τις εξόδους Q και Q* των flip flops (με Q* συμβολίζουμε την ανεστραμμένη έξοδο του flip flop). Η είσοδος επιλογής κάθε πολυπλέκτη τροφοδοτείται από ένα σήμα S_i . Η τιμή του S_i είναι 1 για εκείνες τις βαθμίδες που πρέπει να παίρνουν την ορθή τιμή της εξόδου και 0 για εκείνες που πρέπει να παίρνουν την ανεστραμμένη τιμή.



Εικόνα: (6,3)-Ψευδοεξαντλητικός έλεγχος διαδοχικών ψηφίων με ζεύγη διανυσμάτων MAE (B' Υλοποίηση)

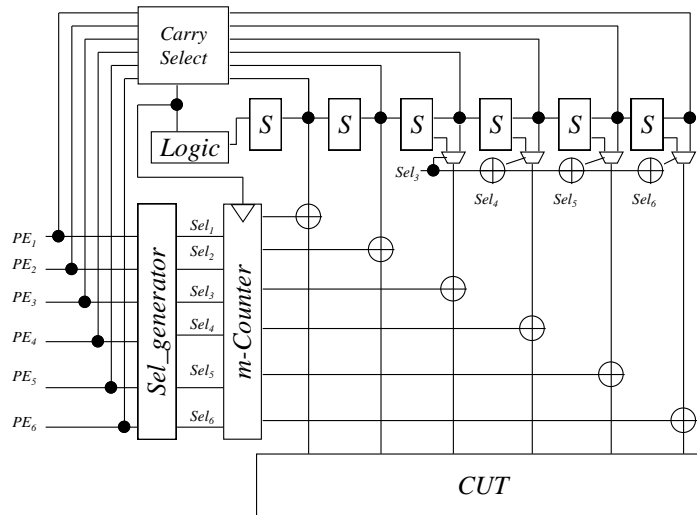
Η δεύτερη υλοποίηση έχει υψηλότερο κόστος υλοποίησης (συνολικά n πολυπλέκτες δύο εισόδων) πλεονεκτεί όμως στο ότι τα flip flops αρχικοποιούνται στην ίδια τιμή, επομένως είναι σχεδιαστικά απλούστερη. Η δεύτερη υλοποίηση μπορεί να χρησιμοποιηθεί για τον επιλεκτικό ψευδοεξαντλητικό έλεγχο διαδοχικών ψηφίων με ζεύγη διανυσμάτων MAE όπως θα περιγραφεί στην επόμενη παράγραφο.

17.11.6.2 Επιλεκτικός Ψευδοεξαντλητικός έλεγχος με ζεύγη διανυσμάτων MAE

Κατά τον επιλεκτικό ψευδοεξαντλητικό έλεγχο ζευγών διανυσμάτων MAE είναι δυνατό να παραχθούν όλοι οι συνδυασμοί ζευγών διανυσμάτων MAE σε όλες τις διαδοχικές ομάδες k ψηφίων για οποιαδήποτε τιμή του k , $k \leq n$ με την ενεργοποίηση κατάλληλου σήματος ελέγχου. Για να παραχθεί (n,k) -ψευδοεξαντλητικός έλεγχος ζευγών διανυσμάτων MAE, υλοποιούμε τις ακόλουθες τροποποιήσεις στην τεχνική SRSG.

- Ο απαριθμητής $n-1$ βαθμίδων αντικαθίσταται από ένα επιλεκτικό απαριθμητή n βαθμίδων. Οι τροποποιήσεις τις οποίες υφίσταται ένας απαριθμητής προκειμένου να μετατραπεί σε επιλεκτικό απαριθμητή έχουν περιγραφεί, όταν περιγράφηκε ο επιλεκτικός ψευδοεξαντλητικός έλεγχος ζευγών διανυσμάτων ΠΑΕ.
- Η είσοδος scan της λογικής ελέγχου μπορεί να επιλεγεί από οποιαδήποτε από τις n βαθμίδες του καταχωρητή ολίσθησης. Για το λόγο αυτό χρησιμοποιείται μια μονάδα παρόμοια με αυτή που χρησιμοποιήθηκε στον επιλεκτικό ψευδοεξαντλητικό έλεγχο ζευγών διανυσμάτων ΠΑΕ. Το κόστος υλοποίησης της μονάδας αυτής είναι n transmission gates.
- Οι είσοδοι επιλογής των πολυπλεκτών εξόδου των flip flops του καταχωρητή ολίσθησης έχουν ως εξής. Οι πρώτες k εισοδοι επιλογής είναι 1, οι επόμενες k εισοδοι είναι 0, και ούτω καθ' εξής. Η είσοδος επιλογής του πολυπλέκτη της βαθμίδας $i+1$ είναι ίδια με την είσοδο επιλογής του πολυπλέκτη της βαθμίδας i αν και μόνο αν το σήμα Sel_{i+1} του αναδρομικού απαριθμητή δεν είναι 1. Αυτό συμβαίνει επειδή αν το σήμα Sel_{i+1} είναι 1, ο αριθμός $i+1$ είναι πολλαπλάσιος του k . Κατά συνέπεια, η είσοδος του πολυπλέκτη της βαθμίδας $i+1$ είναι διαφορετική από την είσοδο του πολυπλέκτη της βαθμίδας i . Σύμφωνα με τα παραπάνω, η είσοδος του πολυπλέκτη της βαθμίδας $i+1$ είναι η έξοδος μιας πύλης XOR της οποίας οι εισοδοι είναι η είσοδος του πολυπλέκτη εξόδου της βαθμίδας i και το σήμα Sel_{i+1} .

Η μονάδα παραγωγής ψευδοεξαντλητικών ζευγών διανυσμάτων MAE φαίνεται στην επόμενη Εικόνα για $n=6$. Τα σήματα Sel_i , σχηματίζονται με τη βοήθεια πυλών OR όπως περιγράφηκε.



Εικόνα: Επιλεκτικός Ψευδοεξαντλητικός έλεγχος ζευγών διανυσμάτων MAE

17.11.6.3 Αναδρομικός Ψευδοεξαντλητικός έλεγχος ζευγών διανυσμάτων MAE

Κατά τον αναδρομικό ψευδοεξαντλητικό έλεγχο ζευγών διανυσμάτων MAE παράγονται όλα τα ζεύγη διανυσμάτων MAE k ψηφίων σε όλες τις διαδοχικές ομάδες k εισόδων για $k=1, 2, 3 \dots, n$. Για τον αναδρομικό ψευδοεξαντλητικό έλεγχο ζευγών διανυσμάτων MAE, υλοποιείται ένας απαριθμητής $\lceil \log_2 n \rceil$ -βαθμίδων και ένας αποκωδικοποιητής από $\lceil \log_2 n \rceil$ -σε- n . όπως στην περίπτωση του ψευδοεξαντλητικού ελέγχου με ζεύγη διανυσμάτων ΠΑΕ. Οι έξοδοι του αποκωδικοποιητή οδηγούνται στις εισόδους PE_i της μονάδας παραγωγής επιλεκτικού ψευδοεξαντλητικού ελέγχου. Με τον τρόπο αυτό, απαιτείται για τον αναδρομικό έλεγχο περισσότερος χρόνος από $k \times 2^k$ εφόσον έχει προηγηθεί η παραγωγή των $i \times 2^i$ ζευγών διανυσμάτων MAE i ψηφίων, για όλες τις τιμές του $i < k$. Στη συνέχεια της παραγράφου αυτής θα υπολογίσουμε πόσο διαφέρει ο χρόνος αυτός από το θεωρητικό ελάχιστο.

ΟΡΙΣΜΟΣ: Ορίζουμε την **επιβάρυνση σε χρόνο** για τον αναδρομικό ψευδοεξαντλητικό έλεγχο το χρόνο που απαιτείται για την παραγωγή του (n,k) -ψευδοεξαντλητικού ελέγχου αφού έχουν παραχθεί οι (n,i) -ψευδοεξαντλητικοί έλεγχοι για όλες τις τιμές του $i \leq k$, προς το χρόνο που απαιτείται για τον (n,k) -ψευδοεξαντλητικό έλεγχο.

$$TimeOverhead = \frac{\sum_{i=1}^{k-1} i \times 2^i}{\sum_{i=1}^k i \times 2^i}$$

Για να βρούμε την επιβάρυνση στο χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου εργαζόμαστε ως εξής. Ο χρόνος που θα χρειαστεί για την παραγωγή των ζευγών διανυσμάτων 2-ψηφίων είναι 2×2^2 . Για την παραγωγή των ζευγών διανυσμάτων τριών ψηφίων απαιτούνται 3×2^3 κύκλοι. Γενικά, για την παραγωγή των ζευγών διανυσμάτων k ψηφίων απαιτούνται $k \times 2^k$ κύκλοι. Η επιβάρυνση στο χρόνο (time overhead) που απαιτείται για την παραγωγή του αναδρομικού ψευδοεξαντλητικού ελέγχου είναι το άθροισμα του πλήθους των κύκλων που απαιτούνται για την παραγωγή των ζευγών διανυσμάτων i -ψηφίων για όλα τα $i < k$, προς το πλήθος των διανυσμάτων που απαιτούνται για την παραγωγή των ζευγών διανυσμάτων i -ψηφίων, για $i \leq k$. Στον ακόλουθο Πίνακα παρουσιάζουμε την επιβάρυνση σε χρόνο για διάφορες τιμές του n .

Πίνακας: Επιβάρυνση σε χρόνο δοκιμής λόγω του αναδρομικού ελέγχου

n	$n \times 2^n$	$\sum_{i=1}^n i \times 2^i$	Επιβάρυνση
2	8	8	
3	24	32	25,00%
4	64	96	33,33%
6	384	640	40,00%
8	2048	3584	42,86%
10	10240	18432	44,44%
12	49152	90112	45,45%
14	229376	425984	46,15%
16	1048576	1966080	46,67%
18	4718592	8912896	47,06%
20	20971520	39845888	47,37%
22	92274688	176160768	47,62%
23	192937984	369098752	47,73%

Προκειμένου να υπολογίσουμε το κόστος υλοποίησης της τεχνικής SRSR για τον αναδρομικό έλεγχο ζευγών διανυσμάτων MAE δεχόμαστε ότι ένας πολυπλέκτης δύο εισόδων υλοποιείται με 6 τρανζίστορ και μια πύλη XOR με 6 τρανζίστορ. Ένας πολυπλέκτης από n-σε-1 είναι δυνατό να υλοποιηθεί με 4n τρανζίστορ αν είναι διαθέσιμες όλες οι n εισοδοί επιλογής (2n τρανζίστορ για τις transmission gates και 2n τρανζίστορ για την αντιστροφή των σημάτων επιλογής). Ένας αποκωδικοποιητής από $\log_2 n$ -σε-n υλοποιείται με 4n περίπου τρανζίστορ. Σύμφωνα με τα παραπάνω, το κόστος υλοποίησης της τεχνικής παραγωγής αναδρομικού ψευδοεξαντλητικού ελέγχου ζευγών διανυσμάτων MAE είναι

$$HO_{RecursivePseudoexhaustiveTesting}(n) = 6n + 6n + 6n + 6n + 4n + 4n + 26 \times \log_2 n + 34n$$

$$HO_{RecursivePseudoexhaustiveTesting}(n) = 66n + 26 \times \log_2 n$$

Είναι χαρακτηριστικό το γεγονός ότι αυτό το κόστος υλοποίησης είναι της ίδιας τάξης μεγέθους με την τεχνική που προτάθηκε από τον Wang. Με άλλα λόγια, με κόστος υλοποίησης ίσο με την τεχνική που προτάθηκε από το Wang, με την προτεινόμενη τεχνική SRSR είναι δυνατό να παραχθεί αναδρομικός ψευδοεξαντλητικός έλεγχος ζευγών διανυσμάτων MAE.

Στο σημείο αυτό κλείνει η παρουσίαση των προτεινόμενων τεχνικών παραγωγής ζευγών διανυσμάτων MAE. Στην επόμενη παράγραφο θα συγκρίνουμε τις τεχνικές που έχουν προταθεί για τον εξαντλητικό έλεγχο ζευγών διανυσμάτων MAE όσον αφορά το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου.

17.11.7 Συγκρίσεις των τεχνικών παραγωγής διανυσμάτων δοκιμής MAE

Στην παράγραφο αυτή θα συγκρίνουμε τις τεχνικές που έχουν προταθεί για την παραγωγή ζευγών διανυσμάτων δοκιμής MAE ως προς το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου (σε κύκλους ρολογιού) και το κόστος υλοποίησης κάθε τεχνικής.

Στον επόμενο Πίνακα παρουσιάζουμε το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου και το κόστος υλοποίησης για τις τεχνικές που έχουν προταθεί στη βιβλιογραφία για την παραγωγή ζευγών διανυσμάτων MAE. Στη δεύτερη στήλη φαίνεται ο χρόνος που απαιτείται για την ολοκλήρωση του ελέγχου. Στην τρίτη στήλη παρουσιάζεται το κόστος υλοποίησης σε τρανζίστορ, για τις εμφυτευμένες εκδόσεις των τεχνικών. Για την τεχνική BDSG έχουμε θεωρήσει τό κόστος υλοποίησης της τεχνικής ως προς το κόστος της τεχνικής BILBO, εφόσον η τεχνική έχει έννοια σε περιβάλλον BILBO.

Πίνακας: Σύγκριση Τεχνικών παραγωγής ζευγών διανυσμάτων MAE

Τεχνική	Χρόνος (σε κύκλους ρολογιού)	Κόστος υλοποίησης (τρανζίστορ)
PEAT	$(n+1) \times 2^n$	84n
Wang	$2n \times 2^n$	66n+26
DSG(proposed)	$2n \times 2^n$	$26 \times \log_2 n + 18n$
BDSG (proposed)	$2n \times 2^n$	$26 \times \log_2 n + 18n$
SRSG(proposed)	$(n+1/2) \times 2^n$	40n

Από τα δεδομένα του Πίνακα μπορεί κανείς να διαπιστώσει ότι οι προτεινόμενες τεχνικές είναι πιο αποδοτικές από τις ήδη υπάρχουσες όσον αφορά το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου. Προκειμένου να φανούν παραστατικά τα παραπάνω αποτελέσματα, θα χρησιμοποιήσουμε τα ακόλουθα μέτρα.

Ορίζουμε σαν **υπερβάλλον κόστος υλοποίησης (Hardware Overhead Increase)** για την ενσωματωμένη έκδοση μιας τεχνικής παραγωγής διανυσμάτων δοκιμής, το πηλίκο του κόστους υλοποίησης της τεχνικής στην ενσωματωμένη έκδοσή της, προς το κόστος υλοποίησης της μονάδας η οποία προϋπήρχε στο κύκλωμα και η οποία τροποποιήθηκε για την παραγωγή των ζευγών διανυσμάτων δοκιμής.

$$\text{HardwareOverheadIncrease} = \frac{\text{HardwareOverhead}}{\text{ExistinghardwareOverhead}}$$

Στον επόμενο Πίνακα φαίνεται το υπερβάλλον κόστος υλοποίησης για τις τεχνικές που έχουν προταθεί στη βιβλιογραφία για την παραγωγή των ζευγών διανυσμάτων δοκιμής MAE. Από τον Πίνακα φαίνεται ότι οι προτεινόμενες τεχνικές παρουσιάζουν χαμηλότερο υπερβάλλον κόστος υλοποίησης.

Πίνακας: Υπερβάλλον κόστος υλοποίησης των τεχνικών παραγωγής ζευγών διανυσμάτων MAE

Τεχνική	Υπερβάλλον Κόστος υλοποίησης
PEAT	3,23
WANG	2,70
DSG	1,09
BDSG	1,09
SRSG	1,53

Ορίζουμε σαν **αύξηση επί του βέλτιστου χρόνου (Increase Over Minimum Time)** για μια τεχνική παραγωγής ζευγών διανυσμάτων MAE το πηλίκο του πλήθους των κύκλων που απαιτούνται από μια τεχνική για την παραγωγή των ζευγών διανυσμάτων MAE δια του θεωρητικά ελάχιστου χρόνου που απαιτείται για την παραγωγή των ζευγών διανυσμάτων MAE.

$$\text{IncreaseOverMinimumTime} = \frac{\text{TimeRequired}}{\text{TheoreticalMinimum}}$$

Στον επόμενο Πίνακα δίνουμε την αύξηση επί του βέλτιστου χρόνου σα συνάρτηση του πλήθους των εισόδων της μονάδας υπό έλεγχο για τις τεχνικές που έχουν προταθεί στη βιβλιογραφία για την παραγωγή των ζευγών διανυσμάτων MAE.

Πίνακας: Αύξηση επί του βέλτιστου χρόνου για τις τεχνικές παραγωγής ζευγών διανυσμάτων δοκιμής MAE

n	Αύξηση επί του βέλτιστου χρόνου
PEAT	1,25
WANG	2,00
DSG	2,00
BDSG	2,00
SRSR	1,12

Προκειμένου να συγκρίνουμε τις τεχνικές ορίζουμε την **απόδοση** μιας τεχνικής παραγωγής ζευγών διανυσμάτων δοκιμής MAE σαν το γινόμενο του αντιστρόφου του υπερβάλλοντος κόστους υλοποίησης επί την αύξηση επί του βέλτιστου χρόνου.

$$Effectiveness = \frac{1}{HardwareOverheadIncrease} \times \frac{1}{IncreaseOverMinimumTime}$$

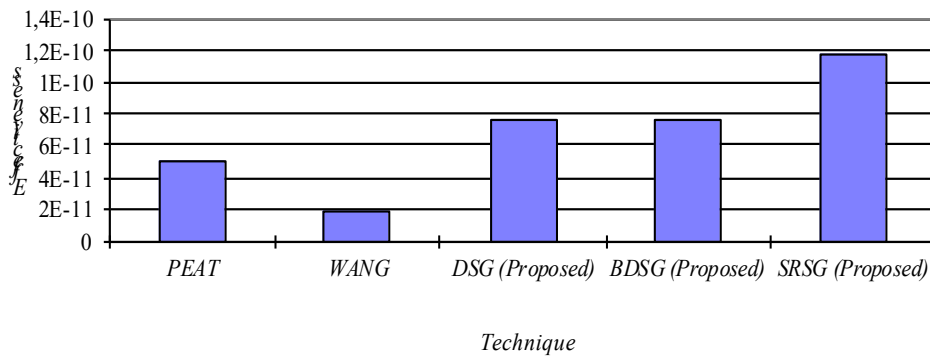
Δοθέντος του ότι όσο πιο μικρή είναι η τιμή καθενός από τα παραπάνω μέτρα για μια τεχνική τόσο καλύτερη είναι η αντίστοιχη τεχνική, μια τεχνική είναι τόσο καλύτερη όσο η **απόδοσή** της είναι υψηλότερη. Στον επόμενο Πίνακα παρουσιάζουμε την απόδοση των τεχνικών παραγωγής ζευγών διανυσμάτων MAE σε συνάρτηση του πλήθους των εισόδων της μονάδας υπό έλεγχο, και στην επόμενη Εικόνα παρουσιάζουμε γραφικά τα δεδομένα του Πίνακα. Από τον Πίνακα και την Εικόνα μπορεί κανείς να καταλήξει στο συμπέρασμα ότι οι προτεινόμενες τεχνικές είναι πιο αποδοτικές από τις τεχνικές που έχουν προταθεί στη βιβλιογραφία για την παραγωγή ζευγών διανυσμάτων MAE.

Πίνακας: Απόδοση τεχνικών παραγωγής ζευγών διανυσμάτων MAE

n	Απόδοση ($\times 10^{-3}$)
PEAT	1,2
WANG	1,1
DSG	3,7
BDSG	3,7
SRSR	5,5

Θα πρέπει να αναφερθεί ότι τα στοιχεία μνήμης που απαιτούνται για την υλοποίηση των προτεινόμενων τεχνικών καθώς και της τεχνικής των Wang και Gupta (flip flop τύπου D, scan flip flop) είναι διαθέσιμα σε οποιαδήποτε βιβλιοθήκη standard cell οι οποίες συνοδεύουν την πλειοψηφία των εργαλείων CAD και για το λόγο αυτό η υλοποίησή τους είναι πιο ελκυστική σε περιβάλλον σχεδίασης στο οποίο χρησιμοποιούνται βιβλιοθήκες standard cells. Δεν ισχύει το ίδιο για την τεχνική PEAT, αφού η υλοποίησή της απαιτεί τη χρήση του scan flip flop με ικανότητα flip, το οποίο δεν είναι διαθέσιμο σε βιβλιοθήκες standard cells.

SIC pair generation techniques



Εικόνα: Απόδοση των τεχνικών παραγωγής ζευγών διανυσμάτων MAE

Λαμβάνοντας υπόψη την παραπάνω παρατήρηση, σε συνδυασμό με τα αποτελέσματα της Εικόνας, καταλήγουμε αβίαστα στο συμπέρασμα ότι οι προτεινόμενες τεχνικές είναι πιο ελκυστικές από τις τεχνικές που έχουν προταθεί στη διεθνή βιβλιογραφία για την παραγωγή ζευγών διανυσμάτων δοκιμής MAE σε περιβάλλον ενσωματωμένης αυτοδοκιμής.

Στην Παράγραφο αυτή παρουσιάσαμε τις τεχνικές που έχουν προταθεί στη διεθνή βιβλιογραφία για την παραγωγή ζευγών διανυσμάτων MAE σε περιβάλλον ενσωματωμένης αυτοδοκιμής.

Στη συνέχεια παρουσιάσαμε νέες τεχνικές για την παραγωγή των ζευγών διανυσμάτων MAE. Η πρώτη από τις τεχνικές αυτές στηρίζεται στη χρήση ενός αποκωδικοποιητή για την παραγωγή των ζευγών διανυσμάτων MAE έχει το όνομα Decoder-based SIC pair generation technique (DSG). Στη συνέχεια προτείναμε μια ακόμη τεχνική παραγωγής των ζευγών διανυσμάτων MAE με το όνομα BDSG, η οποία αποτελεί επέκταση της τεχνικής BILBO. Η τελευταία χρησιμοποιείται ευρύτατα στην πράξη για την παραγωγή απλών διανυσμάτων σε περιβάλλον ενσωματωμένης αυτοδοκιμής. Η αύξηση του κόστους υλοποίησης της τεχνικής BILBO προκειμένου να παραχθούν τα ζεύγη MAE είναι μικρότερο του 40%. Αυτό σημαίνει ότι στην πράξη με αυτό το επιπλέον κόστος υλοποίησης είναι δυνατή η παραγωγή ζευγών διανυσμάτων MAE σε πραγματικά κυκλώματα. Το σημείο αυτό αποδεικνύει τη χρησιμότητα και εφαρμοσιμότητα της προτεινόμενης τεχνικής.

Στη συνέχεια παρουσιάσαμε μια νέα τεχνική η οποία στηρίζεται στη χρήση ενός καταχωρητή ολίσθησης για την παραγωγή των ζευγών διανυσμάτων MAE, με το όνομα Shift-Register based SIC pair generator, SRSG. Η τεχνική SRSG παράγει τα ζεύγη διανυσμάτων MAE σε λιγότερο χρόνο από ότι οποιαδήποτε άλλη τεχνική, με κόστος υλοποίησης χαμηλότερο από τις τεχνικές που έχουν προταθεί στη βιβλιογραφία. Τέλος, συγκρίναμε τις προτεινόμενες τεχνικές παραγωγής ζευγών διανυσμάτων MAE με τις τεχνικές που έχουν προταθεί στην ανοικτή βιβλιογραφία. Από τις συγκρίσεις φάνηκε ότι οι προτεινόμενες τεχνικές είναι πιο αποτελεσματικές από τις ήδη υπάρχουσες όσον αφορά το κόστος υλοποίησης και το χρόνο που απαιτείται για την ολοκλήρωση του ελέγχου.

