Πανεπιστήμιο Δυτικής Αττικής

Σχολή Μηχανικών

Τμήμα Μηχανικών Πληροφορικής και Υπολογιστών

Εργαστήριο Σχεδίασης Ψηφιακών Συστημάτων

Προσομοίωση στο εργαλείο Modelsim Altera Starter edition 6.6.d

Μέρος Α: Χωρίς πρόγραμμα testbench

1. Γράφω τον κώδικα στο αρχείο mux1.vhd

2. Ανοίγω το εργαλείο και από το μενού Compile επιλέγω Compile...

| ModelSim ALTERA STA | RTER EDIT | ION 6.6d - Custom Altera Version | Mendau II-la | | | | | - 0 | × |
|-------------------------------|-----------|---|----------------|--|--------------------------------|----------------------|---|---------------------|-----|
| Elle Edit View Comt | X Ba f | late Add Library igois Layout 8 쇼그 그 I @ - 44 문 18 🖬 | Window Heip | X 🗱 🗈 🐘 🖌 Layout NoDesign | ▼ Colu | umnLayout AllColumn: | • | | |
| di utraru | | | * | | | | | | |
| All cordry | Tune | D-th | | | | | | | |
| * Name | Type | Path College (construction of the standard structure) | | | | | | | |
| . dl 220madal | Library | C:/Users/V0yageri/Desktop/Work | a a | | | | | | |
| 220model war | Library | (MODEL_TECH//altera/viru/22011000 | o udal | | | | | | |
| I di altera | Library | MODEL_TECH/_/altera/veriog/220inc | Juei | | | | | | |
| | Library | MODEL_TECH//altera/vhu/altera | _ | | | | | | _ |
| | Library | tMODEL_TECH/_/altera/virul/altera_in | M Compile Sour | ce Files | | × | | | |
| I ditera mf | Library | MODEL_TECH/ /altera/verlog/altera | | | | | | | |
| A ditera mf ver | Library | MODEL_TECH/ /altera/vering/altera | Library: wor | · · | | | | | |
| I ditera ver | Library | \$MODEL_TECH/_/altera/verilog/altera | Leak in | Dealsten | - 🙃 🐝 📼 - | | | | |
| altoyh | Library | MODEL_TECH/ /altera/vbd/altovb | LOOK III. | | - <u>c</u> <u>.</u> <u>.</u> . | | | | |
| All altoyh lib | Library | SMODEL_TECH/ /altera/vhd/altgxb | - | Name | Date modified | Type ^ | | | |
| altown ver | Library | \$MODEL_TECH//altera/verilog/altoxh | | - must yeld | 19-Mar-17-6-42 DM | Hard D | | | |
| | Library | SMODEL_TECH//altera/vhdl/arriagx | Quick access | and the shade of t | 10-Mar-17-6-41 DM | | | | |
| - It arriagy has | Library | \$MODEL_TECH//altera/vhdl/arriagx | | mux_tb.vnd | 10-IVIAI-17 0:41 PIVI | Hard L | | | |
| + 1 arriagx hssi ver | Library | \$MODEL_TECH//altera/verilog/arriag | | ANDgate.vnd | 07-Mar-17 5:56 PM | Hard L | | | |
| + II arriagx ver | Library | \$MODEL_TECH//altera/verilog/arriag | Desktop | work | 18-Mar-17 6:42 PM | 1 File fol | | | |
| | Library | \$MODEL_TECH//altera/vhdl/arriai | - | ISE_6.1 | 07-Mar-17 5:50 PM | 1 File fol | | | |
| • It arriai hssi | Library | \$MODEL_TECH//altera/vhdl/arriai_hs | ••• | VM_windows_mikro | 06-Mar-17 5:10 PM | 1 File fol | | | |
| - arriai hssi ver | Library | \$MODEL_TECH//altera/verilog/arriai | Libraries | Ptyxiaki Riskas | 14-Feb-17 12:49 PN | VI File fol | | | |
| arrial pde hip | Library | \$MODEL TECH//altera/vhdl/arriali po | | Linux_VM2 | 09-Feb-17 7:12 PM | File fol | | | |
| . arriai_pcie_hip_ver | Library | \$MODEL_TECH//altera/verilog/arriaii | | ets17 papers | 03-Feb-17 5:54 PM | File fol | | | |
| 12 1 2 1.2 | 100 C | Anne month to the test | This PC | Shortcuts | 22-Jan-17 12:20 PM | A File fol | | | |
| C Transcript | | | <u></u> | 111 | 05-Dec-16 12-15 PM | M Filefol | | | +#× |
| # Reading C:/alters | (10.1ep1 | (modelsim ase/tol/usim/nref | _ | Descente Drint | 20 New 16 12:00 D | File fail | | | |
| Theading covarcera, | 10.1391 | modelsim_dse/ col/ vsim/ piel. | Network | Papers to Print | 26-NOV-10 12:00 P. | | | | - |
| ModelSim> | | | | Desktop Recycle | 20-Nov-10 3:19 PM | 1 File fol · | | | |
| | | | | | | | | | |
| | | | | File name: | - | Compile | | | |
| | | | | Glass of homes UDI Disc designed at the data to date the | | Dasa | | | |
| | | | | Hies of type. [HDL files (.v; .vi; .vnd; .vnd; .vnd; | o; .ndi; .vo; 💌 | Done | | | |
| | | | | | 1 | | | | |
| | | | Compile selec | ted hies together Default Uptions Edit S | ource | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | - |
| <no design="" loaded=""></no> | | <no context=""></no> | | | | | | | |
| 🗄 ク 🗈 🏮 | ١ | 🗎 😰 💥 🕅 📑 | | | | | ^ | (1)) ¶∰ ENG 7:06 PM | Ę |

3. Επιλέγω το mux1.vhd και κάνω κλικ στο compile

4. Κάνω κλικ στο Done

- 5. Από το μενού Simulate επιλέγω Start Simulation...
- 6. Στο πλαίσιο που ανοίγει επιλέγω το mux2to1 > dataflow και πατάω ΟΚ
- 7. Στο μενού Add > To wave > Signals in region



8. Δεξί κλικ στο σήμα a, και Force...



9. Στο πλαίσιο που ανοίγει, στο value βάζω την τιμή που θέλω

| Force Selected Signal | | × | | | | | | |
|-----------------------------|----------|--------|--|--|--|--|--|--|
| Signal Name: sim:/mux2to1/a | | | | | | | | |
| Value: 0 | | | | | | | | |
| Kind | | | | | | | | |
| Freeze C Driv | e 🔿 Depo | osit | | | | | | |
| Delay For: 0 | | | | | | | | |
| Cancel After: | | | | | | | | |
| | ОК | Cancel | | | | | | |

10. Επαναλαμβάνω για τα b, s.

11. Πατάω το Run στη γραμμή εργαλείων (πάνω) ή Simulate > Run > Run 100



Μέρος Β: Με πρόγραμμα testbench

1. Γράφω τον κώδικα στο αρχείο mux1.vhd

LIBRARY ieee ; USE ieee.std_logic_1164.all;

```
ENTITY mux2to1 IS PORT (

a, b, s: IN bit;

c: OUT bit);

END mux2to1 ;

ARCHITECTURE dataflow OF mux2to1 IS

BEGIN

c <= a WHEN s='1' ELSE b;

END dataflow;
```

2. Γράφω τον κώδικα προσομοίωσης στο αρχείο mux_tb.vhd

```
entity test_mux is
end test_mux;
architecture test_b of test_mux is
signal A1, B1, S1, C1: bit;
component mux2to1 port (a, b, s: in bit; c: out bit);
end component;
begin
M1: mux2to1 PORT MAP (a=>A1, b=>B1, s=>s1, c=>c1);
process
begin
A1 <= '1'; B1 <= '0'; S1 <= '1'; wait for 20 ps;
A1 <= '1'; B1 <= '0'; S1 <= '0'; wait for 20 ps;
end process;
end test_b;
```

3. Ανοίγω το εργαλείο και από το μενού Compile επιλέγω Compile...

- 4. Επιλέγω το mux1.vhd και κάνω κλικ στο compile
- 5. Επιλέγω το mux_tb.vhd και κάνω κλικ στο compile
- 6. Κάνω κλικ στο Done
- 7. Από το μενού Simulate > Start Simlation
- 8. Επιλέγω το test_mux > test_b και πατάω OK.
- 9. Μενού Add > to wave > signals in design (ή signals in region)
- 10. ΠατάωRun (ή Simulate > Run).