

Υπολογιστικά Συστήματα Υψηλής Αξιοπιστίας

Σχεδίαση για Δοκιμασιμότητα

Δρ. Γκάμας Βασίλειος

Επιστημονικός Συνεργάτης
vgkamas@uniwa.gr

Πανεπιστήμιο Δυτικής Αττικής
Τμήμα Μηχανικών Πληροφορικής και Υπολογιστών

Σκοπός παρουσίασης

- Να εισάγει τους φοιτητές στις τεχνικές που χρησιμοποιούνται για σχεδίαση για δοκιμαστικότητα, τόσο σε ακολουθιακά όσο και σε συνδυαστικά κυκλώματα

Εισαγωγή (1/2)

- Αρχικά η σχεδίαση και η δοκιμή των ηλεκτρονικών κυκλωμάτων γίνονταν ξεχωριστά
 - Η ποιότητα της δοκιμής καθοριζόταν από τον αριθμό των ελαττωματικών κυκλωμάτων τα οποία διέφευγαν προς τον τελικό καταναλωτή
 - Ποσοτικό κριτήριο της ποιότητας της δοκιμής ήταν ο αριθμός των ελαττωματικών κυκλωμάτων στο εκατομμύριο (PPM)
 - Η συγκεκριμένη προσέγγιση λειτουργούσε ικανοποιητικά για κυκλώματα μικρής κλίμακας ολοκλήρωσης
 - Αδυναμία βελτίωσης της κάλυψης σφαλμάτων πάνω από ποσοστό 80%
- Το αυξημένο κόστος ελέγχου και η χαμηλή ποιότητα ελέγχου οδήγησαν στη χρήση της σχεδίασης για δοκιμαστικότητα (Design For Testability – DFT)

Εισαγωγή (2/2)

- Βασικές αιτίες στις οποίες οφείλεται η χαμηλή δοκιμαστικότητα ενός κυκλώματος
 - Η ύπαρξη ακολουθιακών τμημάτων και μεγάλων συνδυαστικών τμημάτων
 - Το μικρό πλήθος ακροδεκτών εισόδου/εξόδου συγκριτικά με το πλήθος των εσωτερικών στοιχείων του κυκλώματος.
- Με την ύπαρξη συνδυαστικών και ακολουθιακών τμημάτων σε ένα ολοκληρωμένο κύκλωμα αυξάνεται το πλήθος των λειτουργιών που μπορεί να εκτελέσει το κύκλωμα
- Από την άλλη μεριά όμως, η ύπαρξη των ακολουθιακών τμημάτων μειώνει τη δοκιμαστικότητα των εσωτερικών γραμμών, εφόσον για να τεθεί μια γραμμή σε μια λογική τιμή και να παρατηρηθεί η τιμή αυτή, απαιτείται μια ακολουθία διανυσμάτων δοκιμής (synchronising sequence)
- Συνεπώς απαιτείται μεγαλύτερο πλήθος διανυσμάτων και το κόστος του ελέγχου αυξάνεται

Τεχνικές DFT

- Αδόμητες (ad Hoc) DFT τεχνικές
 - Σκοπός τους η βελτίωση της δοκιμαστικότητας ενός κυκλώματος/συστήματος και η διευκόλυνση της αυτόματης παραγωγής διανυσμάτων δοκιμής (ATPG)
 - Αδυνατούν να επιτύχουν κάλυψη σφαλμάτων πάνω από 90%
- Δομημένες (structured) DFT τεχνικές
 - Σκοπός τους η αντιμετώπιση των προβλημάτων ελεγχιμότητας και παρατηρησιμότητας των ακολουθιακών κυκλωμάτων
 - Η πιο δημοφιλής τεχνική δομημένου DFT είναι η τεχνική σάρωσης (scan)
- Σύγχρονες εξελίξεις
 - Πρόσφατα οι τεχνικές DFT τείνουν να μεταφερθούν από το επίπεδο πύλης στο επίπεδο RTL (register transfer level)

Δοκιμασιμότητα κυκλωμάτων

- Δοκιμασιμότητα (testability):
 - Το μέτρο της προσπάθειας ή του κόστους δοκιμής ενός λογικού κυκλώματος
- Ανάλυση δοκιμασιμότητας (testability analysis):
 - Η διαδικασία αξιολόγησης της δοκιμασιμότητας ενός λογικού κυκλώματος
- Τεχνικές ανάλυσης δοκιμασιμότητας:
 - Βασιζόμενες στην τοπολογία (topology-based)
 - SCOAP (Sandia Controllability/Observability Analysis Program)
 - Πιθανοτικές (probability-based)
 - Βασιζόμενες στην προσομοίωση (simulation-based)

SCOAP τεχνική

SCOAP τεχνική (1/4)

- Ελεγχιμότητα (controllability)
 - Αντικατοπτρίζει τη δυσκολία να τεθεί μία γραμμή σε μια αναγκαία λογική τιμή, μέσω των ακροδεκτών εισόδου του ολοκληρωμένου κυκλώματος
- Παρατηρησιμότητα (observability)
 - Αντικατοπτρίζει τη δυσκολία να δρομολογηθεί η λογική τιμή μιας εσωτερικής γραμμής προς τους ακροδέκτες εξόδου του ολοκληρωμένου κυκλώματος

SCOAP τεχνική (2/4)

- Ορίζονται 6 αριθμητικές τιμές για κάθε σήμα s σε ένα λογικό κύκλωμα
- Παράμετροι συνδυαστικής ελεγχιμότητας και παρατηρισιμότητας
 - $CC0(s)$: combinational 0-controllability of s : δυσκολία να θέσουμε μία γραμμή s ενός κυκλώματος στο λογικό 0
 - $CC1(s)$: combinational 1-controllability of s : δυσκολία να θέσουμε μία γραμμή s ενός κυκλώματος στο λογικό 1
 - $CO(s)$: combinational observability of s : δυσκολία να δρομολογήσουμε την λογική τιμή μιας γραμμής s στην έξοδο του κυκλώματος
- Παράμετροι ακολουθιακής ελεγχιμότητας και παρατηρισιμότητας
 - $SC0(s)$: sequential 0-controllability of s : δυσκολία να θέσουμε μία γραμμή s ενός κυκλώματος στο λογικό 0
 - $SC1(s)$: sequential 1-controllability of s : δυσκολία να θέσουμε μία γραμμή s ενός κυκλώματος στο λογικό 1
 - $SO(s)$: sequential observability of s : δυσκολία να δρομολογήσουμε την λογική τιμή μιας γραμμής s στην έξοδο του κυκλώματος

SCOAP τεχνική (3/4)

- Υψηλές τιμές των παραμέτρων σημαίνει μεγαλύτερη δυσκολία παρατηρησιμότητας ή ελεγχιμότητας μιας γραμμής
- Οι παράμετροι CC0, CC1 και CO σχετίζονται με το πλήθος των σημάτων που απαιτούνται για τον έλεγχο/παρατήρηση του s από τις κύριες εισόδους/εξόδους
- Οι παράμετροι SC0, SC1 και SO σχετίζονται με το πλήθος των κύκλων ρολογιού που απαιτούνται για τον έλεγχο/παρατήρηση του s από τις κύριες εισόδους/εξόδους

SCOAP τεχνική (4/4)

- Η τιμή των μέτρων ελεγχιμότητας κυμαίνεται μεταξύ 1 (ευκολότερο) και άπειρο (δυσκολότερο).
- Η τιμή των μέτρων παρατηρησιμότητας κυμαίνεται μεταξύ 0 (ευκολότερο) και άπειρο (δυσκολότερο).
- Οι τιμές των $CC0$ και $CC1$ μιας κύριας εισόδου τίθεται στο 1
- Οι τιμές των $SC0$ και $SC1$ μιας κύριας εισόδου τίθεται στο 0
- Οι τιμές των CO και SO μιας κύριας εξόδου τίθεται στο 0

SCOAP - Υπολογισμός συνδυαστικής ελεγχιμότητας και παρατηρησιμότητας (1/3)

- Το πρώτο βήμα στην τεχνική SCOAP είναι ο υπολογισμός της συνδυαστικής ελεγχιμότητας όλων των σημάτων
- Αυτός ο υπολογισμός πραγματοποιείται με έναν breadth-first τρόπο από τις κύριες εισόδους προς τις κύριες εξόδους του κυκλώματος
- Σε κάθε λογική πύλη ανατίθεται ένα επίπεδο κατάταξης

SCOAP - Υπολογισμός συνδυαστικής ελεγχιμότητας και παρατηρησιμότητας (2/3)

- Η ελεγχιμότητα της εξόδου κάθε πύλης υπολογίζεται σε σειρά κατάταξης μετά τον υπολογισμό της ελεγχιμότητας όλων των εισόδων της πύλης
- Οι κανόνες υπολογισμού της συνδυαστικής ελεγχιμότητας παρουσιάζονται σε επόμενη διαφάνεια
 - Προστίθεται 1 στο τέλος κάθε κανόνα για να υποδείξει ότι το σήμα περνά μέσω ενός επιπλέον επιπέδου λογικής πύλης
- Μία μεγάλη τιμή του $CC0(s)$ ή του $CC1(s)$ υποδεικνύει ότι είναι πιο δύσκολο να ελεγχθεί η τιμή του σήματος s στο 0 ή 1 από τις κύριες εισόδους του κυκλώματος

SCOAP - Υπολογισμός συνδυαστικής ελεγχιμότητας και παρατηρησιμότητας (3/3)

- Εφόσον υπολογιστεί η συνδυαστική ελεγχιμότητα όλων των σημάτων, το επόμενο βήμα είναι ο υπολογισμός της συνδυαστικής παρατηρησιμότητας κάθε σήματος.
- Ο υπολογισμός πραγματοποιείται πάλι με έναν breadth-first τρόπο από τις κύριες εξόδους προς τις κύριες εισόδους του κυκλώματος.
- Οι κανόνες υπολογισμού της συνδυαστικής παρατηρησιμότητας παρουσιάζονται σε επόμενη διαφάνεια
 - Προστίθεται 1 στο τέλος κάθε κανόνα για να υποδείξει ότι το σήμα περνά μέσω ενός επιπλέον επιπέδου λογικής πύλης

SCOAP - Υπολογισμός συνδυαστικής ελεγχιμότητας (1/4)

- Αν η έξοδος μιας λογικής πύλης προκύπτει ελέγχοντας την τιμή μόνο μιας εισόδου τότε
 - Output controllability = $\min(\text{input controllabilities}) + 1$
- Αν η έξοδος μιας λογικής πύλης προκύπτει ελέγχοντας την τιμή όλων των εισόδων τότε
 - Output controllability = $\text{Sum}(\text{input controllabilities}) + 1$
- Controlling και non-controlling τιμές



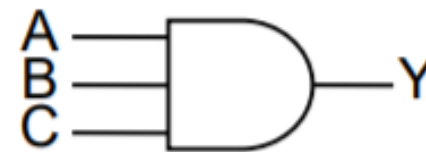
Controlling value = 0
Non-controlling value = 1



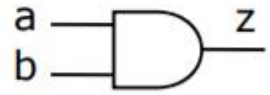
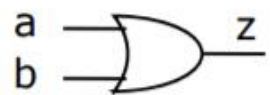
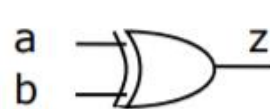




Controlling value = 1
Non-controlling value = 0

SCOAP - Υπολογισμός συνδυαστικής ελεγχιμότητας (2/4)

- Έστω μια πύλη AND 3 εισόδων
- Ισχύουν οι παρακάτω σχέσεις
 - $CC1(Y) = CC1(A) + CC1(B) + CC1(C) + 1$
 - $CC0(Y) = \min\{CC0(A), CC0(B), CC0(C)\} + 1$
- Στο αποτέλεσμα προστίθεται 1 για να υποδείξει ότι το σήμα περνά μέσω ενός επιπλέον επιπέδου λογικής πύλης
- Η ελεγχιμότητα της εξόδου κάθε πύλης υπολογίζεται χρησιμοποιώντας την ελεγχιμότητα κάθε επιμέρους εισόδου της πύλης



SCOAP - Υπολογισμός συνδυαστικής ελεγχιμότητας (3/4)

	$CC0(z) = \mathbf{min} (CC0(a), CC0(b)) + 1$ $CC1(z) = CC1(a) + CC1(b) + 1$
	$CC0(z) = CC0(a) + CC0(b) + 1$ $CC1(z) = \mathbf{min} (CC1(a), CC1(b)) + 1$
	$CC0(z) = \mathbf{min} (CC0(a) + CC0(b), CC1(a) + CC1(b)) + 1$ $CC1(z) = \mathbf{min} (CC1(a) + CC0(b), CC0(\mathbf{a}) + CC1(b)) + 1$
	$CC0(z) = CC1(a) + CC1(b) + 1$ $CC1(z) = \mathbf{min} (CC0(a), CC0(b)) + 1$
	$CC0(z) = \mathbf{min} (CC1(a), CC1(b)) + 1$ $CC1(z) = CC0(a) + CC0(b) + 1$
	$CC0(z) = \mathbf{min} (CC0(a) + CC1(b), CC1(a) + CC0(b)) + 1$ $CC1(z) = \mathbf{min} (CC0(a) + CC0(b), CC1(\mathbf{a}) + CC1(b)) + 1$
	$CC0(z) = CC1(a) + 1$ $CC1(z) = CC0(a) + 1$

SCOAP - Υπολογισμός συνδυαστικής ελεγχιμότητας (4/4)

	0-Controllability (Primary Input, Output, Branch)	1-Controllability (Primary Input, Output, Branch)
Primary Input	1	1
AND	$\min \{\text{input 0-controllabilities}\} + 1$	$\sum (\text{input 1-controllabilities}) + 1$
OR	$\sum (\text{input 0-controllabilities}) + 1$	$\min \{\text{input 1-controllabilities}\} + 1$
NOT	Input 1-controllability + 1	Input 0-controllability + 1
NAND	$\sum (\text{input 1-controllabilities}) + 1$	$\min \{\text{input 0-controllabilities}\} + 1$
NOR	$\min \{\text{input 1-controllabilities}\} + 1$	$\sum (\text{input 0-controllabilities}) + 1$
BUFFER	Input 0-controllability + 1	Input 1-controllability + 1
XOR	$\min \{\text{CC1}(a) + \text{CC1}(b), \text{CC0}(a) + \text{CC0}(b)\} + 1$	$\min \{\text{CC1}(a) + \text{CC0}(b), \text{CC0}(a) + \text{CC1}(b)\} + 1$
XNOR	$\min \{\text{CC1}(a) + \text{CC0}(b), \text{CC0}(a) + \text{CC1}(b)\} + 1$	$\min \{\text{CC1}(a) + \text{CC1}(b), \text{CC0}(a) + \text{CC0}(b)\} + 1$
Branch	Stem 0-controllability	Stem 1-controllability

Note: a and b are inputs of an XOR or XNOR gate.

SCOAP - Υπολογισμός συνδυαστικής παρατηρησιμότητας (1/2)

- Για να παρατηρήσουμε την είσοδο μιας πύλης παρατηρούμε την έξοδο και θέτουμε τις εισόδους σε non-controlling τιμές.

$$CO(a) = CO(z) + CC1(b) + 1$$

$$CO(b) = CO(z) + CC1(a) + 1$$

$$CO(a) = CO(z) + CC0(b) + 1$$

$$CO(b) = CO(z) + CC0(a) + 1$$

$$CO(a) = CO(z) + \min(CC0(b), CC1(b)) + 1$$

$$CO(b) = CO(z) + \min(CC0(a), CC1(a)) + 1$$

$$CO(a) = CO(z) + CC1(b) + 1$$

$$CO(b) = CO(z) + CC1(a) + 1$$

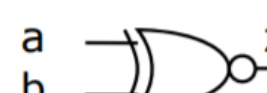
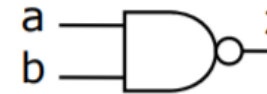
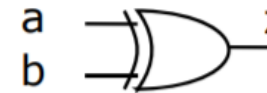
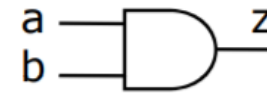
$$CO(a) = CO(z) + CC0(b) + 1$$

$$CO(b) = CO(z) + CC0(a) + 1$$

$$CO(a) = CO(z) + \min(CC0(b), CC1(b)) + 1$$

$$CO(b) = CO(z) + \min(CC0(a), CC1(a)) + 1$$

$$CO(a) = CO(z) + 1$$

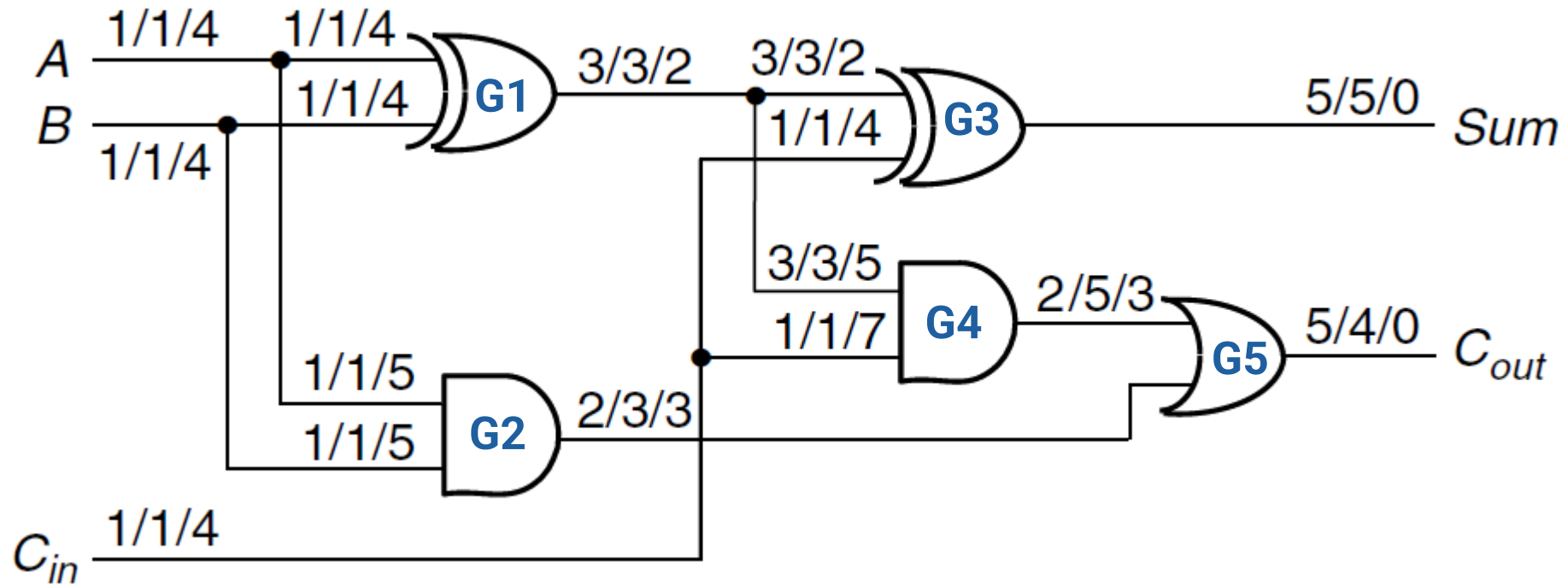


SCOAP - Υπολογισμός συνδυαστικής παρατηρησιμότητας (2/2)

	Observability (Primary Output, Input, Stem)
Primary Output	0
AND/NAND	\sum (output observability, 1-controllabilities of other inputs) + 1
OR/NOR	\sum (output observability, 0-controllabilities of other inputs) + 1
NOT/BUFFER	Output observability + 1
XOR/XNOR	$a: \sum$ (output observability, $\min \{CC0(b), CC1(b)\}) + 1$
	$b: \sum$ (output observability, $\min \{CC0(a), CC1(a)\}) + 1$
Stem	\min {branch observabilities}

Note: a and b are inputs of an XOR or XNOR gate.

SCOAP - Παράδειγμα υπολογισμού συνδυαστικής ελεγχιμότητας και παρατηρησιμότητας



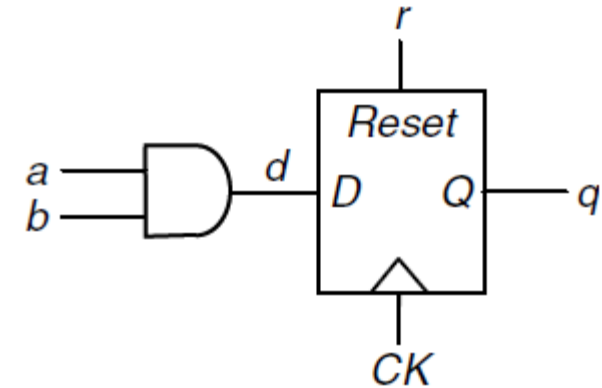
Τα $v_1/v_2/v_3$ αναπαριστούν τις παραμέτρους 0-controllability (v_1), 1-controllability (v_2) και observability (v_3) του σήματος

SCOAP - Ακολουθιακή ελεγχσιμότητα και παρατηρησιμότητα (1/3)

- Συνδυαστική
 - Η τιμή του $CC0$, $CC1$ και CO αυξάνεται κατά 1 όταν περνάμε μέσω μιας πύλης (είτε forward είτε backward)
- Ακολουθιακή
 - Η τιμή του SCO , $SC1$ και SO αυξάνεται κατά 1 όταν περνάμε μέσω ενός flip flop (είτε forward είτε backward)

SCOAP - Ακολουθιακή ελεγχξιμότητα και παρατηρησιμότητα (2/3)

- Έστω το παρακάτω θετικά ακμοπυροδότητο (positive-edge-triggered) D Flip-Flop με μία είσοδο ασύγχρονου μηδενισμού (asynchronous reset)
- Ακολουθιακή ελεγχξιμότητα και παρατηρησιμότητα σήματος d
 - $SC0(d) = \min \{SC0(a), SC0(b)\}$
 - $SC1(d) = SC1(a) + SC1(b)$
- Συνδυαστική ελεγχξιμότητα και παρατηρησιμότητα σήματος d
 - $CC0(d) = \min \{CC0(a), CC0(b)\} + 1$
 - $CC1(d) = CC1(a) + CC1(b) + 1$



Input			Output	
D	reset	clock	Q	Q'
0	0	0	0	1
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	0	1
1	0	1	1	0
1	1	0	0	1
1	1	1	0	1

SCOAP - Ακολουθιακή ελεγχσιμότητα και παρατηρησιμότητα (3/3)

- Για να θέσουμε τα δεδομένα εξόδου q του D flip-flop στην τιμή 1 πρέπει να θέσουμε την τιμή των δεδομένων εισόδου d ίση με 1 και το σήμα reset ίσο με 0 εφαρμόζοντας μία ανοδική ακμή ρολογιού
 - $CC1(q) = CC1(d) + CC0(CK) + CC1(CK) + CC0(r) + 1$
 - $SC1(q) = SC1(d) + SC0(CK) + SC1(CK) + SC0(r)$
- Τα δεδομένα εισόδου d μπορεί να παρατηρηθούν στο q θέτοντας την τιμή του σήματος reset στο 0 και εφαρμόζοντας μία ανοδική ακμή ρολογιού
 - $CO(d) = CO(q) + CC0(CK) + CC1(CK) + CC0(r) + 1$
 - $SO(d) = SO(q) + SC0(CK) + SC1(CK) + SC0(r)$

Ανάλυση δοκιμαστικότητας στηριζόμενη σε πιθανότητες

Ανάλυση δοκιμαστικότητας στηριζόμενη σε πιθανότητες (1/3)

- Χρησιμοποιείται για να αναλύσει την τυχαία δοκιμαστικότητα ενός κυκλώματος
 - $C0(s)$: probability-based 0-controllability of s : πιθανότητα ελεγχιμότητας του σήματος στην τιμή 0.
 - $C1(s)$: probability-based 1-controllability of s : πιθανότητα ελεγχιμότητας του σήματος στην τιμή 1.
 - $O(s)$: probability-based observability of s : πιθανότητα να παρατηρηθεί το σήμα s σε μία κύρια έξοδο.
- Οι τρεις παράμετροι κυμαίνονται μεταξύ του 0 και 1
- Οι πιθανότητες $C0$ και $C1$ σε μία κύρια είσοδο τίθενται στην τιμή 0.5 και η πιθανότητα O σε μία κύρια έξοδο τίθεται στην τιμή 1.
- Ισχύει η σχέση $C0(s) + C1(s) = 1$

Ανάλυση δοκιμασιμότητας στηριζόμενη σε πιθανότητες (2/3)

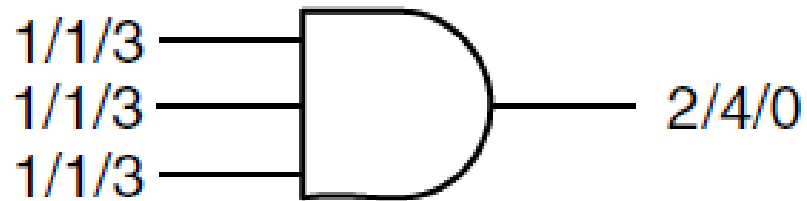
	0-controllability (Primary input, output, branch)	1-controllability (Primary input, output, branch)
Primary Input	p_0	$p_1 = 1 - p_0$
AND	$1 - (\text{output 1-controllability})$	Π (input 1-controllabilities)
OR	Π (input 0-controllabilities)	$1 - (\text{output 0-controllability})$
NOT	Input 1-controllability	Input 0-controllability
NAND	Π (input 1-controllabilities)	$1 - (\text{output 0-controllability})$
NOR	$1 - (\text{output 1-controllability})$	Π (input 0-controllabilities)
BUFFER	Input 0-controllability	Input 1-controllability
XOR	$1 - 1\text{-controllability}$	$\Sigma (C1(a) \times C0(b), C0(a) \times C1(b))$
XNOR	$1 - 1\text{-controllability}$	$\Sigma (C0(a) \times C0(b), C1(a) \times C1(b))$
Branch	Stem 0-controllability	Stem 1-controllability

Ανάλυση δοκιμαστικότητας στηριζόμενη σε πιθανότητες (3/3)

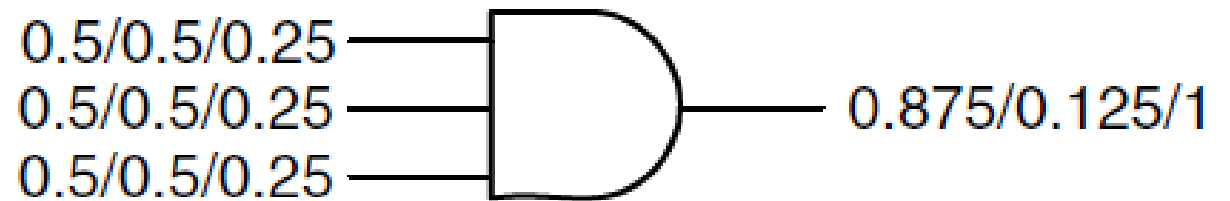
	Observability (Primary output, input, stem)
Primary Output	1
AND / NAND	Π (output observability, 1-controllabilities of other inputs)
OR / NOR	Π (output observability, 0-controllabilities of other inputs)
NOT / BUFFER	Output observability
XOR / XNOR	a : Π (output observability, \max {0-controllability of b , 1-controllability of b }) b : Π (output observability, \max {0-controllability of a , 1-controllability of a })
Stem	\max {branch observabilities}

a, b : inputs of an XOR or XNOR gate

Δοκιμασιτικότητα στηριζόμενη στην τεχνική SOAP και σε πιθανότητες



SCOAP-based



Probability-based

Τα $v_1/v_2/v_3$ αναπαριστούν τις παραμέτρους 0-controllability (v_1), 1-controllability (v_2) και observability (v_3) του σήματος

Ανάλυση δοκιμαστικότητας στηριζόμενη σε προσομοίωση

- Συμπληρωματική στην στηριζόμενη σε τοπολογία ανάλυση δοκιμαστικότητας (topology-based testability analysis)
- Παράγονται πιο ακριβείς εκτιμήσεις
- Απαιτείται μεγάλος χρόνος προσομοίωσης
- Εκτελείται μέσω στατιστικής δειγματοληψίας

Ad hoc και δομημένο DFT

- Ad hoc DFT: Παρουσιάζει τα ακόλουθα μειονεκτήματα:
 - Η επίδρασή του είναι τοπική και μη συστηματική
 - Δεν ακολουθείται συγκεκριμένη μεθοδολογία
- Δομημένο DFT: Παρουσιάζει τα ακόλουθα πλεονεκτήματα:
 - Εύκολη εφαρμογή και κοστολόγηση
 - Εγγυάται συγκεκριμένα αποτελέσματα
 - Ευκολία αυτοματοποίησης

Ad hoc DFT τεχνικές

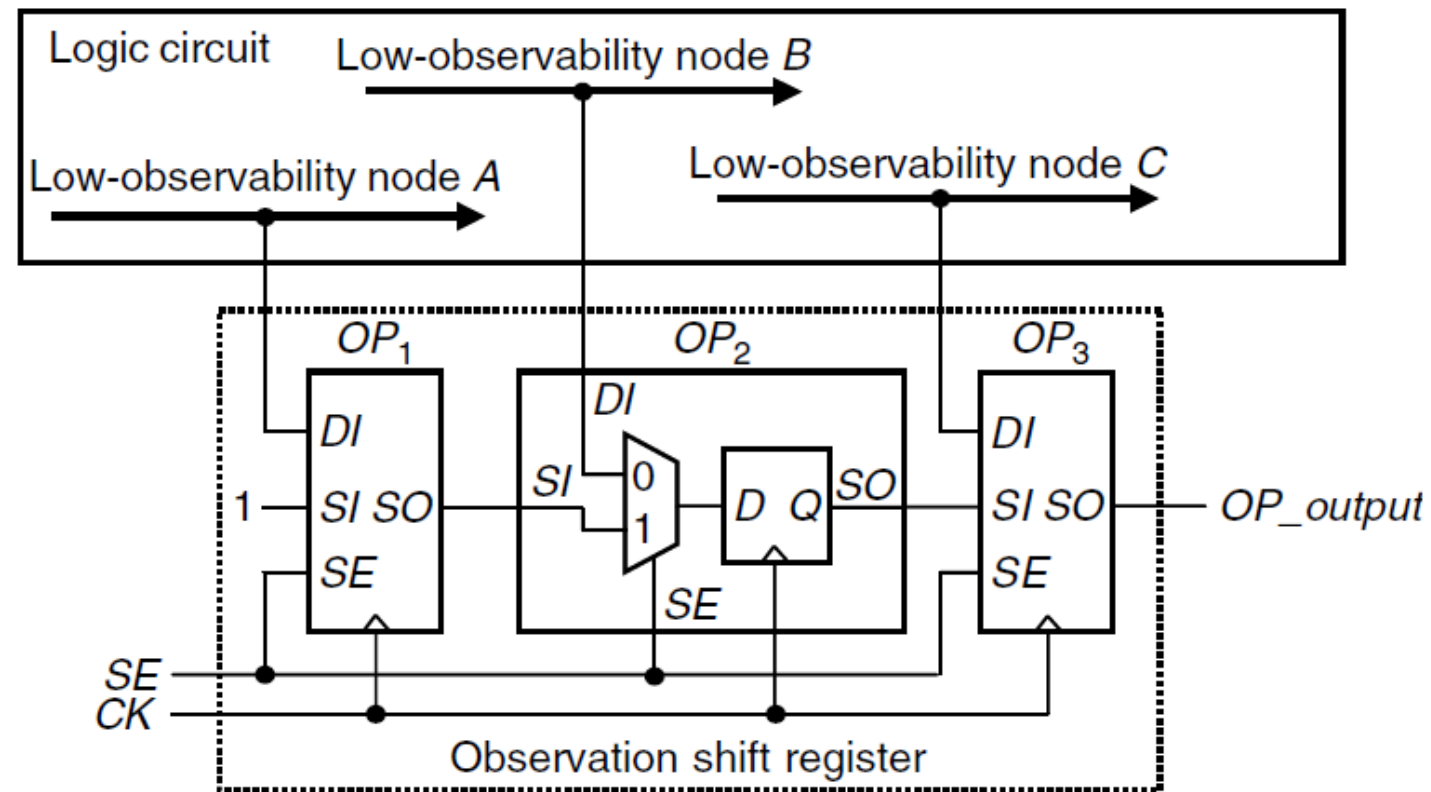
Ad hoc DFT τεχνικές (1/5)

- Τυπικές ad hoc τεχνικές
 - Εισαγωγή σημείων δοκιμής (test points)
 - Σημεία παρατήρησης (observation points)
 - Σημεία ελέγχου (control points)
 - Αποφυγή ασύγχρονου set/reset για τα στοιχεία αποθήκευσης
 - Αποφυγή βρόχων ανάδρασης στα συνδυαστικά κυκλώματα
 - Αποφυγή πλεονάζουσας λογικής (redundant logic)
 - Αποφυγή ασύγχρονης λογικής (asynchronous logic)
 - Κατάτμηση ενός μεγάλου κυκλώματος σε μικρότερα τμήματα

Ad hoc DFT τεχνικές (2/5)

Εισαγωγή σημείου παρατήρησης (observation point)

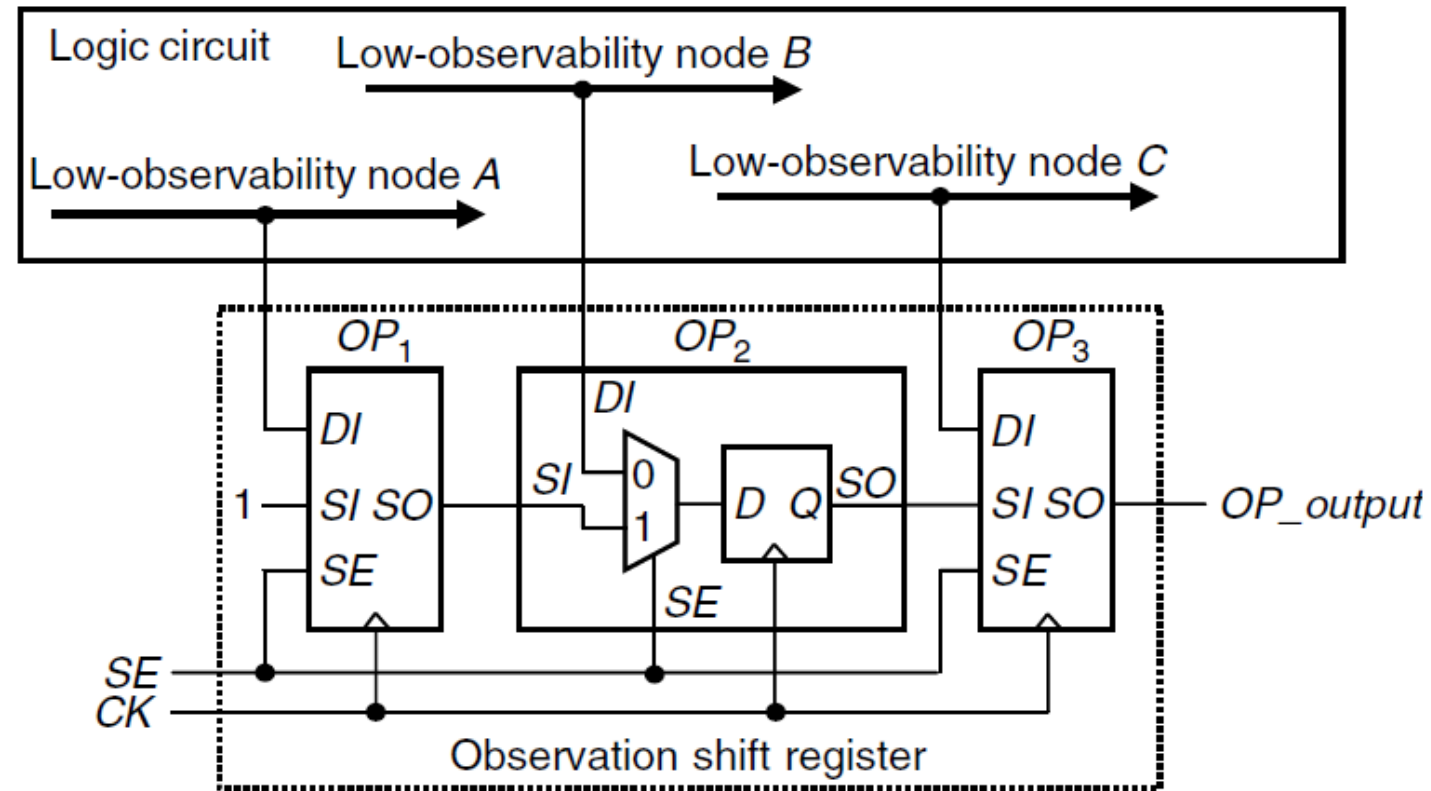
- Το OP2 δείχνει την δομή ενός σημείου παρατήρησης το οποίο αποτελείται από έναν πολυπλέκτη και ένα D flip-flop.
- Κάθε κόμβος χαμηλής παρατηρησιμότητας συνδέεται στην είσοδο 0 του πολυπλέκτη ενός σημείου παρατήρησης
- Τα 3 σημεία παρατήρησης συνδέονται μεταξύ τους σειριακά σε έναν καταχωρητή ολίσθησης χρησιμοποιώντας την είσοδο 1 του πολυπλέκτη.



Ad hoc DFT τεχνικές (3/5)

Εισαγωγή σημείου παρατήρησης (observation point)

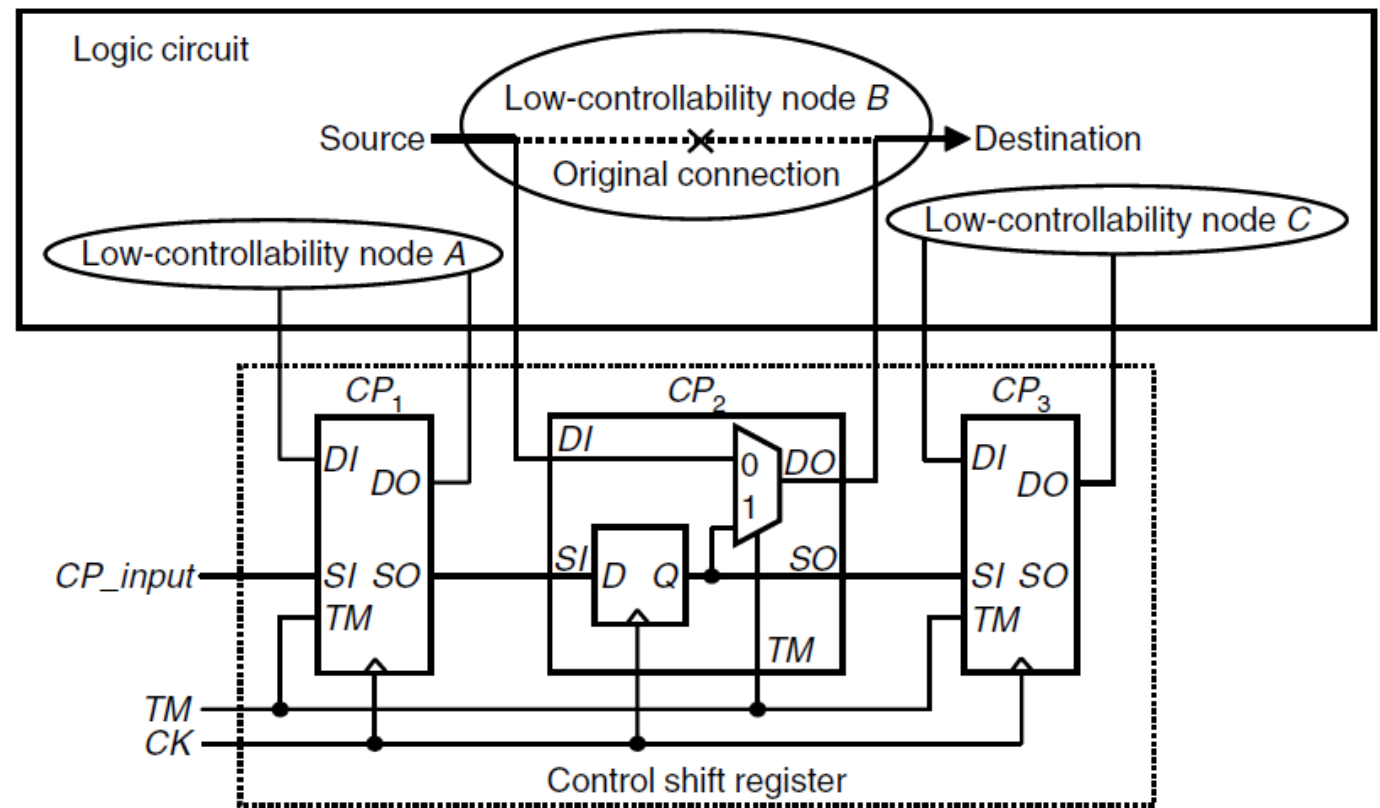
- Στον πολυπλέκτη χρησιμοποιείται ένα σήμα SE για την επιλογή της θύρας εισόδου (SI ή DI)
- Όταν $SE = 0$ και ενεργοποιείται το ρολόι CK, οι λογικές τιμές των κόμβων χαμηλής παρατηρησιμότητας αποθηκεύονται στα D flip-flops
- Όταν $SE = 1$ τα D flip-flops που βρίσκονται μέσα στα OP1, OP2 και OP3 λειτουργούν ως ένας καταχωρητής ολίσθησης, επιτρέποντας την παρατήρηση των λογικών τιμών μέσω του OP_output.



Ad hoc DFT τεχνικές (4/5)

Εισαγωγή σημείου ελέγχου (control point)

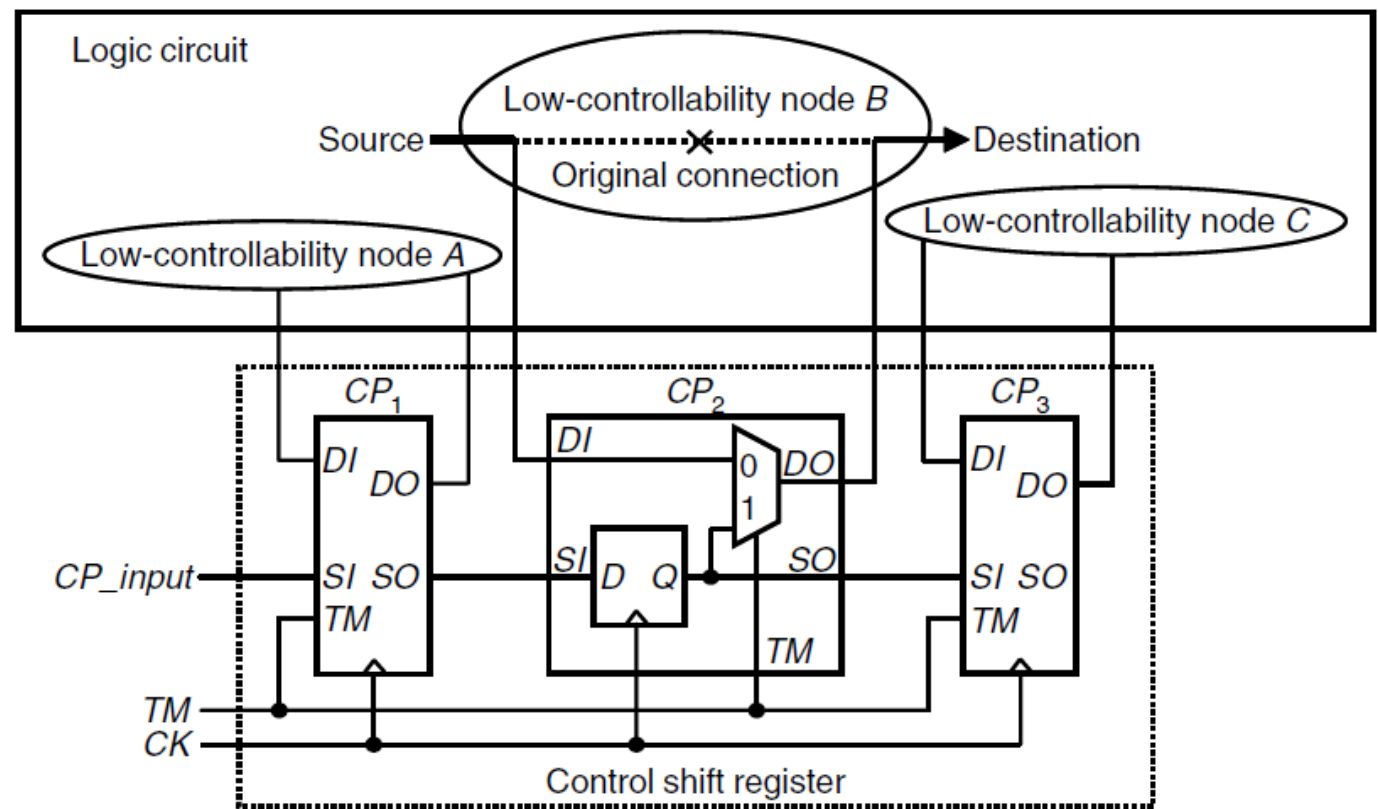
- Το CP2 δείχνει την δομή ενός σημείου ελέγχου το οποίο αποτελείται από έναν πολυπλέκτη και ένα D flip-flop.
- Η αρχική σύνδεση σε ένα κόμβο χαμηλής ελεγχιμότητας έχει αποκοπεί και χρησιμοποιείται ένας πολυπλέκτης ανάμεσα στην πηγή και τον προορισμό
- Κατά την διάρκεια της κανονικής λειτουργίας, η γραμμή Test Mode (TM) τίθεται στην λογική τιμή 0 έτσι ώστε η τιμή που υπάρχει στην πηγή να οδηγηθεί στον προορισμό μέσω της θύρας 0 του πολυπλέκτη



Ad hoc DFT τεχνικές (5/5)

Εισαγωγή σημείου ελέγχου (control point)

- Κατά την φάση της δοκιμής, η γραμμή TM τίθεται στην λογική τιμή 1 έτσι ώστε η τιμή που είναι αποθηκευμένη στο D flip-flop να οδηγηθεί στην έξοδο μέσω της θύρας 1 του πολυπλέκτη.
- Τα D flip-flops στα OP1, OP2 και OP3 έχουν σχεδιαστεί έτσι ώστε να σχηματίζουν έναν καταχωρητή ολίσθησης
- Οι τιμές ελέγχου μπορούν να μετατοπιστούν στα flip-flops χρησιμοποιώντας την γραμμή CP_input και χρησιμοποιούνται για τον έλεγχο του προορισμού κόμβων χαμηλής ελεγχιμότητας



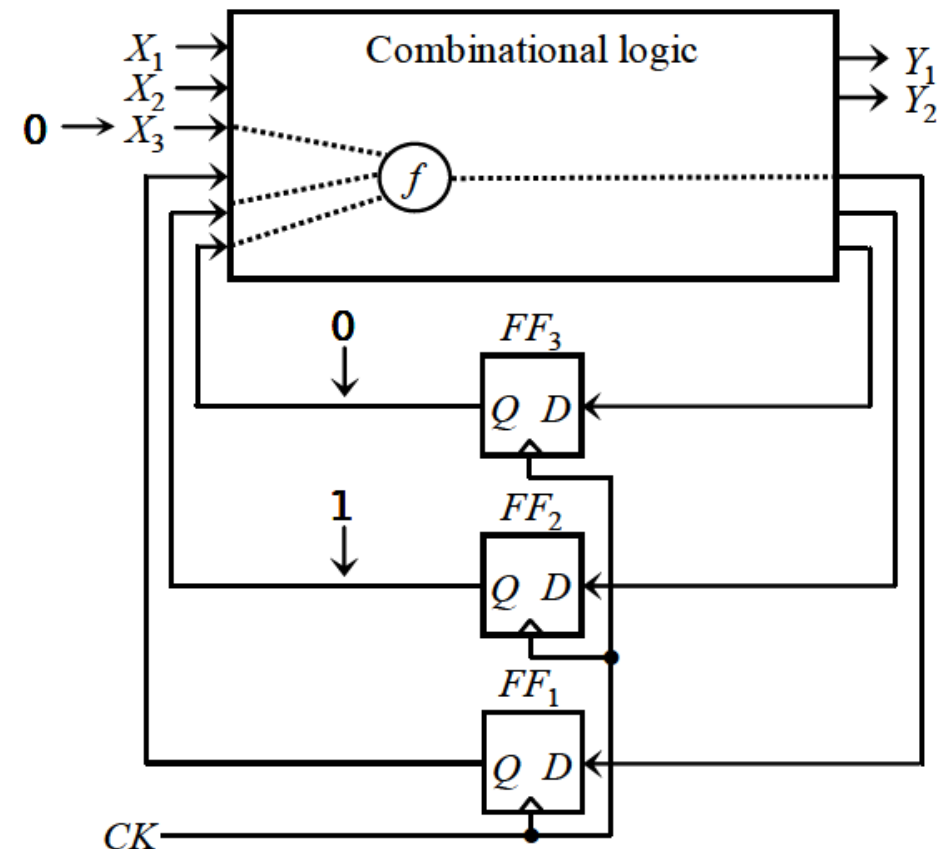
Δομημένες DFT τεχνικές

Σχεδίαση σάρωσης (scan design)

- Σκοπός η μετατροπή μιας ακολουθιακής σχεδίασης σε σχεδίαση σάρωσης
- Καταστάσεις λειτουργίας
 - Κανονική κατάσταση (normal mode)
 - Όλα τα σήματα ελέγχου μηδενίζονται
 - Η σχεδίαση σάρωσης λειτουργεί ώστε να εκτελείται η κανονική λειτουργία του κυκλώματος
 - Κατάσταση ολίσθησης (shift mode)
 - Κατάσταση σύλληψης (capture mode)
- Τόσο την κατάσταση ολίσθησης όσο και στην κατάσταση σύλληψης χρησιμοποιείται ένα σήμα Test Mode για την ενεργοποίηση των διαδικασιών που σχετίζονται με την δοκιμή

Δυσκολία ελέγχου ακολουθιακού κυκλώματος

- Ας υποθέσουμε ότι για να παρατηρηθεί στο flip-flop FF1 το αποτέλεσμα ενός stuck-at σφάλματος f που εμφανίζεται στο συνδυαστικό κύκλωμα, απαιτείται η είσοδος X_3 , το flip-flop FF2 και το flip-flop FF3 να τεθούν στις τιμές 0, 1 και 0 αντίστοιχα.
- Η κύρια δυσκολία στην δοκιμή ενός ακολουθιακού κυκλώματος πηγάζει από την δυσκολία ελέγχου και παρατήρησης της εσωτερικής κατάστασης του κυκλώματος

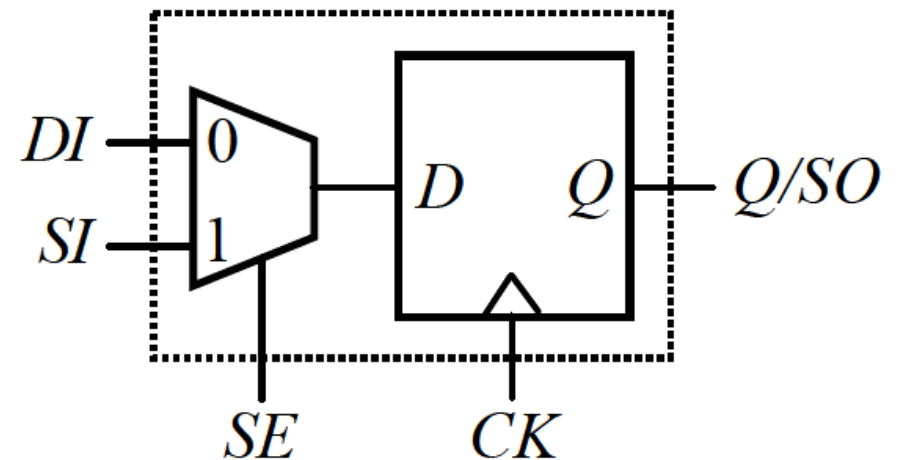


Κύτταρα σάρωσης (scan cells)

- Ένα κύτταρο σάρωσης διαθέτει δύο εισόδους: δεδομένων (data input) και σάρωσης (scan input)
 - Σε normal/capture mode η έξοδος ενημερώνεται από την είσοδο δεδομένων
 - Σε shift mode η έξοδος ενημερώνεται από την είσοδο σάρωσης
- Συνηθέστεροι τύποι κυττάρων σάρωσης
 - Muxed-D Scan Cell
 - Clocked Scan Cell
 - LSSD Scan Cell

Muxed-D κύτταρο σάρωσης (1/2)

- Αποτελείται από έναν πολυπλέκτη και ένα D flip-flop.
- Ο πολυπλέκτης χρησιμοποιεί μία είσοδο Scan Enable (SE) για την επιλογή ανάμεσα στην είσοδο Data Input (DI) και Scan Input (SI).

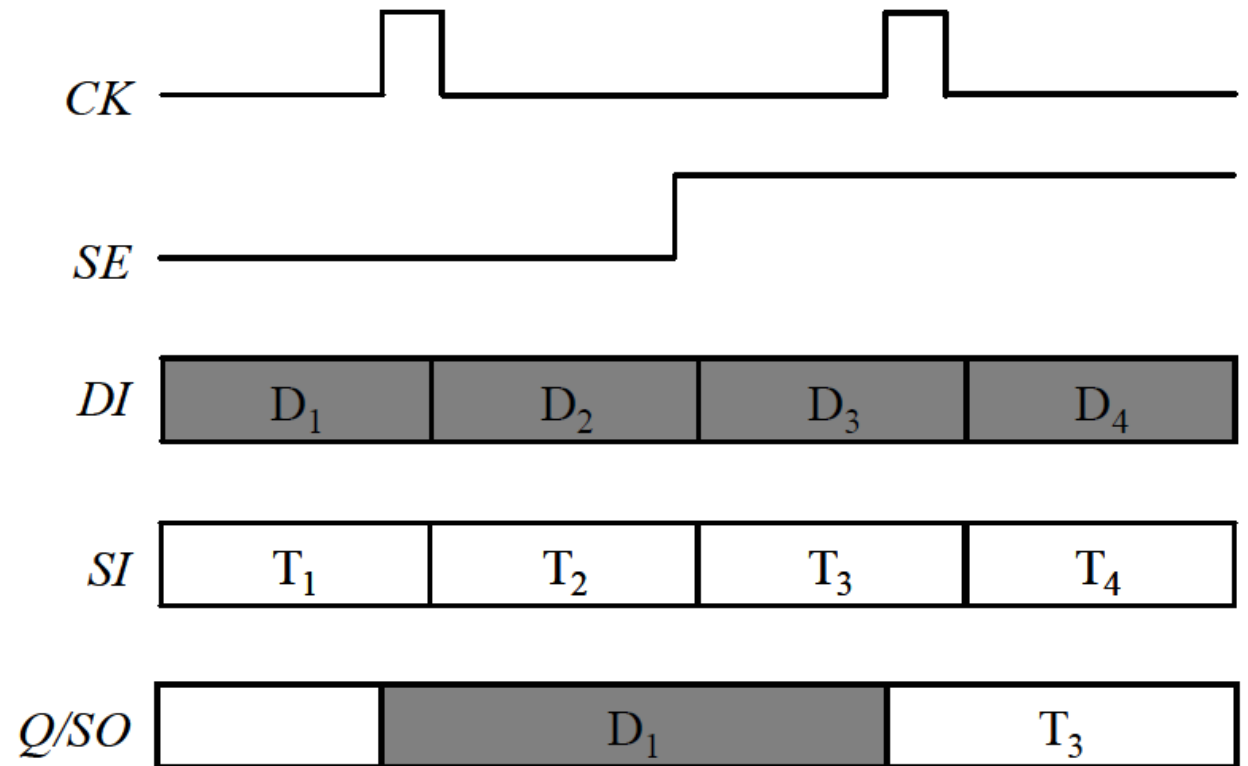


Edge triggered
muxed-D scan cell

Mixed-D κύτταρο σάρωσης (2/2)

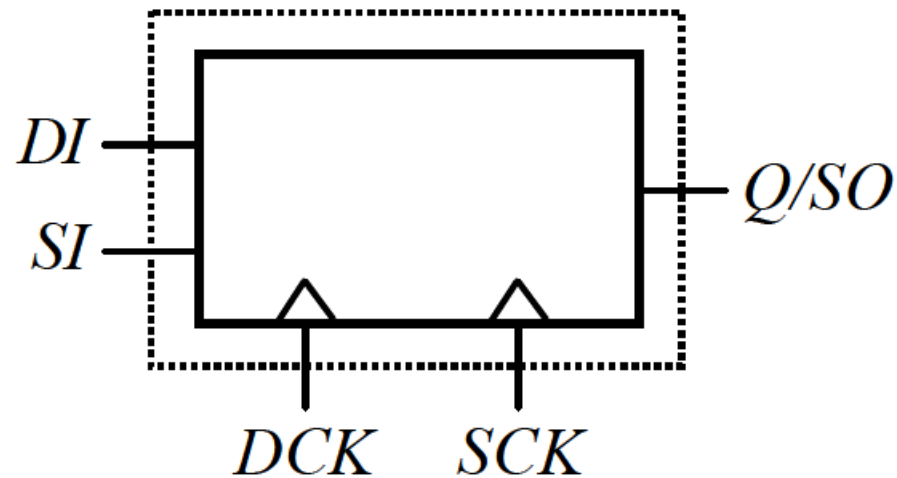
- Σε normal/capture mode, η γραμμή SE τίθεται στο 0
 - Το D flip flop παίρνει την τιμή που έχει η γραμμή DI όταν εμφανίζεται ένας ανοδικός παλμός ρολογιού
- Σε shift mode, η γραμμή SE τίθεται στο 1.
 - Χρησιμοποιείται η είσοδος SI για μετατόπιση νέων δεδομένων στο D flip-flop, ενώ τα παλαιά δεδομένα αφαιρούνται

Διάγραμμα χρονισμού



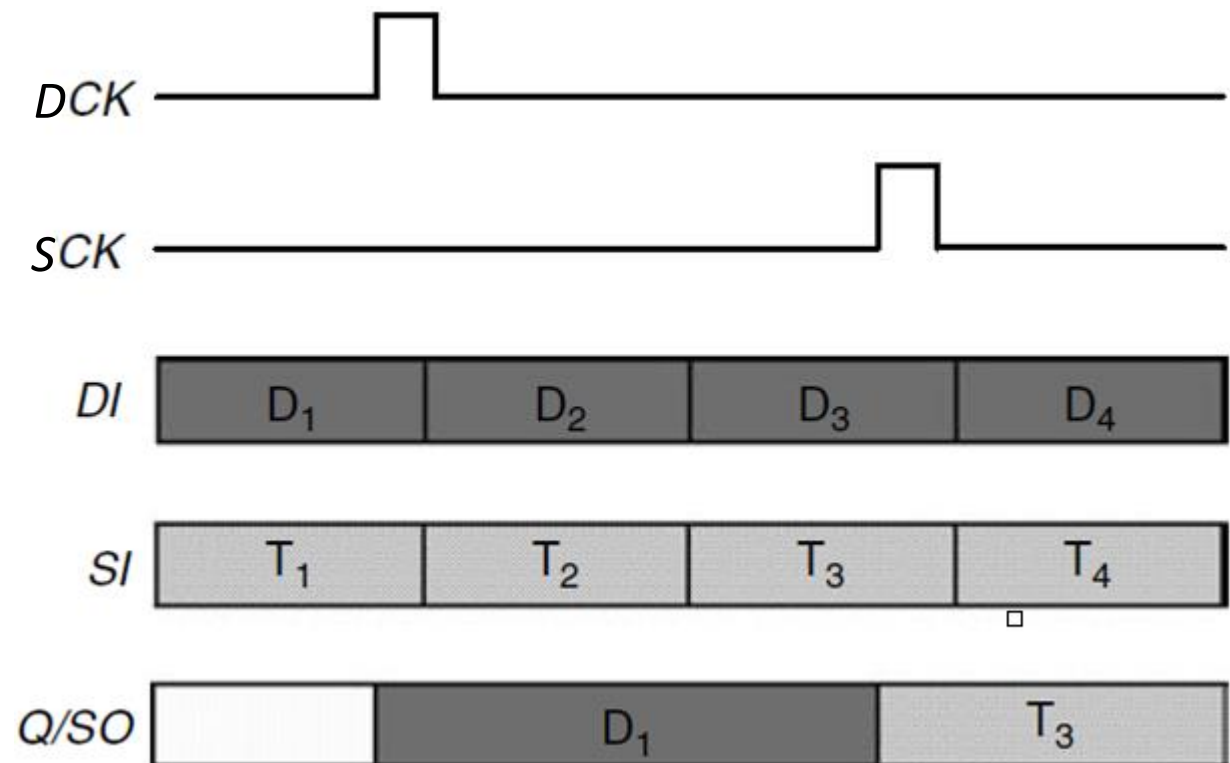
Clocked κύτταρο σάρωσης (1/2)

- Στο clocked κύτταρο σάρωσης η επιλογή εισόδου (DI ή SI) πραγματοποιείται χρησιμοποιώντας δύο ανεξάρτητα ρολόγια Data Clock (DCK) και Shift Clock (SCK).



Clocked κύτταρο σάρωσης (2/2)

- Σε normal/capture mode, χρησιμοποιείται το ρολόι DCK για να κάνει capture την τιμή της γραμμής DI στο κύτταρο σάρωσης.
- Σε shift mode, χρησιμοποιείται το ρολόι SCK για την μετατόπιση νέων δεδομένων στο κύτταρο σάρωσης, ενώ τα παλαιά δεδομένα αφαιρούνται



Αρχιτεκτονικές σάρωσης

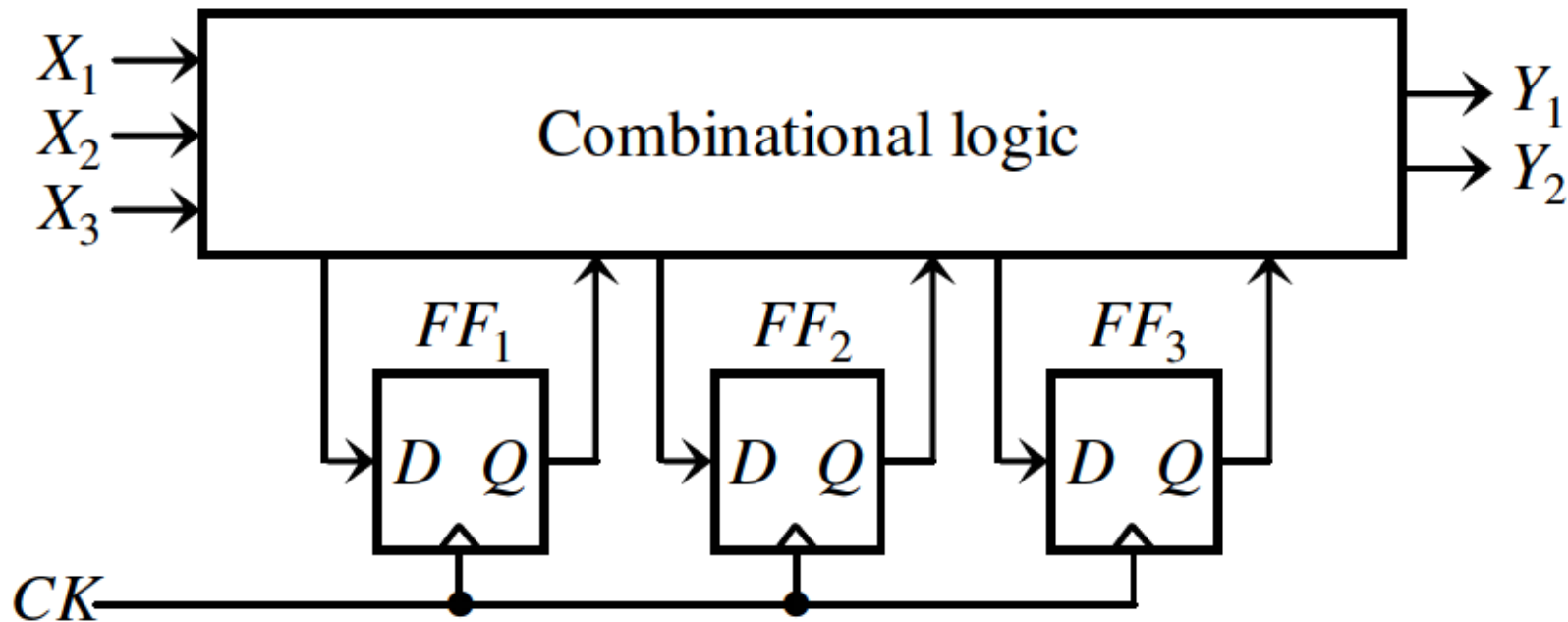
- Πλήρης σάρωση (full scan)
 - Όλα ή σχεδόν όλα τα στοιχεία αποθήκευσης μετατρέπονται σε κύτταρα σάρωσης (για την παραγωγή των διανυσμάτων ελέγχου χρησιμοποιείται συνδυαστικό ATPG)
- Μερική σάρωση (partial scan)
 - Υποσύνολο των στοιχείων αποθήκευσης μετατρέπονται σε κύτταρα σάρωσης (για την παραγωγή των διανυσμάτων ελέγχου χρησιμοποιείται ακολουθιακό ATPG)
- Σάρωση τυχαίας προσπέλασης (random-access scan)
 - Παρέχει άμεση πρόσβαση εγγραφής/ανάγνωσης σε οποιοδήποτε κύτταρο σάρωσης μέσω μηχανισμού τυχαίας διευθυνσιοδότησης

Πλήρης σάρωση

- Όλα τα στοιχεία αποθήκευσης αντικαθίστανται από κύτταρα σάρωσης
 - Όλες οι εισοδοι είναι ελέγξιμες
 - Όλες οι έξοδοι είναι παρατηρήσιμες
- Σχεδόν πλήρης σάρωση
 - Μικρό μέρος των στοιχείων αποθήκευσης δεν αντικαθίστανται από κύτταρα σάρωσης
 - Για λόγους επίδοσης (στοιχεία αποθήκευσης σε κρίσιμες διαδρομές)
 - Για πρακτικούς λόγους (στοιχεία με αμελητέα συνεισφορά)

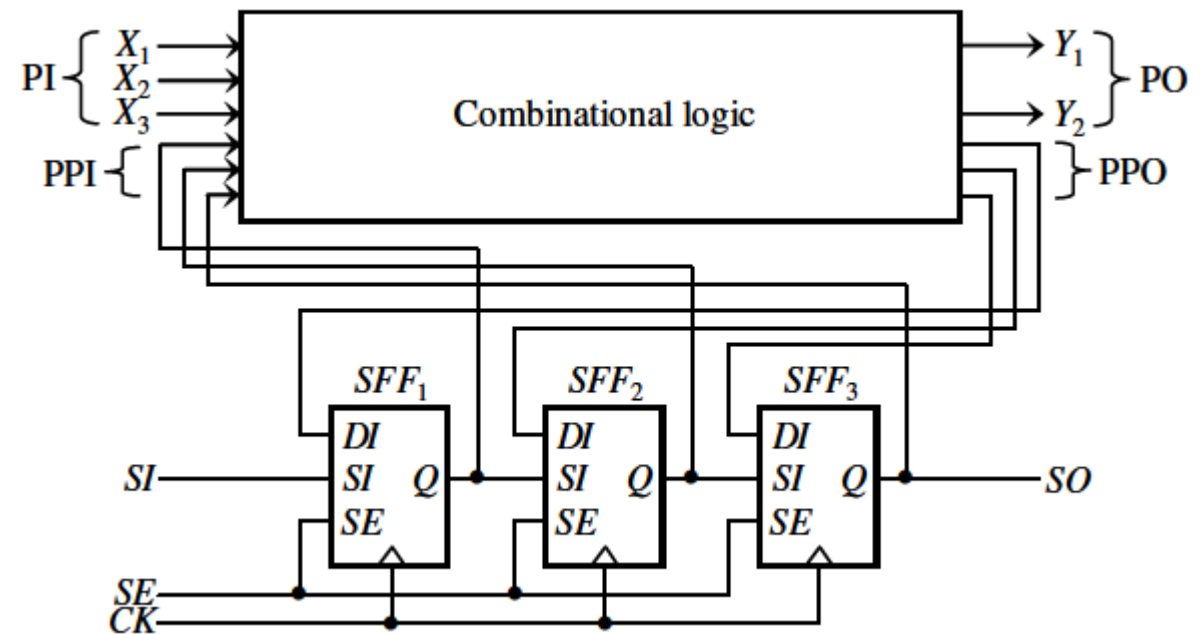
Mixed-D πλήρης σάρωση (1/3)

Τα τρία D flip-flops FF_1 , FF_2 και FF_3 , αντικαθίστανται από τρία mixed-D κύτταρα σάρωσης SFF_1 , SFF_2 και SFF_3 αντίστοιχα



Muxed-D πλήρης σάρωση (2/3)

- Για την δημιουργία της αλυσίδας σάρωσης:
 - Η είσοδος σάρωσης SI του SFF2 και SFF3 συνδέεται στην έξοδο Q του προηγούμενου κύτταρου σάρωσης SFF1 και SFF2 αντίστοιχα.
 - Η είσοδος σάρωσης SI του πρώτου κύτταρου σάρωσης SFF1 συνδέεται στην κύρια είσοδο SI και η έξοδος Q του τελευταίου κύτταρου σάρωσης SFF3 συνδέεται στην κύρια έξοδο SO.

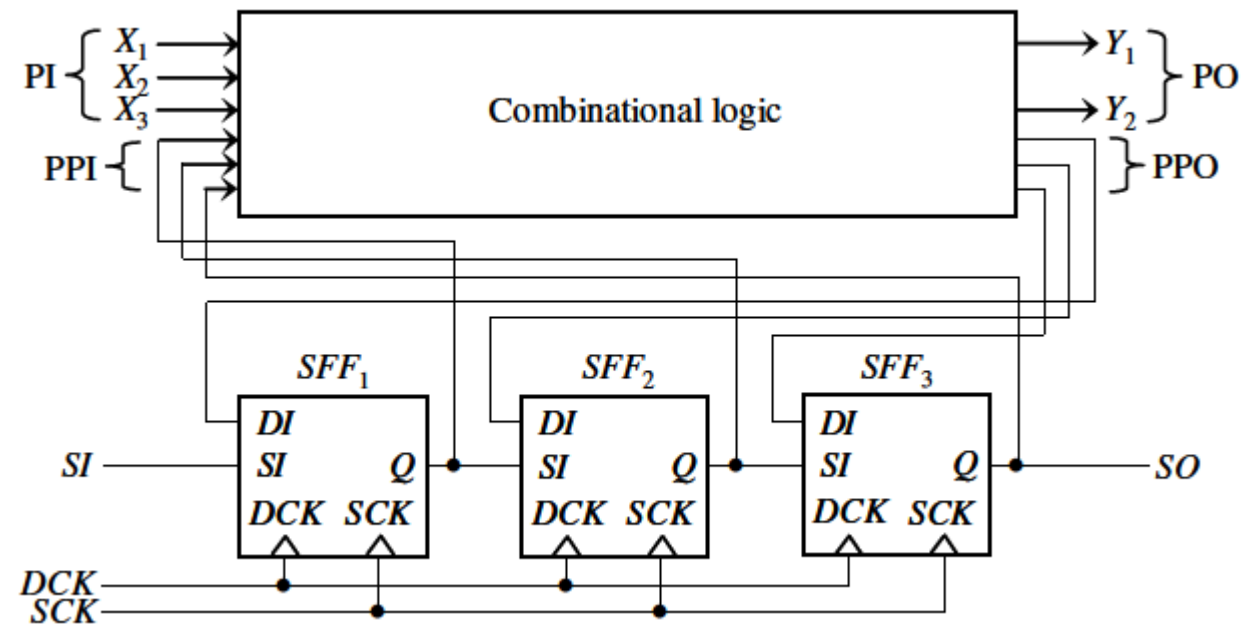


Muxed-D πλήρης σάρωση (3/3)

- Primary inputs (PIs)
 - Οι εξωτερικοί είσοδοι του κυκλώματος
 - Μπορούν να τεθούν σε οποιαδήποτε λογική τιμή
- Pseudo primary inputs (PPIs)
 - Οι έξοδοι των κυττάρων σάρωσης
 - Μπορούν να τεθούν σε οποιαδήποτε απαιτούμενη λογική τιμή
 - Οι τιμές τους ορίζονται σειριακά μέσω των εισόδων της αλυσίδας σάρωσης
- Primary outputs (POs)
 - Οι εξωτερικοί έξοδοι του κυκλώματος
 - Μπορούν να παρατηρηθούν
 - Παρατηρούνται παράλληλα από τις εξωτερικές εξόδους
- Pseudo primary outputs (PPOs)
 - Οι είσοδοι των κυττάρων σάρωσης
 - Μπορούν να παρατηρηθούν
 - Παρατηρούνται σειριακά μέσω των εξόδων της αλυσίδας σάρωσης

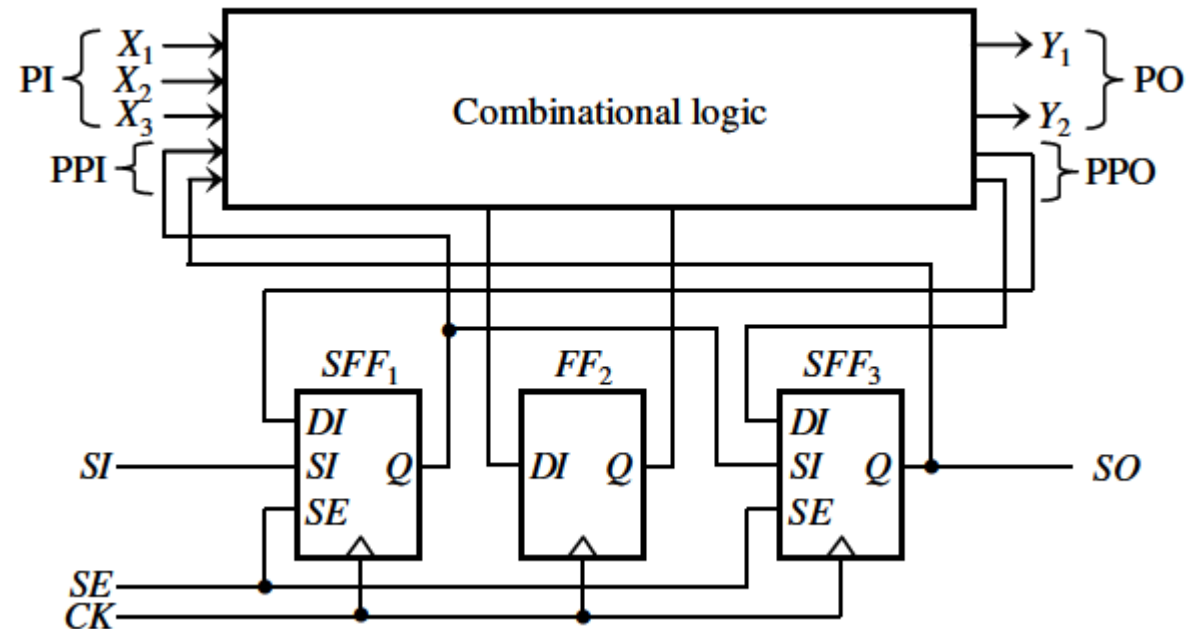
Clocked πλήρης σάρωση

- Σε μία muxed-D αρχιτεκτονική πλήρης σάρωσης χρησιμοποιείται το σήμα Scan Enable.
- Σε μία clocked αρχιτεκτονική πλήρης σάρωσης οι δύο λειτουργίες διαχωρίζονται χρησιμοποιώντας δύο διαφορετικά ρολόγια το SCK και το DCK κατά την διάρκεια του shift mode και του capture mode.



Μερική σάρωση (1/2)

- Κατασκευάζεται μια αλυσίδα σάρωσης χρησιμοποιώντας δύο κύτταρα σάρωσης SFF1 and SFF3, ενώ το flip-flop FF2 δεν χρησιμοποιείται ως κύτταρο σάρωσης
- Είναι δυνατόν να μειωθεί η πολυπλοκότητα της παραγωγής της δοκιμής χρησιμοποιώντας αντί για ένα ρολόι δύο ξεχωριστά
 - Ένα για τον έλεγχο όλων των κυττάρων σάρωσης
 - Ένα για τον έλεγχο των στοιχείων αποθήκευσης που δεν χρησιμοποιούνται ως κύτταρα σάρωσης
- Ωστόσο αυτό μπορεί να οδηγήσει σε επιπλέον πολυπλοκότητα κατά την υλοποίηση του κυκλώματος



Μερική σάρωση (2/2)

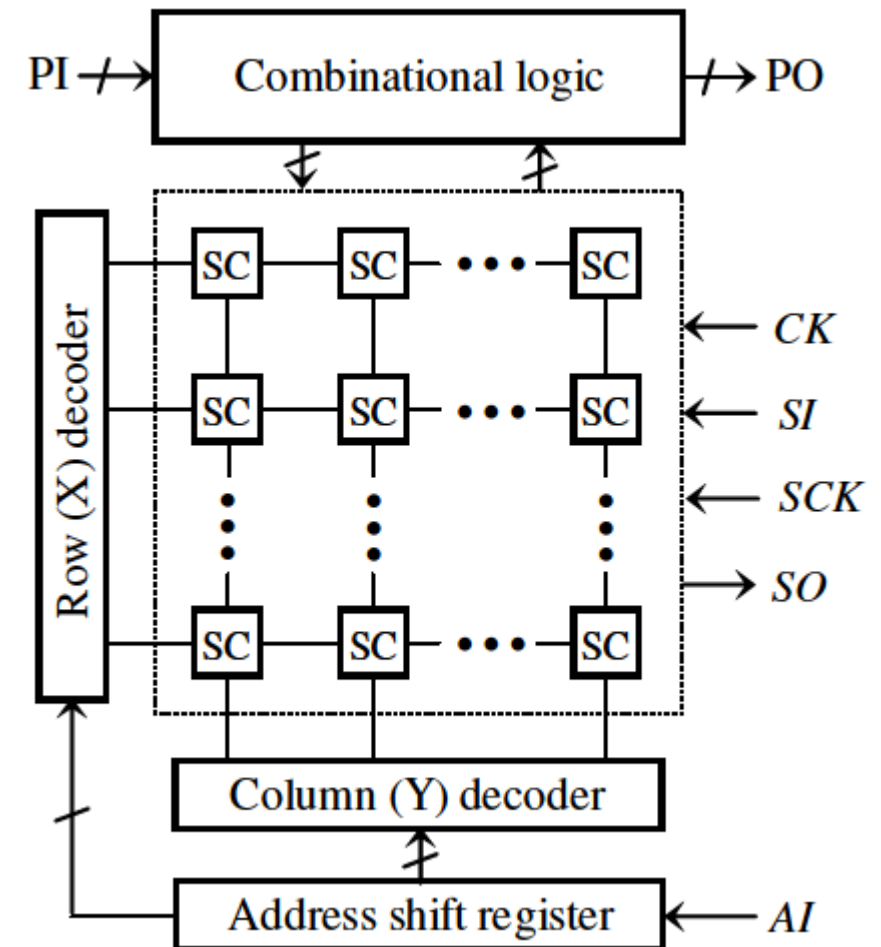
- Πλεονεκτήματα
 - Μείωση της υποβάθμισης της απόδοσης
 - Μείωσης του overhead της περιοχής πυριτίου
- Μειονεκτήματα
 - Μπορεί να οδηγήσει σε μικρή κάλυψη σφαλμάτων
 - Μεγαλύτερο χρόνος παραγωγής δοκιμής
 - Μειωμένη υποστήριξη για αποσφαλμάτωση, διάγνωση και ανάλυση των σφαλμάτων

Σάρωση τυχαίας προσπέλασης (1/2)

- Πλεονεκτήματα
 - Μπορούν να ελεγχθούν ή να παρατηρηθούν κύτταρα σάρωσης χωρίς να επηρεαστούν άλλα
 - Απλοποίηση την διαδικασίας πραγματοποίησης δοκιμών καθυστέρησης
- Μειονεκτήματα
 - Υψηλό overhead στον σχεδιασμό και δρομολόγηση της αλυσίδας
 - Δεν μπορεί να εξασφαλιστεί μείωση στον χρόνο δοκιμής

Σάρωση τυχαίας προσπέλασης (2/2)

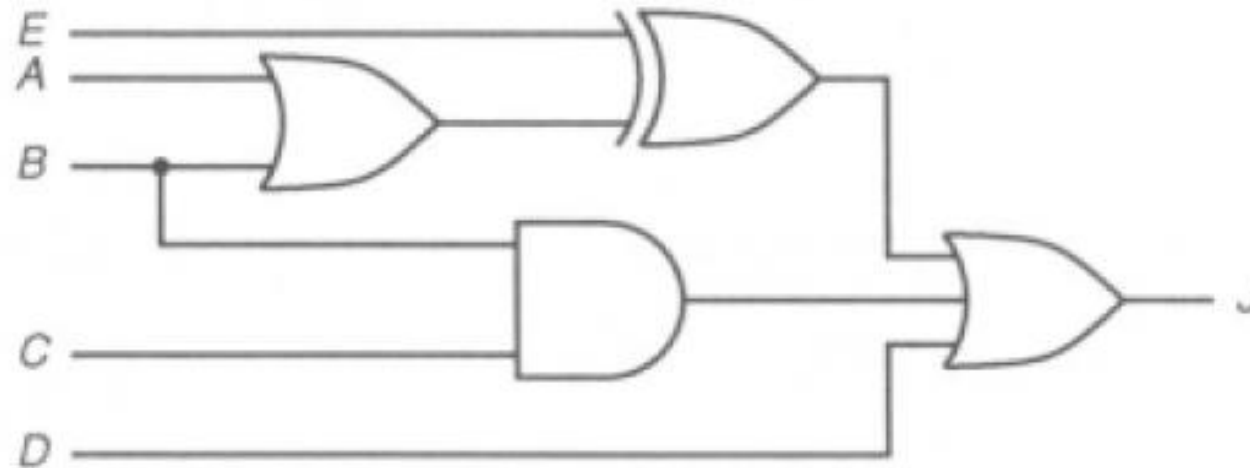
- Όλα τα κύτταρα σάρωσης ομαδοποιούνται σε έναν πίνακα 2 διαστάσεων.
- Χρησιμοποιείται ένα καταχωρητής ολίσθησης $\lceil \log_2 n \rceil$ bits για να καθοριστεί πιο κύτταρο σάρωσης θα προσπελαστεί
 - n είναι ο συνολικός αριθμός των κελιών σάρωσης



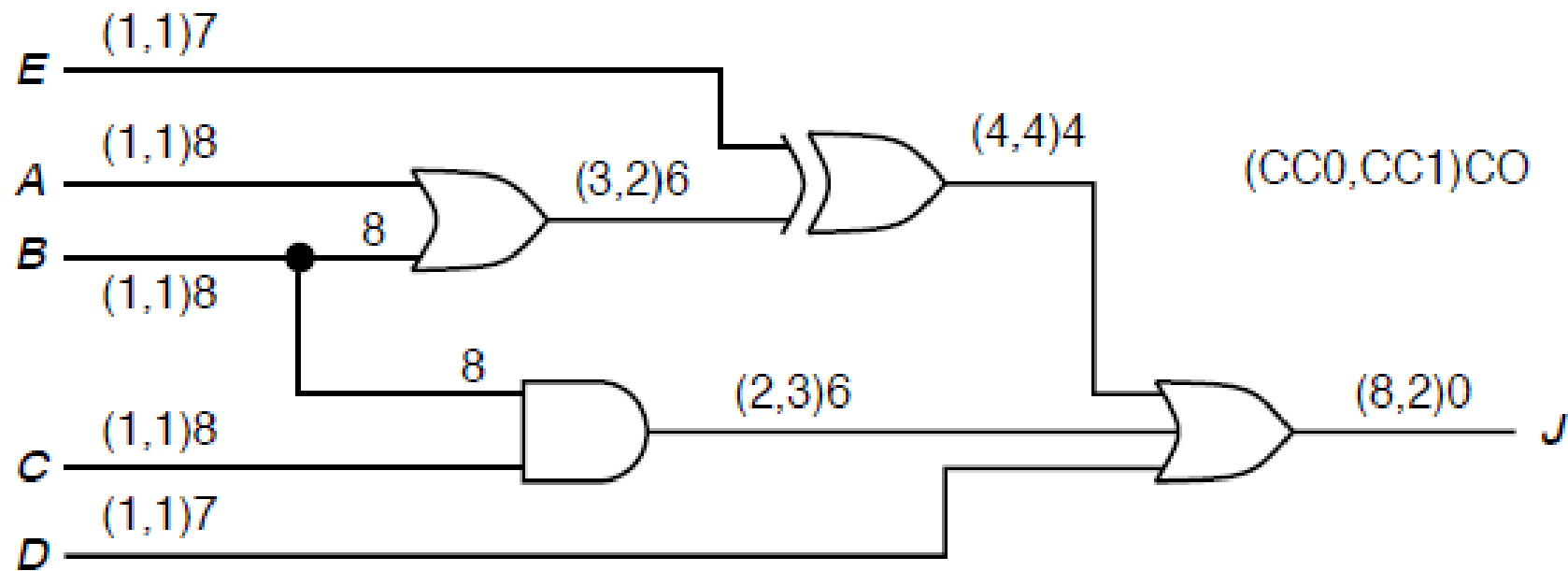
Ασκήσεις

Άσκηση 1

- Υπολογίστε την δοκιμαστικότητα στηριζόμενη στην τεχνική SCOAP του παρακάτω κυκλώματος. Συγκεκριμένα για κάθε γραμμή θα πρέπει να υπολογίσετε 3 τιμές: 0-controllability, 1-controllability και observability.

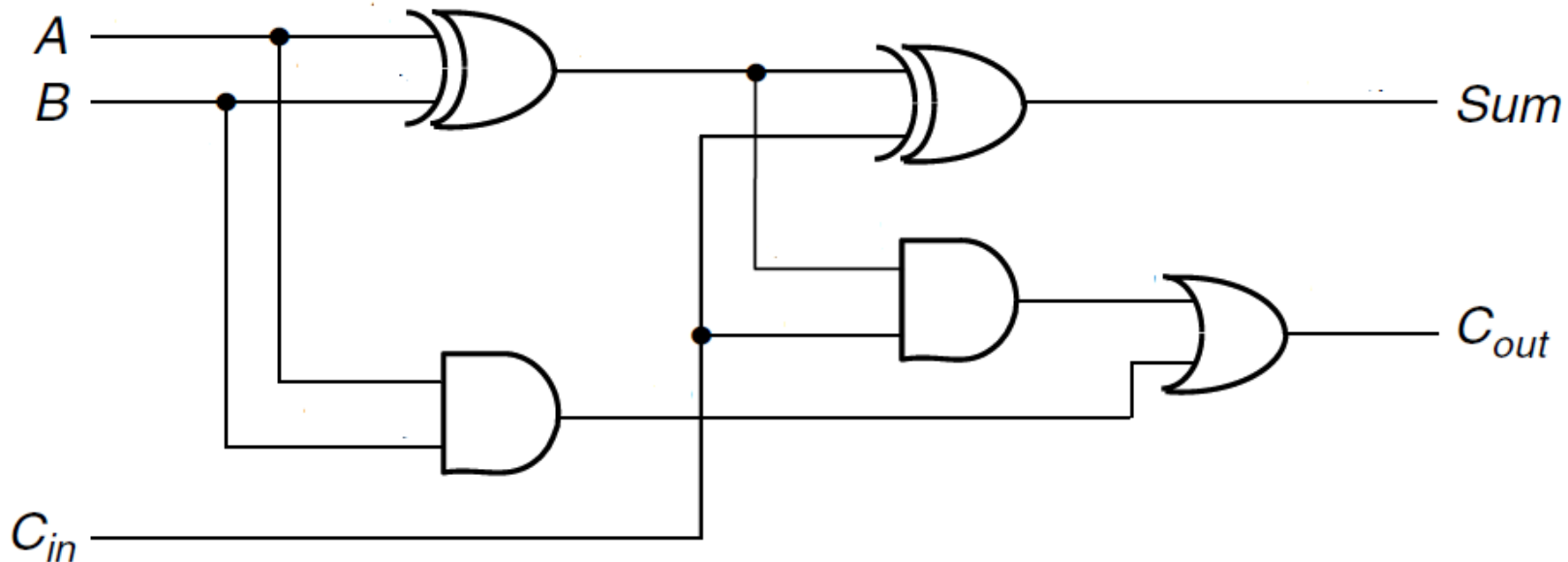


Άσκηση 1 - Λύση

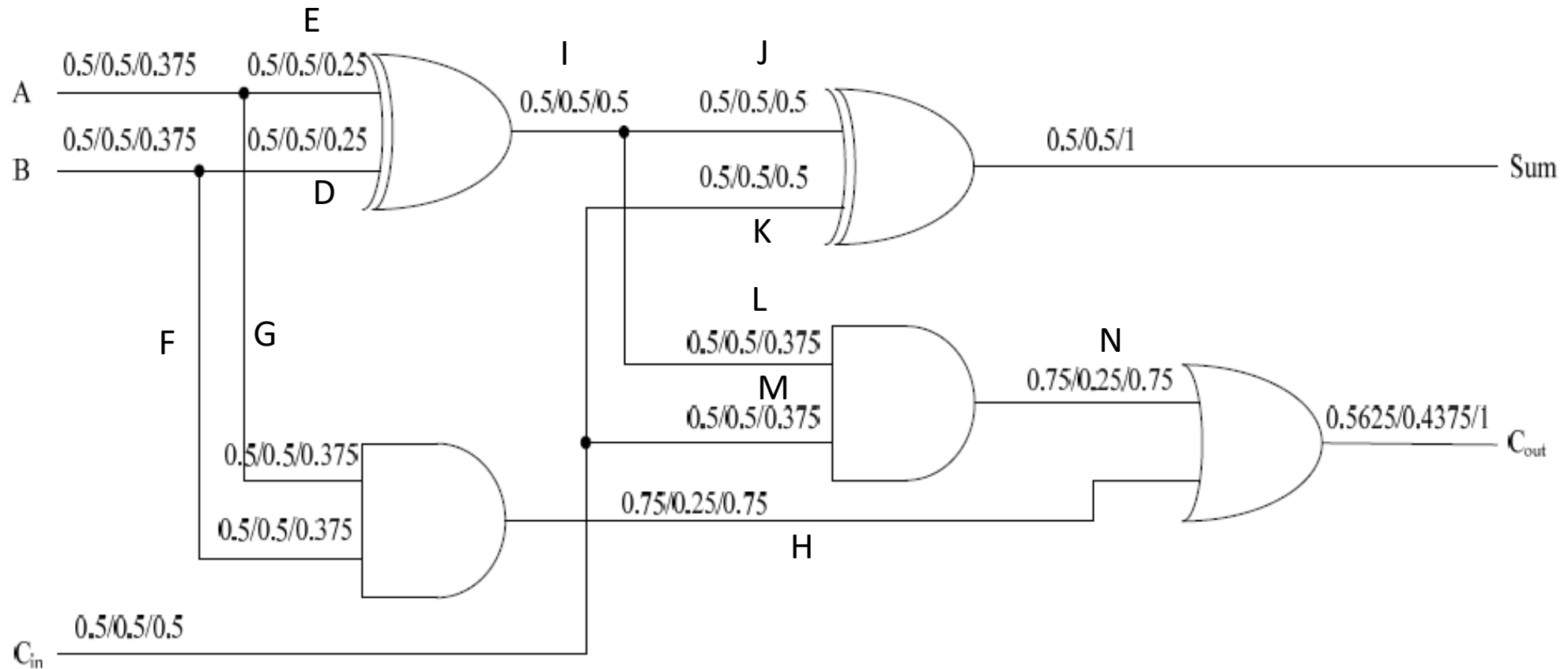


Άσκηση 2

- Υπολογίστε την δοκιμαστικότητα στηριζόμενη σε πιθανότητες του παρακάτω κυκλώματος. Συγκεκριμένα για κάθε γραμμή θα πρέπει να υπολογίσετε 3 τιμές: 0-controllability, 1-controllability και observability.



Άσκηση 2 - Λύση



Πηγές

- Fay Talan, “VLSI Test Principles and Architectures”.

Ερωτήσεις

