

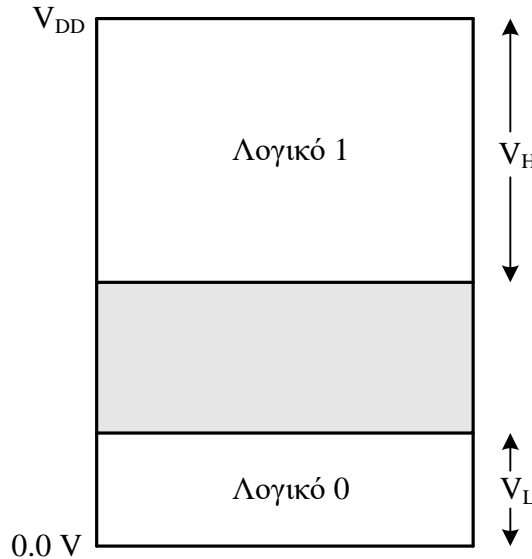
ΤΕΧΝΟΛΟΓΙΕΣ ΥΛΟΠΟΙΗΣΗΣ ΛΟΓΙΚΩΝ ΚΥΚΛΩΜΑΤΩΝ

4.1 Εισαγωγή

Για την υλοποίηση των λογικών κυκλωμάτων χρησιμοποιήθηκαν αρχικά ηλεκτρονικές λυχνίες κενού και στη συνέχεια κρυσταλλοδιόδοι και διπολικά τρανζίστορ. Τα ολοκληρωμένα κυκλώματα με τα οποία κατασκευάστηκαν στην συνέχεια τα λογικά κυκλώματα περιείχαν αρχικά μικρό αριθμό λογικών πυλών. Τα πρώτα ψηφιακά ολοκληρωμένα κυκλώματα ήταν διπολικής τεχνολογίας, δηλαδή η κατασκευή τους βασιζόταν σε κρυσταλλοδιόδους και διπολικά τρανζίστορ. Η κατασκευή των σύγχρονων ψηφιακών ολοκληρωμένων κυκλωμάτων βασίζεται σε τρανζίστορ τεχνολογίας MOSFET (Metal Oxide Semiconductor Field Effect Transistor) ή MOS (Metal Oxide Semiconductor) τρανζίστορ.

4.2 Αναπαράσταση δυαδικών τιμών στα λογικά κυκλώματα

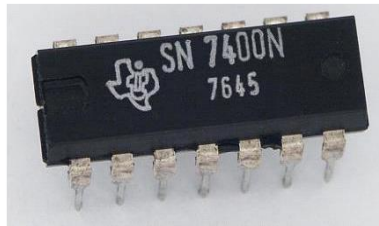
Μέχρι τώρα θεωρήσαμε ότι τα λογικά κυκλώματα επεξεργάζονται τα δυαδικά ψηφία, 0 και 1. Τα πραγματικά λογικά κυκλώματα επεξεργάζονται τιμές τάσεων. Όπως δείχνεται στο σχήμα 4.1, για κάθε τεχνολογία υλοποίησης υπάρχει μία περιοχή τιμών τάσεων V_H που ερμηνεύεται σαν λογικό 1 και μία περιοχή τιμών τάσεων V_L μη επικαλυπτόμενη με την προηγούμενη, που ερμηνεύεται σαν λογικό 0. Με V_{DD} συμβολίζεται η τάση τροφοδοσίας των λογικών κυκλωμάτων. Τα ψηφιακά ολοκληρωμένα κυκλώματα τεχνολογίας CMOS τροφοδοτούνται συνήθως με τάση 5 Volt ή 3.3 Volt, ενώ στο εσωτερικό των σύγχρονων ολοκληρωμένων κυκλωμάτων είναι συνήθεις οι τάσεις τροφοδοσίας 1.8 και 1.1 Volt.



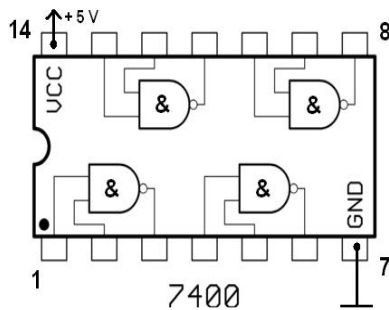
Σχήμα 4.1. Περιοχές τάσεων για τα λογικά 0, 1

4.3. Τυπικά ολοκληρωμένα κυκλώματα

Τα ψηφιακά κυκλώματα κατασκευάστηκαν αρχικά από διακριτά στοιχεία (ηλεκτρονικές λυχνίες, κρυσταλλοδιόδους και διπολικά τρανζίστορ). Στην συνέχεια κατασκευάστηκαν από ολοκληρωμένα κυκλώματα. Μία προσέγγιση που χρησιμοποιήθηκε αρχικά ήταν να συνδέονται κατάλληλα ολοκληρωμένα κυκλώματα, κάθε ένα από τα οποία περιείχε μικρό αριθμό λογικών πυλών ή φλιπ-φλοπ. Μια σειρά ολοκληρωμένων κυκλωμάτων που χρησιμοποιήθηκε για τον σκοπό αυτό ήταν η σειρά 74XX. Ένα ολοκληρωμένο κύκλωμα αυτής της σειράς, το 7400, δίδεται στο σχήμα 4.2α. Το ολοκληρωμένο κύκλωμα 7400 είναι σε συσκευασία με τους ακροδέκτες σε διπλή σειρά (dual in line package, DIP). Στο σχήμα 4.2β φαίνεται η δομή του που αποτελείται από 4 πύλες NAND δύο εισόδων. Στον ακροδέκτη με αριθμό 14 εφαρμόζεται η τάση τροφοδοσίας (V_{CC}), ενώ στον ακροδέκτη 7 η γείωση (GND).



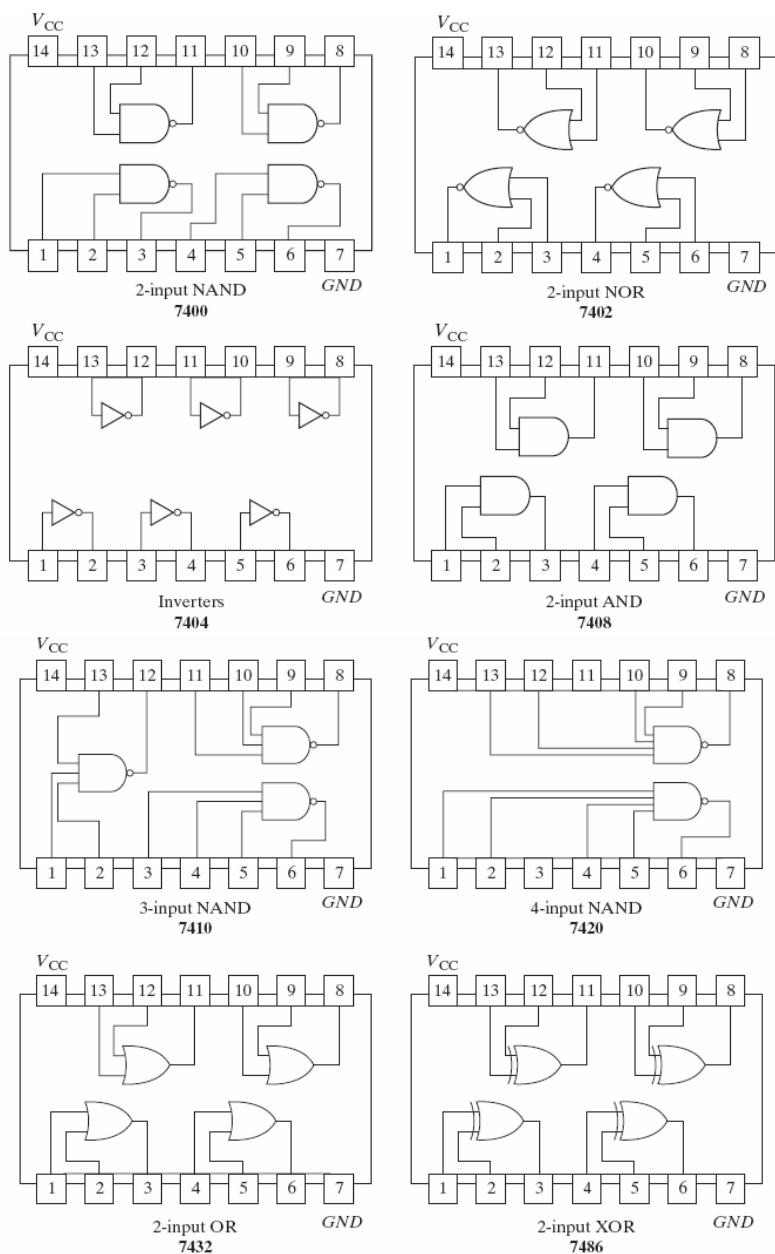
(α)



(β)

Σχήμα 4.2. Ολοκληρωμένο κύκλωμα 7400 με 4 πύλες NAND δύο εισόδων

Στο σχήμα 4.3 δίδεται η δομή ορισμένων ολοκληρωμένων κυκλωμάτων της σειράς 74XX. Τα ολοκληρωμένα κυκλώματα της σειράς αυτής αρχικά κατασκευάστηκαν με τρανζίστορ διπολικής τεχνολογίας. Στη συνέχεια κατασκευάστηκαν με την τεχνολογία CMOS (Complementary Metal Oxide Semiconductor).



Σχήμα 4.3. Ολοκληρωμένα κυκλώματα της σειράς 74XX

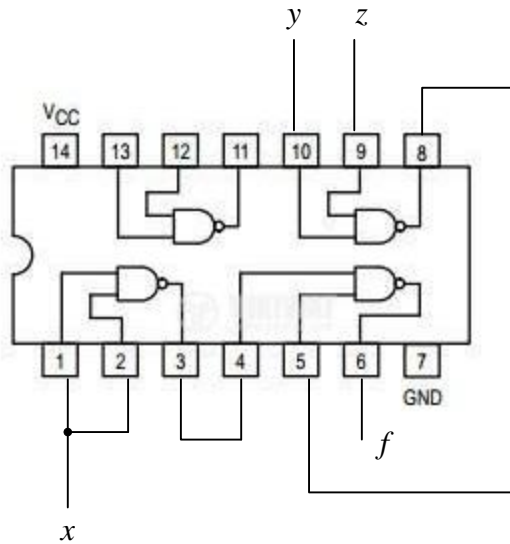
Παράδειγμα 4.1. Να υλοποιηθεί χρησιμοποιώντας το ολοκληρωμένο κύκλωμα 7400 η λογική παράσταση

$$f=x+yz$$

Ισχύει

$$\overline{\overline{f}} = \overline{\overline{x + yz}} = \overline{\overline{x} \cdot \overline{yz}}$$

Από την πιο πάνω σχέση προκύπτει η υλοποίηση της f με το ολοκληρωμένο 7400 που δίδεται στην συνέχεια



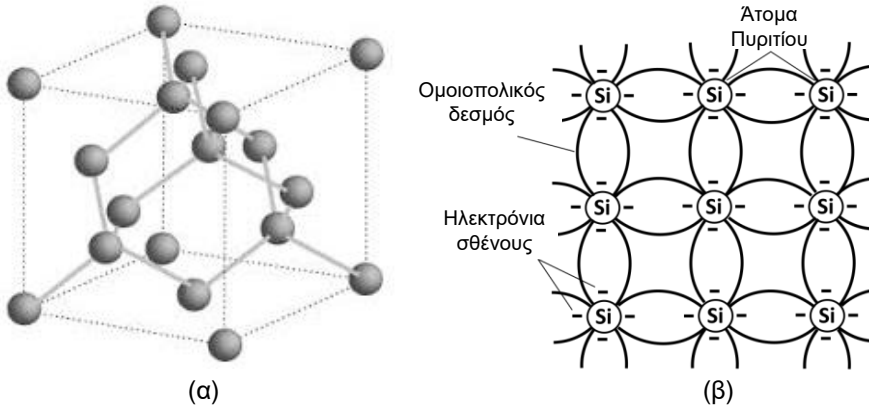
Τα ολοκληρωμένα κυκλώματα της σειράς 74XX περιείχαν αρχικά μόνο λίγες λογικές πύλες ή φλιπ-φλοπ. Η τεχνολογία που χρησιμοποιήθηκε για την δημιουργία τέτοιων κυκλωμάτων ονομάζεται *ολοκλήρωση μικρής κλίμακας (Small Scale Integration ή SSI)*. Στη συνέχεια κατασκευάστηκαν ολοκληρωμένα κυκλώματα που περιείχαν μεγαλύτερο αριθμό πυλών ή πιο σύνθετα λογικά κυκλώματα που ονομάστηκαν *μεσαίας κλίμακας ολοκλήρωσης (Medium Scale Integration, ή MSI)*. Με την πάροδο του χρόνου κατασκευάστηκαν ολοκληρωμένα κυκλώματα όπως μικροεπεξεργαστές, μνήμες, που περιείχαν μεγάλο αριθμό τρανζίστορ και χαρακτηρίστηκαν σαν κυκλώματα *μεγάλης κλίμακας ολοκλήρωσης (Large Scale Integration ή LSI)*. Τα σημερινά σύνθετα ολοκληρωμένα κυκλώματα κατασκευάζονται με την τεχνολογία *πολύ μεγάλης κλίμακας ολοκλήρωσης (Very Large Scale Integration ή VLSI)* και περιέχουν εκατομμύρια τρανζίστορ.

4.4 Εισαγωγή στην τεχνολογία CMOS

Η κατασκευή των σύγχρονων ψηφιακών ολοκληρωμένων κυκλωμάτων βασίζεται σε τρανζίστορ τεχνολογίας MOSFET πυκνωσης (enhancement Metal Oxide Semiconductor Field Effect Transistor) τα οποία στο εξής θα αναφέρονται για συντομία ως MOS (Metal Oxide Semiconductor) τρανζίστορ. Με τη χρήση των MOS τρανζίστορ έγινε δυνατή η κατασκευή ολοκληρωμένων κυκλωμάτων με μεγάλη πυκνότητα ολοκλήρωσης. Τα τρανζίστορ που χρησιμοποιήθηκαν αρχικά, ήταν τα p-channel MOS, ή συμβολικά PMOS. Στη συνέχεια χρησιμοποιήθηκαν τα n-channel MOS ή NMOS τρανζίστορ. Η τεχνολογία που τελικά επικράτησε ήταν η CMOS (Complementary Metal Oxide Semiconductor) στην οποία χρησιμοποιείται κατάλληλος συνδυασμός από PMOS και NMOS τρανζίστορ. Η τεχνολογία CMOS έπαιξε σημαντικό ρόλο στην ανάπτυξη της παγκόσμιας βιομηχανίας κατασκευής ολοκληρωμένων κυκλωμάτων.

4.5 Τρανζίστορ MOS

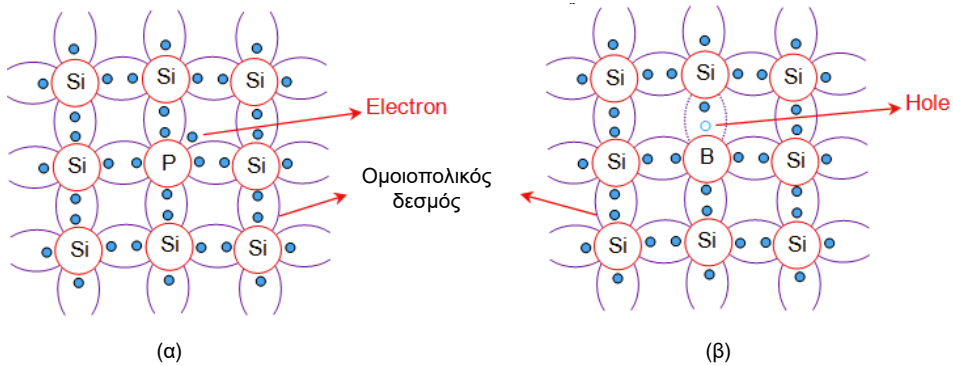
Τα τρανζίστορ αυτά κατασκευάζονται με βάση το κρυσταλλικό πυρίτιο (Silicon ή Si). Το πυρίτιο που είναι τετρασθενές στοιχείο σχηματίζει κρυσταλλικό πλέγμα με 4 δεσμούς μεταξύ των γειτονικών ατόμων. Στο σχήμα 4.4α δίδεται η δομή του κρυστάλλου του πυριτίου και στο σχήμα 4.4β η δυδιάστατη αναπαράστασή του.



Σχήμα 4.4. Δομή του κρυστάλλου του πυριτίου

Για την κατασκευή των MOS τρανζίστορ στο ολοκληρωμένο κύκλωμα δημιουργούνται στο πυρίτιο περιοχές τύπου n και περιοχές τύπου p. Οι περιοχές τύπου n όπως δείχνεται στο σχήμα 4.5α αποτελούνται από πυρίτιο στο οποίο έχουν συγκρυσταλλωθεί πεντασθενή άτομα. Αυτά τα άτομα έχουν ένα επί πλέον ηλεκτρόνιο σθένους από το πυρίτιο και έτσι η περιοχή τύπου n έχει πλεόνασμα ηλεκτρονίων. Για την δημιουργία των περιοχών τύπου p, όπως δείχνεται στο σχήμα 4.5β

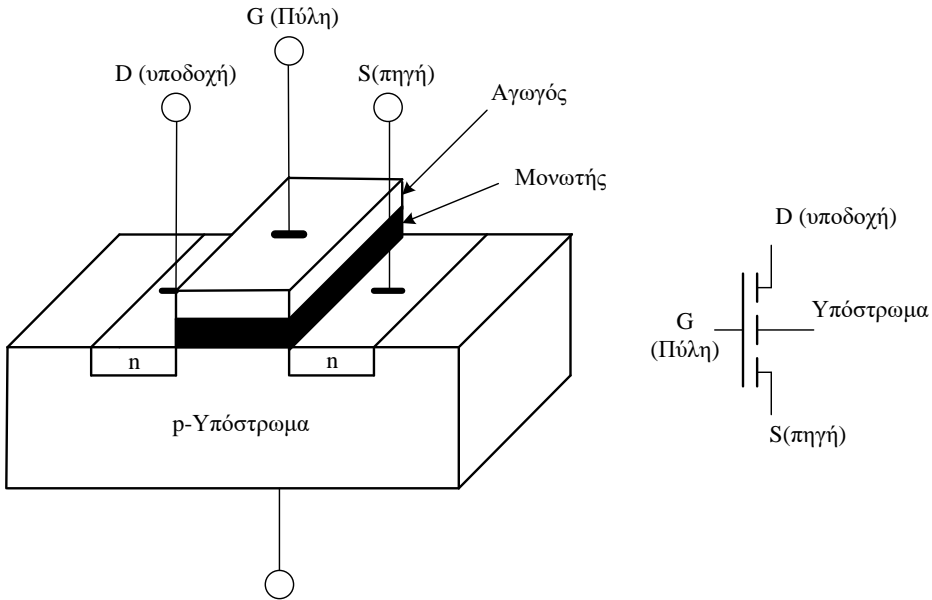
έχουν συγκρυσταλλωθεί στο πυρίτιο τρισθενή άτομα τα οποία έχουν ένα ηλεκτρόνιο σθένους λιγότερο από το πυρίτιο. Με τρόπο αυτό το υλικό τύπου p έχει πλεόνασμα ηλεκτρονικών οπών (ή οπών) που αντιστοιχούν σε ομοιοπολικούς δεσμούς που λείπουν ηλεκτρόνια.



Σχήμα 4.5. Δομή περιοχών τύπου n (α) και περιοχών τύπου p (β)

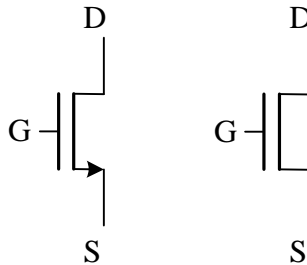
Στο σχήμα 4.6 δίδεται σχηματικά η δομή και το γραφικό σύμβολο των NMOS τρανζίστορ. Το υπόστρωμα (substrate) είναι τύπου p. Το μονωτικό υλικό μεταξύ του υποστρώματος και της πύλης είναι ένα λεπτό στρώμα από διοξείδιο του πυρίτιου (SiO_2). Η πύλη (gate ή G) κατασκευάζεται από πολυκρυσταλλικό πυρίτιο (πολυσιλικόνη) το οποίο είναι αγωγίμο. Οι περιοχές τύπου n ονομάζονται πηγή (source ή S) και υποδοχής ή απαγωγός (drain ή D). Οι ακροδέκτες σύνδεσης με την πηγή και την υποδοχή είναι φτιαγμένοι από μέταλλο, που παλαιότερα ήταν αλουμίνιο (Al), ενώ στα μοντέρνα κυκλώματα είναι χαλκός (Cu).

Όταν ο ακροδέκτης της πύλης του NMOS τρανζίστορ έχει την ίδια τάση με το υπόστρωμα δεν ρέει ρεύμα μεταξύ πηγής και υποδοχής. Όταν εφαρμοστεί στην πύλη θετικό δυναμικό σε σχέση με το υπόστρωμα τα ηλεκτρόνια έλκονται στην περιοχή κάτω από αυτή. Όταν η τάση στην πύλη υπερβεί κάποιο όριο έλκονται αρκετά ηλεκτρόνια ώστε να σχηματισθεί ένα κανάλι τύπου n κάτω από το μονωτικό υλικό. Αυτό το κανάλι επιτρέπει τη διέλευση ρεύματος μεταξύ πηγής και υποδοχής. Πρέπει να σημειωθεί ότι δεν ρέει καθόλου ρεύμα μεταξύ της πύλης και των άλλων ακροδεκτών (υποστρώματος, πηγής και απαγωγού) λόγω της ύπαρξης του μονωτικού υλικού από διοξείδιο του πυρίτιου κάτω από αυτή.



Σχήμα 4.6. Δομή και γραφικό σύμβολο του NMOS τρανζίστορ

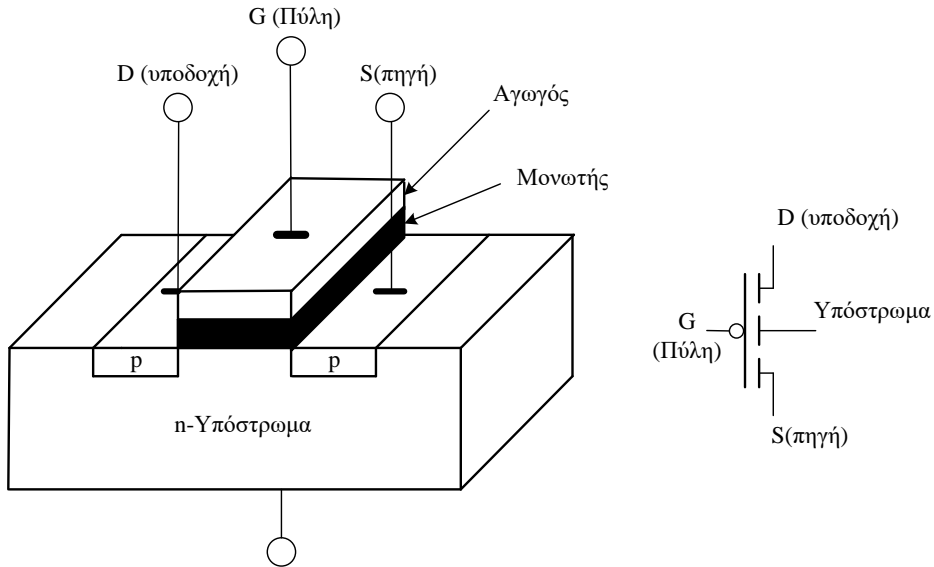
Στα λογικά κυκλώματα τεχνολογίας CMOS το υπόστρωμα των NMOS τρανζίστορ συνδέεται με τη γείωση (GND). Για το λόγο αυτό χρησιμοποιούνται για τα NMOS τρανζίστορ τα απλοποιημένα γραφικά σύμβολα τριών ακροδεκτών που δίδονται στο σχήμα 4.7.



Σχήμα 4.7. Απλουστευμένα γραφικά σύμβολα του NMOS τρανζίστορ

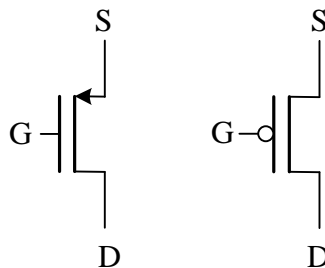
Στο σχήμα 4.8 δίδεται σχηματικά η δομή και το γραφικό σύμβολο του PMOS τρανζίστορ. Η δομή του είναι παρόμοια με αυτή του NMOS τρανζίστορ, αλλά το υπόστρωμα κατασκευάζεται από υλικό τύπου n και οι περιοχές της πηγής και του απαγωγού από υλικό τύπου p. Στα PMOS τρανζίστορ εάν εφαρμόσουμε στην πύλη αρνητική τάση σε σχέση με το υπόστρωμα απωθούνται από αυτήν ηλεκτρό-

νια. Αυτό είναι ισοδύναμο με το να έλκονται οπές κάτω από το διοξείδιο του πυριτίου της πύλης. Όταν κάτω από την πύλη υπάρχουν αρκετές ηλεκτρονικές οπές σχηματίζεται ένα κανάλι τύπου p μεταξύ πηγής και αποδοχού. Αυτό το κανάλι επιτρέπει τη διέλευση ηλεκτρικού ρεύματος μεταξύ πηγής και του αποδοχού.



Σχήμα 4.8. Δομή και γραφικό σύμβολο του PMOS τρανζίστορ

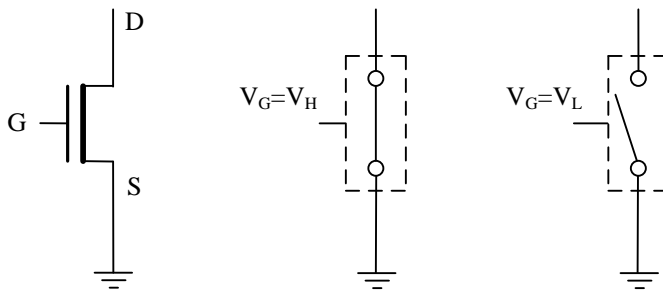
Το υπόστρωμα του PMOS τρανζίστορ στα κυκλώματα CMOS συνδέεται με την τάση τροφοδοσίας V_{DD} . Για το λόγο αυτό χρησιμοποιούνται για το τρανζίστορ PMOS τα απλοποιημένα γραφικά σύμβολα τριών ακροδεκτών που δίδονται στο σχήμα 4.9.



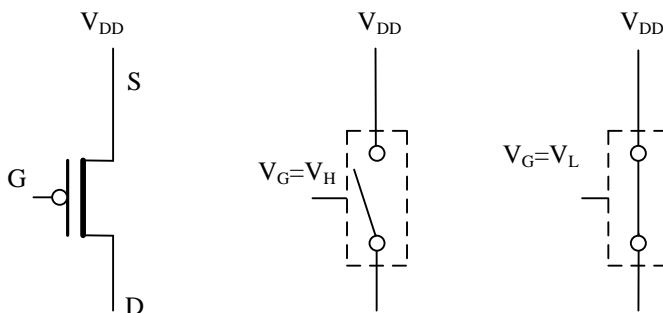
Σχήμα 4.9. Απλοστευμένα γραφικά σύμβολα του PMOS τρανζίστορ

Για να γίνει εύκολα κατανοητός ο τρόπος με τον οποίο λειτουργούν τα λογικά κυκλώματα που κατασκευάζονται με την τεχνολογία CMOS, θεωρούμε ότι τα MOS τρανζίστορ συμπεριφέρονται σαν διακόπτες. Στο σχήμα 4.10α συνοψίζεται η λειτουργία του NMOS τρανζίστορ σαν διακόπτης. Όταν η τάση που εφαρμόζεται στον ακροδέκτη της πύλης είναι αρκετά υψηλή (V_H), τότε λέμε ότι το τρανζίστορ είναι ενεργοποιημένο (on), δηλαδή λειτουργεί σαν κλειστός διακόπτης που συνδέει τους ακροδέκτες της πηγής και του απαγωγού. Όταν η τάση που εφαρμόζεται στον ακροδέκτη της πύλης είναι χαμηλή (V_L), τότε λέμε ότι το τρανζίστορ είναι απενεργοποιημένο (off), δηλαδή λειτουργεί σαν ανοικτός διακόπτης και δεν υπάρχει σύνδεση μεταξύ της πηγής και του απαγωγού.

Το PMOS τρανζίστορ του οποίου η λειτουργία συνοψίζεται στο σχήμα 4.10β λειτουργεί αντίθετα από το NMOS τρανζίστορ. Όταν η τάση που εφαρμόζεται στον ακροδέκτη της πύλης είναι υψηλή (V_H) τότε λέμε ότι το τρανζίστορ είναι απενεργοποιημένο (off), δηλαδή λειτουργεί σαν ανοικτός διακόπτης. Όταν η τάση που εφαρμόζεται στον ακροδέκτη της πύλης είναι χαμηλή (V_L) τότε λέμε ότι το τρανζίστορ είναι ενεργοποιημένο (on), δηλαδή λειτουργεί σαν κλειστός διακόπτης.



(α) Τρανζίστορ NMOS



(β) Τρανζίστορ PMOS

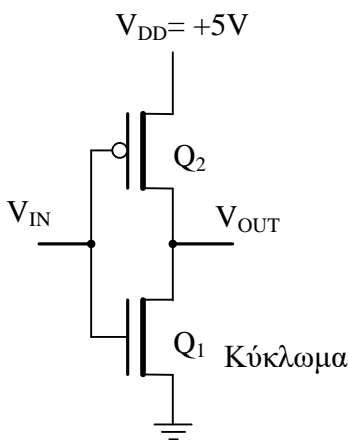
Σχήμα 4.10. Λειτουργία των τρανζίστορ NMOS και PMOS σαν διακόπτες

4.6 Λογικές πύλες τεχνολογίας CMOS

Στην συνέχεια περιγράφεται σύντομα η υλοποίηση με την τεχνολογία CMOS απλών λογικών πυλών.

4.6.1 Αντιστροφέας CMOS

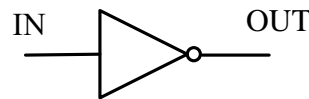
Το πιο απλό κύκλωμα που μπορεί να κατασκευασθεί με την τεχνολογία CMOS είναι ο αντιστροφέας (πύλη NOT) που δομείται με ένα τρανζίστορ NMOS και ένα τρανζίστορ PMOS τα οποία συνδέονται όπως δείχνεται στο σχήμα 4.11. Για να γίνει πιο εύκολα κατανοητή η λειτουργία του κυκλώματος του αντιστροφέα υποθέτουμε ότι η τάση τροφοδοσίας του είναι $V_{DD}=5V$ και στην είσοδό του εφαρμόζονται δύο τιμές τάσης, 0 V (LOW ή L) και 5 V (HIGH ή H). Όταν η τάση εισόδου είναι $V_{IN} = 0 V$ τότε το τρανζίστορ Q_1 είναι απενεργοποιημένο (off), ενώ το τρανζίστορ Q_2 είναι ενεργοποιημένο (on). Αυτό σημαίνει ότι η έξοδος συνδέεται στην τροφοδοσία V_{DD} και αποσυνδέεται από τη γείωση (GND), δηλαδή η τάση στην έξοδό του είναι V_{DD} , ή $V_{OUT}=5 V$. Αντίστοιχα εάν η τάση εισόδου είναι $V_{IN} = 5 V$, τότε το τρανζίστορ Q_1 είναι on, ενώ το τρανζίστορ Q_2 είναι off. Αυτό σημαίνει ότι η έξοδος συνδέεται στη γείωση και αποσυνδέεται από την τροφοδοσία, δηλαδή η τάση εξόδου είναι $V_{OUT} = 0 V$.



Πίνακας λειτουργίας

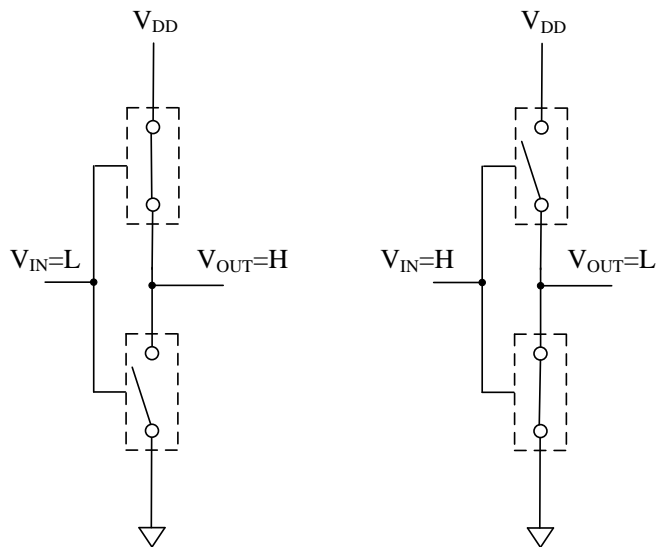
V_{IN}	Q_1	Q_2	V_{OUT}
0.0 V (L)	off	on	5.0 V (H)
5.0 V (H)	on	off	0.0 V (L)

Λογικό Σύμβολο



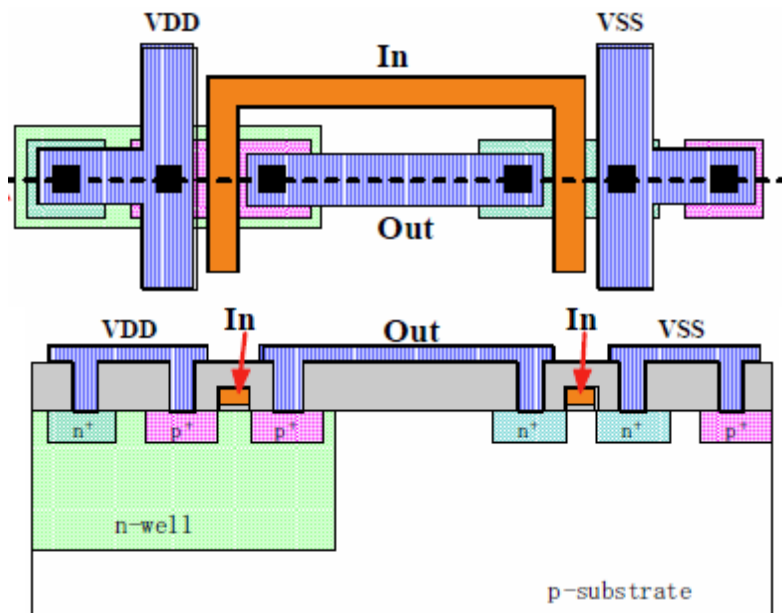
Σχήμα 4.11. Αντιστροφέας CMOS

Στο σχήμα 4.12 συνοψίζεται η λειτουργία του αντιστροφέα τεχνολογίας CMOS για $V_{IN}=L$ και $V_{IN}=H$, όταν θεωρήσουμε ότι τα MOS τρανζίστορ συμπεριφέρονται σαν διακόπτες.



Σχήμα 4.12. Περιγραφή της λειτουργίας του αντιστροφέα CMOS

Στο σχήμα 4.13 φαίνεται σε με μεγέθυνση η υλοποίηση του αντιστροφέα στο ολοκληρωμένο κύκλωμα και η κάθετη τομή του.

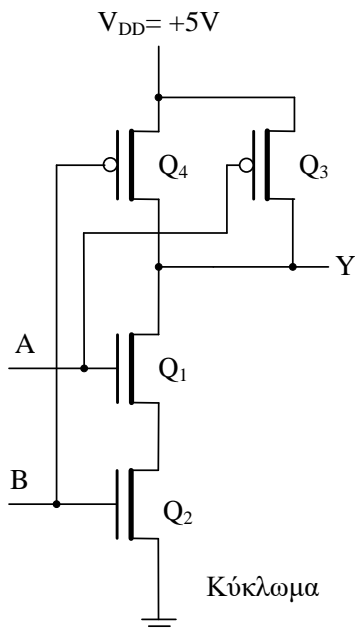


Σχήμα 4.13. Υλοποίηση αντιστροφέα CMOS

4.6.2 Πύλες NAND και NOR

Οι λογικές πύλες NAND και NOR μπορούν να κατασκευασθούν πρωτογενώς με την τεχνολογία CMOS. Στο σχήμα 4.14 δίδεται η σχεδίαση μιας λογικής πύλης NAND δύο εισόδων. Η έξοδος του κυκλώματος συνδέεται με τη γείωση με δύο NMOS τρανζίστορ συνδεδεμένα σε σειρά και με την τροφοδοσία με δύο PMOS τρανζίστορ συνδεδεμένα παράλληλα.

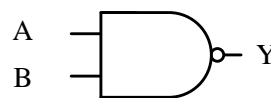
Εάν μία τουλάχιστον εισόδος Α ή Β έχει την τιμή 0 V, η έξοδος Y συνδέεται στην τροφοδοσία V_{DD} μέσω των PMOS τρανζίστορ που άγουν (on). Αντίθετα, η έξοδος αποσυνδέεται από τη γείωση μέσω των NMOS τρανζίστορ που δεν άγουν (off). Επομένως η τάση εξόδου έχει την τιμή V_{DD} που αντιστοιχεί στο λογικό 1. Εάν και οι δύο εισοδοί έχουν την τιμή 5 V η έξοδος συνδέεται στη γείωση μέσω των NMOS τρανζίστορ που άγουν, ενώ αποσυνδέεται από την τροφοδοσία μέσω των PMOS τρανζίστορ που δεν άγουν. Επομένως η έξοδος έχει την τιμή 0 V που αντιστοιχεί στο λογικό 0. Στο σχήμα 4.15 δίδονται επίσης και οι καταστάσεις των τρανζίστορ για όλους τους συνδυασμούς των εισόδων.



Πίνακας λειτουργίας

A	B	Q ₁	Q ₂	Q ₃	Q ₄	Y
L	L	off	off	on	on	H
L	H	off	on	on	off	H
H	L	on	off	off	on	H
H	H	on	on	off	off	L

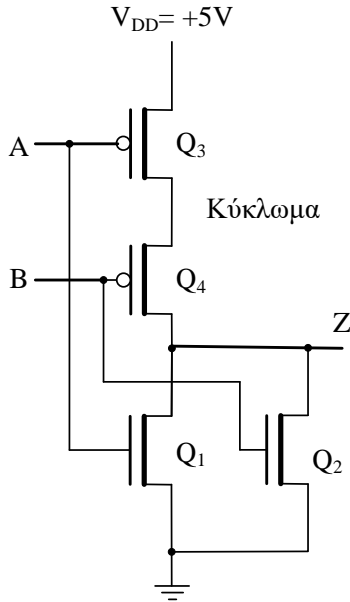
Λογικό Σύμβολο



Σχήμα 4.14. Πύλη NAND δύο εισόδων τεχνολογίας CMOS

Στο σχήμα 4.15 δίδεται μία λογική πύλη NOR δύο εισόδων τεχνολογίας CMOS. Εάν μία τουλάχιστον εισόδος έχει την τιμή 5 V η έξοδος Y συνδέεται στη γείωση μέσω των NMOS τρανζίστορ που άγουν (on). Αντίθετα αποσυνδέεται η έξοδος από την τροφοδοσία μέσω των PMOS τρανζίστορ που δεν άγουν (off). Εάν και οι

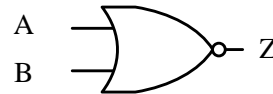
δύο εισόδου έχουν την τιμή 0 V η έξοδος συνδέεται στην τροφοδοσία μέσω των PMOS τρανζίστορ που άγουν, ενώ αποσυνδέεται από τη γείωση μέσω των NMOS τρανζίστορ που δεν άγουν.



Πίνακας λειτουργίας

A	B	Q ₁	Q ₂	Q ₃	Q ₄	Z
L	L	off	off	on	on	H
L	H	off	on	on	off	L
H	L	on	off	off	on	L
H	H	on	on	off	off	L

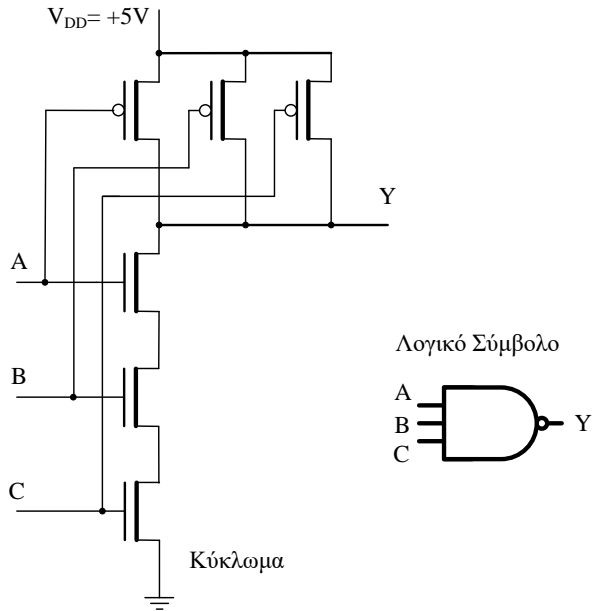
Λογικό Σύμβολο



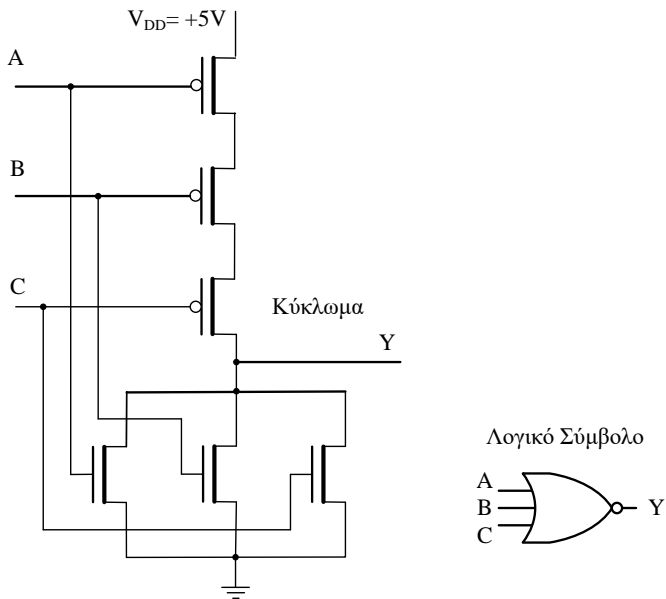
Σχήμα 4.15. Πύλη NOR δύο εισόδων τεχνολογίας CMOS

Fan-in

Fan-in ονομάζεται ο μέγιστος αριθμός εισόδων που μπορούν να έχουν οι λογικές πύλες. Στην τεχνολογία CMOS μπορούμε να κατασκευάσουμε πρωτογενώς λογικές πύλες NAND και NOR με περισσότερες από δύο εισόδους επεκτείνοντας τις σχεδιάσεις των πυλών με δύο εισόδους. Στο σχήμα 4.16 δίδεται η σχεδίαση μιας πύλης NAND τριών εισόδων, ενώ στο σχήμα 4.17 μία πύλη NOR τριών εισόδων. Στην πράξη δεν μπορούμε να κατασκευάσουμε πύλες NAND και NOR τεχνολογίας CMOS με μεγάλο αριθμό εισόδων. Ο αριθμός των εισόδων περιορίζεται σε 6 για τις πύλες NAND και σε 4 για τις πύλες NOR.



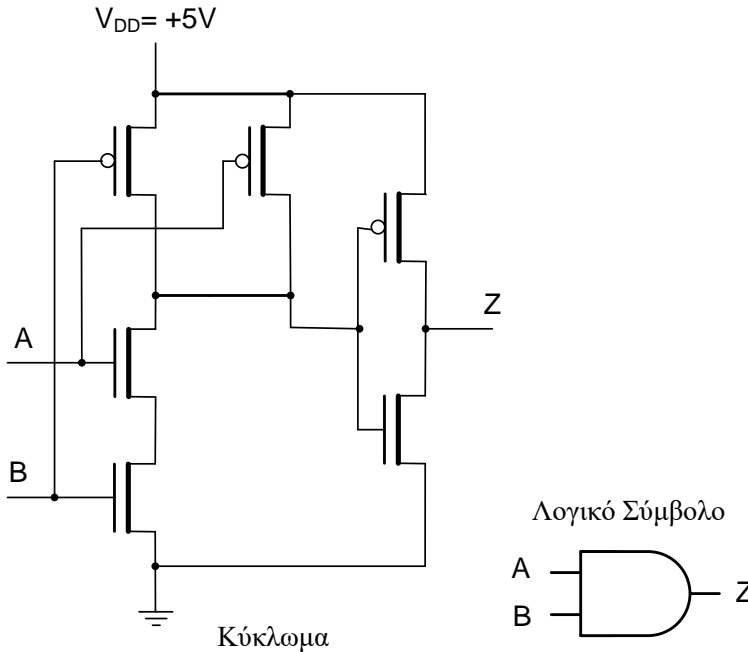
Σχήμα 4.16. Πύλη NAND τριών εισόδων



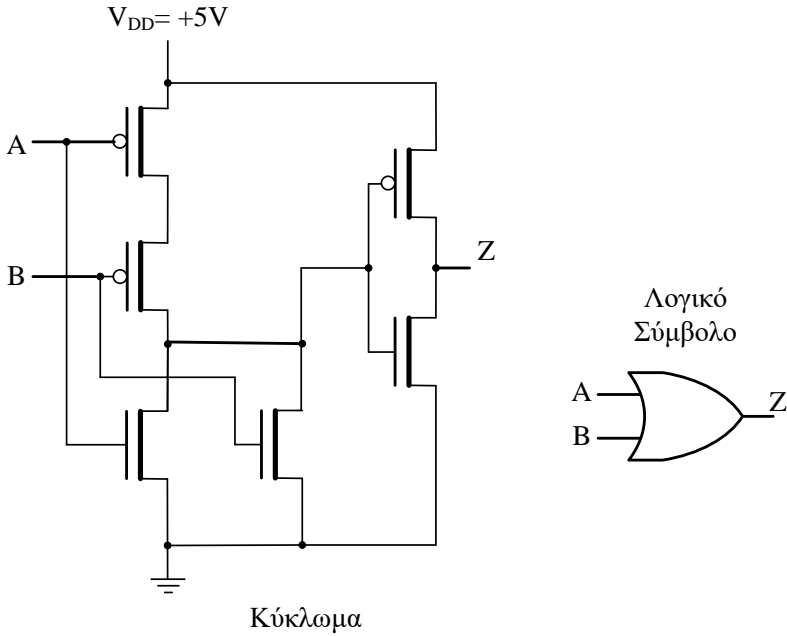
Σχήμα 4.17. Πύλη NOR τριών εισόδων

4.6.3 Μη αντιστρέφουσες πύλες

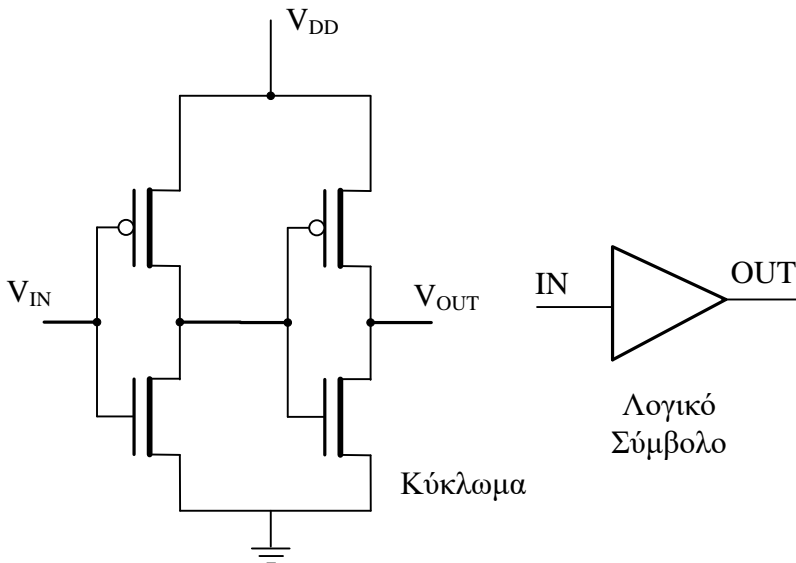
Οι λογικές πύλες που κατασκευάζονται πρωτογενώς με την τεχνολογία CMOS είναι ο αντιστροφέας και οι πύλες NAND και NOR. Οι λογικές πύλες AND κατασκευάζονται συνδέοντας έναν αντιστροφέα στην έξοδο μιας πύλης NAND με τον ίδιο αριθμό εισόδων. Στο σχήμα 4.18 δίδεται η σχεδίαση μιας πύλης AND δύο εισόδων. Αντίστοιχα οι λογικές πύλες OR κατασκευάζονται συνδέοντας έναν αντιστροφέα στην έξοδο μιας λογικής πύλης NOR. Στο σχήμα 4.19 δείχνεται η σχεδίαση μιας πύλης OR δύο εισόδων. Πρακτικά χρήσιμος είναι και ο μη αντιστρέφων απομονωτής που κατασκευάζεται συνδέοντας δύο αντιστροφέες όπως στο σχήμα 4.20.



Σχήμα 4.18. Πύλη AND δύο εισόδων τεχνολογίας CMOS



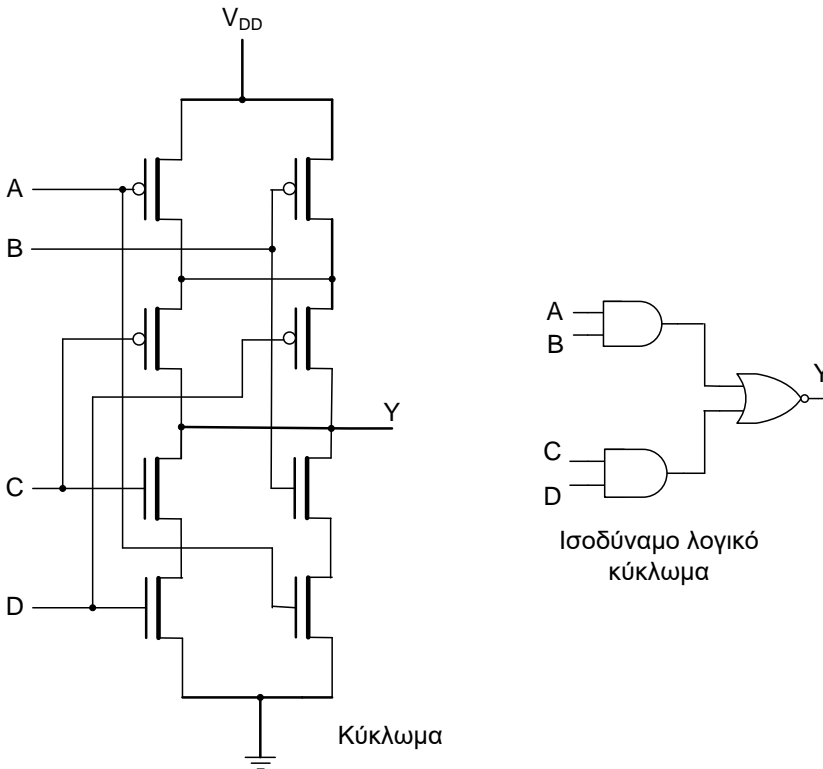
Σχήμα 4.19. Πύλη OR δύο εισόδων τεχνολογίας CMOS



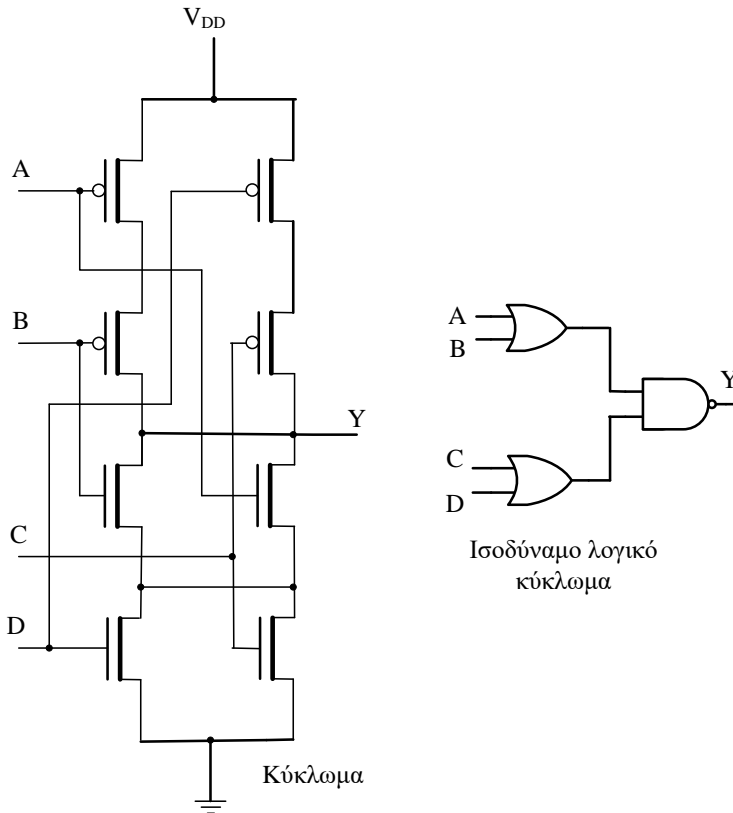
Σχήμα 4.20. Μη αντιστρέφων απομονωτής

4.6.4 Σύνθετες λογικές πύλες τεχνολογίας CMOS

Είναι γνωστό ότι οποιοδήποτε συνδυαστικό σύστημα μπορεί να υλοποιηθεί με απλές λογικές πύλες. Στην τεχνολογία CMOS η χρήση δομών από τρανζίστορ που υλοποιούν πιο σύνθετες λογικές παραστάσεις έχει σαν αποτέλεσμα τη μείωση του συνολικού αριθμού των τρανζίστορ και την αύξηση της ταχύτητας των λογικών κυκλωμάτων. Οι δομές αυτές ονομάζονται *σύνθετες πύλες (complex gates)*. Δύο τυπικά παραδείγματα είναι οι δομές AND-NOR (που ονομάζονται και AND-OR-INVERT) και OR-NAND (που ονομάζονται και AND-OR-INVERT). Αυτές οι δομές δείχνονται στα σχήματα 4.21 και 4.22 αντίστοιχα. Η ταχύτητα λειτουργίας και τα άλλα ηλεκτρικά χαρακτηριστικά των σύνθετων λογικών πυλών τεχνολογίας CMOS είναι συγκρίσιμα με αυτά των απλών λογικών πυλών NAND και NOR.



Σχήμα 4.21. CMOS υλοποίηση της λογικής συνάρτησης $Y = \overline{A \cdot B + C \cdot D}$.

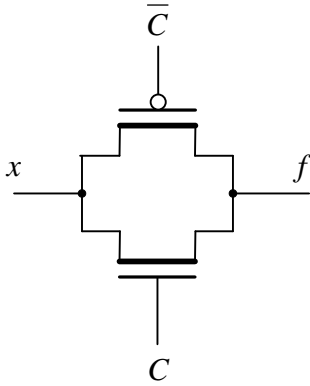


Σχήμα 4.22. CMOS υλοποίηση της λογικής συνάρτησης $Y = (A + B) \cdot (C + D)$

4.6.5 Πύλες μετάδοσης, πύλες XOR και πολυπλέκτες δύο εισόδων

Στο σχήμα 4.23 δείχνεται ένας διακόπτης κατασκευασμένος από τρανζίστορ NMOS και PMOS συνδεδεμένα παράλληλα, ο οποίος είναι γνωστός σαν *πύλη μετάδοσης* (*transmission gate*). Παρατηρούμε ότι τα σήματα ελέγχου των τρανζίστορ είναι συμπληρωματικά. Όταν η είσοδος $C=0$ ($\bar{C}=1$) τότε ο διακόπτης είναι *κλειστός*, ενώ όταν $C=1$ ($\bar{C}=0$) ο διακόπτης είναι *ανοικτός*. Το ζεύγος των συμπληρωματικών τρανζίστορ χρησιμοποιούνται ώστε οι δύο λογικές τιμές να μεταφέρονται από την είσοδο στην έξοδο χωρίς υποβάθμιση των αντίστοιχων σημάτων. Το NMOS τρανζίστορ μεταφέρει χωρίς υποβάθμιση το σήμα του λογικού 0, ενώ το PMOS τρανζίστορ μεταφέρει χωρίς υποβάθμιση το σήμα του λογικού 1. Όταν ο διακόπτης είναι ανοικτός η έξοδος του διακόπτη αποσυνδέεται από την είσοδο. Η κατάσταση αυτή θα συμβολίζεται με Z και στο εξής θα ονομάζεται *κατάσταση υψηλής αντίστασης* ή *υψηλής εμπέδησης* (*high impedance state*). Η

πύλη μετάδοσης μπορεί να χρησιμοποιηθεί εσωτερικά σε σύνθετες λογικές πύλες, αλλά όχι σαν πύλη εξόδου.

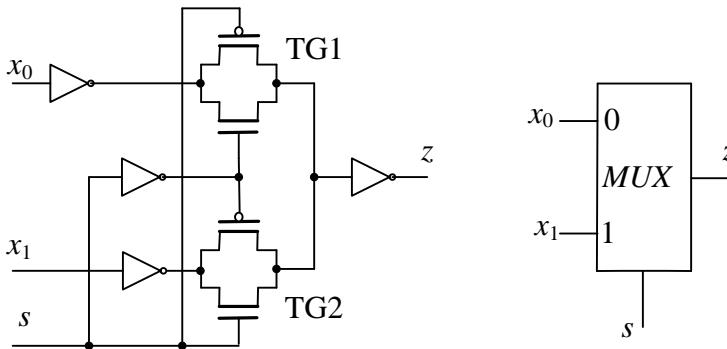


C	$NMOS$	$PMOS$	f
0	<i>off</i>	<i>off</i>	Z
1	<i>on</i>	<i>on</i>	x

Z : κατάσταση υψηλής αντίστασης

Σχήμα 4.23. Πύλη μετάδοσης

Στο σχήμα 4.24 δίδεται η σχεδίαση με πύλες μετάδοσης ενός $2 \rightarrow 1$ πολυπλέκτη μαζί με το λογικό του σύμβολο.

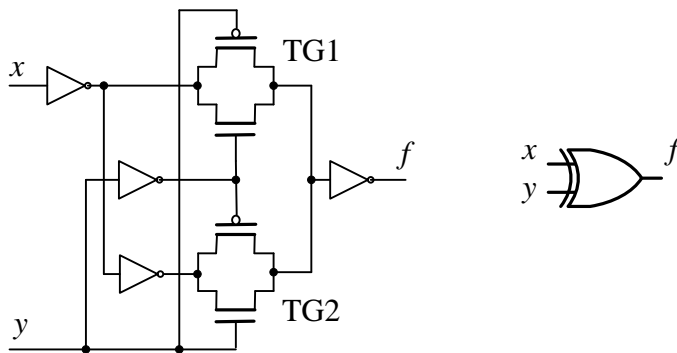


Σχήμα 4.24. Υλοποίηση με πύλες μετάδοσης του $2 \rightarrow 1$ πολυπλέκτη

Η λειτουργία του κυκλώματος του σχήματος 4.24 περιγράφεται στον πίνακα που δίδεται στη συνέχεια.

s	TG1	TG2	z
0	ON	OFF	x_0
1	OFF	ON	x_1

Στο σχήμα 4.25 δίδεται η σχεδίαση με πύλες μετάδοσης μιας πύλης XOR δύο εισόδων. Το κύκλωμα αυτό έχει λιγότερα τρανζίστορ από αντίστοιχες σχεδιάσεις που δεν βασίζονται σε πύλες μετάδοσης.



Σχήμα 4.25. Υλοποίηση με πύλες μετάδοσης της πύλης XOR

Η λειτουργία του κυκλώματος του σχήματος 4.25 περιγράφεται στον πίνακα που δίδεται στη συνέχεια.

y	TG1	TG2	f
0	ON	OFF	x
1	OFF	ON	\bar{x}

4.7 Επίπεδα λογικών σημάτων και περιθώρια θορύβου

Σε πολλές περιπτώσεις στην πράξη τα HIGH και LOW ορίζονται σαν περιοχές τάσεων που είναι διαφορετικές για τις εισόδους και τις εξόδους των λογικών πυλών ώστε να υπάρχει ανοχή στον θόρυβο. Στο σχήμα 4.26 δίδονται σχηματικά οι τιμές αυτών των τάσεων.

V_{OHmin} : Το ελάχιστο δυναμικό εξόδου στην κατάσταση HIGH.

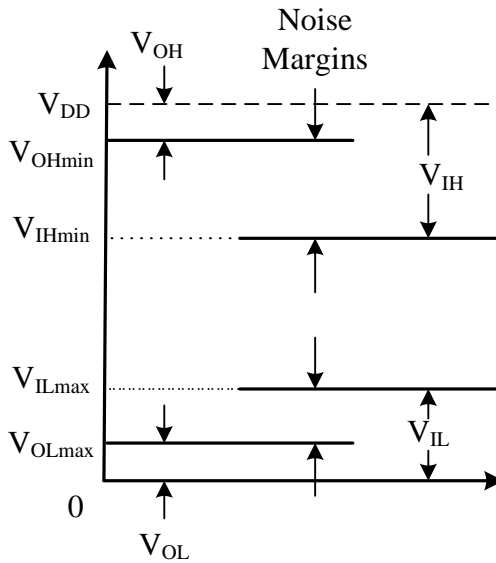
V_{OLmax} : Το μέγιστο δυναμικό εξόδου στην κατάσταση LOW.

V_{IHmin} : Το ελάχιστο δυναμικό εισόδου που αναγνωρίζεται σαν HIGH.

V_{ILmax} : Το μέγιστο δυναμικό εισόδου που αναγνωρίζεται σαν LOW.

V_{OH} , V_{OL} είναι οι περιοχές τάσεων που χαρακτηρίζονται σαν HIGH και LOW αντίστοιχα στις εξόδους των λογικών πυλών και V_{IH} , V_{IL} είναι οι περιοχές τάσεων που χαρακτηρίζονται σαν HIGH και LOW στις εισόδους τους.

Θόρυβος (*noise*) είναι μη επιθυμητές αλλαγές στις τιμές των σημάτων που οφείλονται στην ηλεκτρομαγνητική ακτινοβολία, σε παροδικές μεταβολές της τροφοδοσίας, κλπ. Στα ψηφιακά κυκλώματα *περιθώριο θορύβου (noise margin)* είναι η ελάχιστη τιμή του θορύβου που μπορεί να μεταβάλει μία ακραία (μέγιστη ή ελάχιστη) τιμή τάσεως εξόδου σε μη έγκυρη τιμή τάσεως εισόδου. Στο σχήμα 4.26 η διαφορά $V_{OHmin}-V_{IHmin}$ είναι το *περιθώριο θορύβου στην υψηλή τάση*, ενώ η διαφορά $V_{ILmax}-V_{OLmax}$ το *περιθώριο θορύβου στην χαμηλή τάση*.



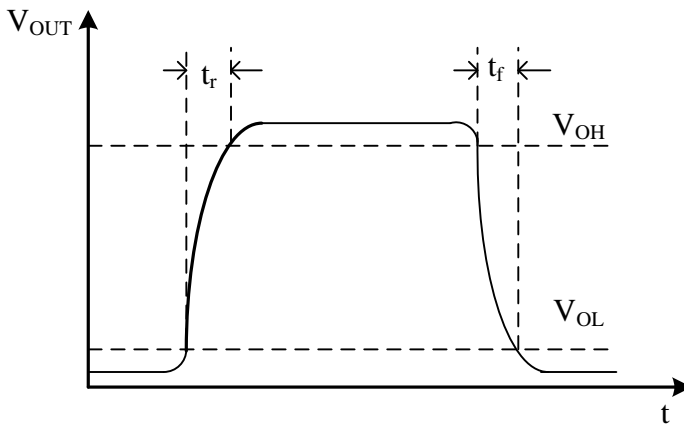
Σχήμα 4.26. Περιοχές τάσεων HIGH και LOW και περιθώρια θορύβου

4.8 Δυναμική λειτουργία των λογικών πυλών

4.8.1 Χρόνοι μετάπτωσης

Μία άλλη υπόθεση που κάναμε προηγουμένως είναι ότι τα σήματα αλλάζουν λογικό επίπεδο ακαριαία. Στην πράξη όμως οι αλλαγές επιπέδου των σημάτων δεν

γίνονται ακαριαία αλλά διαρκούν κάποιο χρονικό διάστημα. Ο χρόνος που χρειάζεται για να αλλάξει η τάση του σήματος στην έξοδο μιας πύλης από χαμηλό σε υψηλό ονομάζεται *χρόνος ανόδου* (*rise time*) και συμβολίζεται με t_r , ενώ ο χρόνος που απαιτείται για να αλλάξει από υψηλό σε χαμηλό ονομάζεται *χρόνος καθόδου* (*fall time*) και συμβολίζεται με t_f . Οι χρόνοι αυτοί για τα σήματα εξόδου των λογικών πυλών τεχνολογίας CMOS δίδονται στο σχήμα 4.27. Όπως προαναφέραμε V_{OH} , V_{OL} είναι αντίστοιχα οι περιοχές τάσεων που χαρακτηρίζεται σαν HIGH και LOW στις εξόδους των λογικών πυλών.

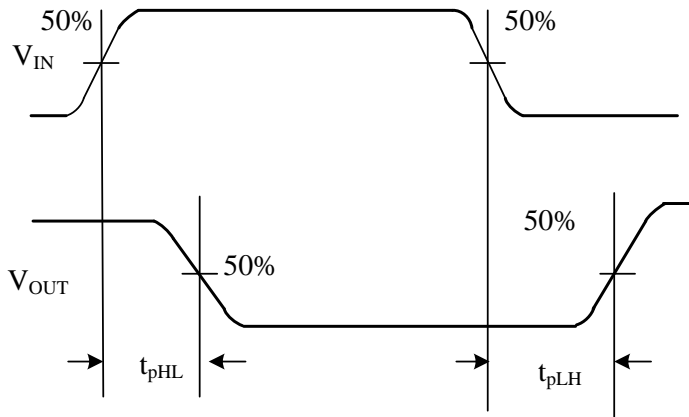


Σχήμα 4.27. Χρόνος ανόδου και χρόνος καθόδου.

4.8.2 Καθυστέρηση διάδοσης

Όταν γίνεται μία αλλαγή στην είσοδο μιας λογικής πύλης, αυτή δεν επηρεάζει την τιμή της εξόδου ακαριαία, αλλά μεσολαβεί κάποιο χρονικό διάστημα. *Καθυστέρηση διάδοσης* (*propagation delay*) είναι ο χρόνος που μεσολαβεί ώστε μία μεταβολή στο λογικό επίπεδο μιας εισόδου μιας πύλης να προκαλέσει μία αλλαγή στο λογικό επίπεδο της εξόδου της. Η καθυστέρηση διάδοσης, όπως δείχνεται στο σχήμα 4.28, είναι δυνατόν να διαφέρει ανάλογα με τη φορά της μεταβολής της εξόδου. Στο σχήμα 4.28 με t_{pHL} συμβολίζεται η καθυστέρηση διάδοσης κατά τη μετάβαση από H σε L, ενώ με t_{pLH} συμβολίζεται η καθυστέρηση διάδοσης κατά τη μετάβαση από L σε H. Όταν δεν χρειάζεται να γίνεται διάκριση μεταξύ των δύο αυτών χρόνων, η καθυστέρηση διάδοσης t_{pd} ορίζεται όπως στη συνέχεια:

$$t_{pd} = \max(t_{pHL}, t_{pLH})$$



Σχήμα 4.28. Καθυστέρηση διάδοσης

4.9 Fanout

Τα ψηφιακά κυκλώματα υλοποιούνται με δικτυώματα από πύλες στα οποία η έξοδος μιας πύλης συνδέεται στις εισόδους άλλων πυλών. Η σύνδεση αυτή επηρεάζει την τάση στην έξοδο της πύλης και τα χαρακτηριστικά χρονισμού της. *Fan-out* (ικανότητα οδήγησης) είναι ο μέγιστος αριθμός εισόδων άλλων πυλών που μπορούν να συνδεθούν στην έξοδο μιας πύλης, ώστε η πύλη να λειτουργεί εντός των δεδομένων προδιαγραφών.

4.10 Κατανάλωση ισχύος

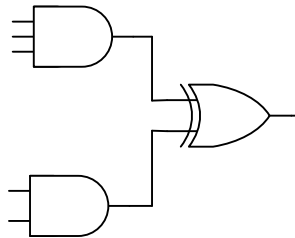
Τα ψηφιακά κυκλώματα καταναλώνουν ηλεκτρική ισχύ όταν περνούν ηλεκτρικά φορτία (ρεύματα) μέσα από αντιστάσεις που περιέχονται σε αυτά. Η κατανάλωση ισχύος προκαλεί τη θέρμανση των κυκλωμάτων. Υπάρχουν δύο κύρια είδη κατανάλωσης ισχύος στα ψηφιακά κυκλώματα τεχνολογίας CMOS, η στατική και η δυναμική. Η στατική κατανάλωση οφείλεται στο γεγονός ότι, όταν τα τρανζίστορ είναι κλειστά δεν είναι τέλειοι μονωτές. Υπάρχουν σχετικά μικρά ρεύματα διαρροής (*leakage currents*) μεταξύ των ακροδεκτών τροφοδοσίας και των ακροδεκτών της γείωσης. Αυτά τα ρεύματα προκαλούν *στατική κατανάλωση ισχύος*. Άλλη πηγή κατανάλωσης ισχύος είναι η φόρτιση και η εκφόρτιση εσωτερικών χωρητικοτήτων όταν οι εισοδοί των πυλών αλλάζουν λογικό επίπεδο. Αυτές οι μετακινήσεις φορτίου (ρεύματα) προκαλούν *δυναμική κατανάλωση ισχύος*.

4.11 Πολυπλοκότητα ψηφιακών κυκλωμάτων

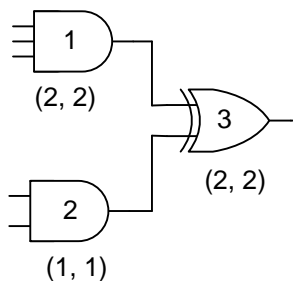
Η πολυπλοκότητα των ψηφιακών κυκλωμάτων όταν υλοποιούνται με την τεχνολογία VLSI εκφράζεται από το μέγεθος της επιφάνειας που καταλαμβάνουν στο ολοκληρωμένο κύκλωμα (*chip area*), την καθυστέρηση που εισάγουν

(propagation delay) και την ισχύ (power) που καταναλώνουν. Για μία πρώτη συγκριτική προσέγγιση της πολυπλοκότητας των λογικών κυκλωμάτων χρησιμοποιείται συχνά το "unit gate model". Στο μοντέλο αυτό οι λογικές πύλες δύο εισόδων AND, OR, NAND, NOR θεωρούνται σαν μοναδιαίες πύλες όσον αφορά την κυκλωματική πολυπλοκότητα και την καθυστέρηση που εισάγουν. Οι αντιστροφείς δεν λαμβάνονται υπ' όψη στον υπολογισμό της πολυπλοκότητας. Οι πύλες XOR, XNOR δύο εισόδων και ο $2 \rightarrow 1$ πολυπλέκτης θεωρούνται ότι ισοδυναμούν με 2 μοναδιαίες πύλες όσον αφορά την κυκλωματική πολυπλοκότητα και την καθυστέρηση που εισάγουν. Λογικές πύλες AND, OR, NAND, NOR n εισόδων ισοδυναμούν με $n-1$ μοναδιαίες πύλες όσον αφορά την κυκλωματική πολυπλοκότητα και $\lceil \log_2 n \rceil$ μοναδιαίες πύλες όσον αφορά την καθυστέρηση που εισάγουν. Με $\log_2 n$ συμβολίζεται ο λογάριθμός με βάση 2 του n , ενώ με $\lceil x \rceil$ ο μικρότερος ακέραιος που είναι μεγαλύτερος ή ίσος ενός πραγματικού αριθμού x . Η κυκλωματική πολυπλοκότητα σύνθετων λογικών κυκλωμάτων είναι το άθροισμα αυτών των επί μέρους πυλών, ενώ η καθυστέρηση θα είναι η μέγιστη από αυτές που εισάγει το κύκλωμα από τις εισόδους στις εξόδους του.

Παράδειγμα 4.2. Να υπολογισθεί με βάση το unit gate model η πολυπλοκότητα του κυκλώματος που δίδεται στην συνέχεια



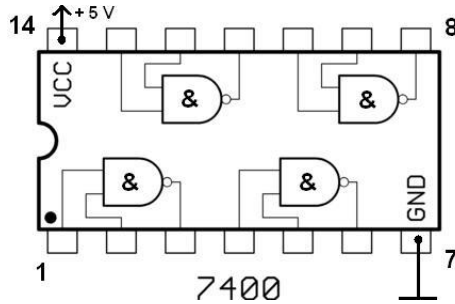
Αρχικά σε κάθε επί μέρους πύλη σημειώνεται με ζεύγος τιμών η κυκλωματική πολυπλοκότητα και η καθυστέρηση που εισάγει.



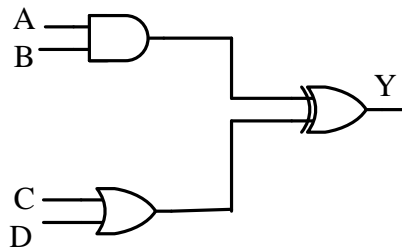
Η διαδρομή από είσοδο στην έξοδο που εισάγει την μέγιστη καθυστέρηση είναι από τις εισόδους της πύλης 1 στην έξοδο της πύλης 3. Επομένως η συνολική κυκλωματική πολυπλοκότητα είναι 5 και η μέγιστη καθυστέρηση διάδοσης 4.

Ασκήσεις

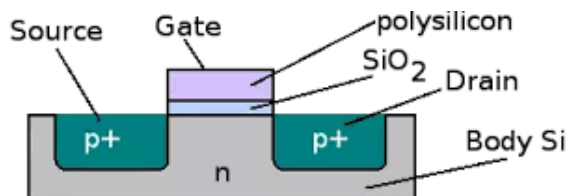
4.1 Να υλοποιηθεί με το ολοκληρωμένο κύκλωμα που δίδεται στη συνέχεια η λογική παράσταση $F = AB + CD$.



- 4.2 Να υλοποιηθεί με ένα μόνο ολοκληρωμένο κύκλωμα όπως αυτό της άσκησης 4.1 κύκλωμα ισοδύναμο μιας πύλης NAND τριών εισόδων.
- 4.3 Να υλοποιηθεί με ένα μόνο ολοκληρωμένο κύκλωμα όπως αυτό της άσκησης 4.1 κύκλωμα ισοδύναμο μιας πύλης XOR-2 (δύο εισόδων).
- 4.4 Να υπολογισθεί με βάση το unit gate model η πολυπλοκότητα μιας πύλης AND-3 (AND 3 εισόδων) και μιας πύλης AND-4 (AND 4 εισόδων).
- 4.5 Να υπολογισθεί με βάση το unit gate model η πολυπλοκότητα του κυκλώματος που δίδεται στην συνέχεια.



4.6 Αναφέρατε τον τύπο του MOS τρανζίστορ του οποίου η κάθετη τομή δίδεται στην συνέχεια.



- 4.7 Να σχεδιασθεί μία πύλη AND τριών εισόδων με την τεχνολογία CMOS.
- 4.8 Να σχεδιασθεί μία πύλη OR τριών εισόδων με την τεχνολογία CMOS.
- 4.9 Να υλοποιηθεί με την τεχνολογία CMOS η λογική παράσταση που δίδεται στη συνέχεια.

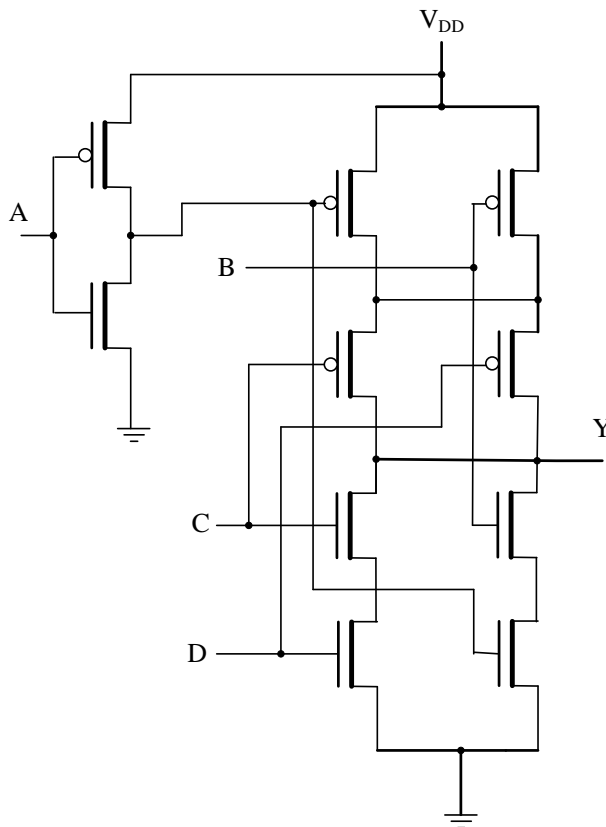
$$Y = \overline{A + B \cdot C}$$

- 4.10 Να υλοποιηθεί με την τεχνολογία CMOS η λογική παράσταση που δίδεται στη συνέχεια.

$$Y = A + B \cdot C$$

- 4.11 Να υλοποιηθεί με την τεχνολογία CMOS η λογική παράσταση που δίδεται στη συνέχεια $Y = \overline{A + B \cdot C}$.

- 4.12 Να βρεθεί ποια λογική παράσταση υλοποιεί το κύκλωμα τεχνολογίας CMOS που δίδεται στη συνέχεια.



4.13 Να βρεθεί ποια λογική συνάρτηση υλοποιεί το κύκλωμα τεχνολογίας CMOS που δίδεται στη συνέχεια.

